

논문 2010-4-28

초 광대역용 PLL 설계에 관한 연구

A Study on PLL Design for Ultra Wideband

이용우*, 이일규**, 오승엽***

Yong-Woo Lee*, Il-Kyoo Lee**, Seung-Hyeub Oh***

요약 본 연구에서는 초 광대역에서 적용 가능한 저위상 잡음 PLL의 구조개선, 회로 보완, 설계 및 구현 방법 개선 등을 통해 초 광대역에서 저위상 잡음 특성을 갖는 PLL을 분석하고 성능 요구 규격을 만족하는 PLL 구현에 대해 소개하였다. 시뮬레이션을 통해 초 광대역 시스템용 PLL의 파워 특성, 위상잡음, 하모닉 특성 등을 분석하였고 이를 토대로 저위상 잡음을 갖는 PLL을 구현하였다. 성능 측정결과를 통해 제시한 요구 규격을 만족 시키는 PLL의 구현을 확인하였다.

Abstract In this paper, we have introduced a new way to have low phase noise PLL of the Ultra wideband to meet performance requirements. Before development of the PLL, we simulated spectrum power, phase noise by using ADS. Finally, we confirm a satisfying result between required standard and measured value.

Key Words : Ultra wideband, low phase noise, PLL design

I. 서론

최근 차세대 멀티미디어 발전 방향을 살펴보면 근거리 통신 분야에서는 초고속, 저전력, 뛰어난 위치정보, 저가의 데이터 전송을 위한 기술로서 초 광대역(Ultra Wide Band) 기술이 활발히 연구되고 있다. 이 서비스는 향후 국내외 무선 통신의 주류를 이룰 것으로 판단되며, 기술 개발 측면에서도 초고속 및 광대역 특성을 만족하는 시스템 개발이 진행될 것으로 예상된다. 이러한 차세대 멀티미디어 시스템에서 광대역 RF(Radio Frequency) 트랜시버 개발은 필수적이며, RF 구성 핵심 요소이면서 주파수 상/하향 변환 및 채널 선택 기능을 수행하는 PLL(Phase Locked Loop)은 시스템 성능을 결정하는 중요한 역할을 담당한다. 특히 PLL의 위상잡음 특성은 시

스템 성능에 매우 큰 영향을 줌으로 광대역 특성을 만족 하면서 동시에 저위상 잡음 특성을 갖는 PLL 개발이 절실히 요구되고 있다.

주파수 대역 3.1 ~ 5 GHz와 QPSK 변/복조 방식을 필요로 하는 초 광대역 시스템에서 광대역 특성을 갖고 동시에 저위상 잡음 특성을 만족시키는 PLL을 개발하는 것은 기술적으로 매우 어려운 점이 있다. PLL 동작 특성을 보면 초 광대역화와 저위상 잡음은 서로 반비례 관계를 갖기 때문에 일반적으로 광대역화하면 위상잡음 특성의 열화가 당연히 따르게 된다^[1].

II. UWB 시스템용 VCO

1. VCO 구조 및 동작 원리

실제 시스템 상에서 하나의 주파수만을 쓰는 경우는 드물다. 정해진 대역 내에서 여러 주파수를 선택하여 사용해야 하기에 가변적인 주파수원을 결정할 필요가 있다.

*준회원, 충남대학교 전자공학과

**정회원, 공주대학교 정보통신공학부(교신저자)

***정회원, 충남대학교 전자공학과

접수일자 2010.7.20, 수정일자 2010.8.5

게재확정일자 2010.8.21

발진기에서 주파수를 결정하는 곳은 공진부이며, 이 공진부를 가변하여 원하는 주파수를 생성할 수 있다. 그림 1과 같이 VCO(Voltage Controlled Oscillator)는 공진단, 발진단, 증폭단 등으로 크게 세 부분으로 구성된다.

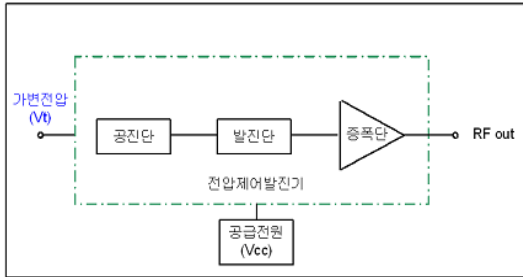


그림 1. VCO의 블록도
Fig 1. Block diagram of VCO

그림 2에서 볼 수 있듯이, 전압을 변화시켜 배역터의 캐패시턴스를 변화시키고 이는 공진부의 공진주파수를 변화시켜 결국 발진주파수를 변화시키는 원리로 동작한다.

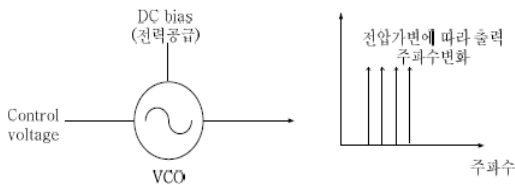


그림 2. VCO 동작 원리
Fig 2. Principle of VCO

외부의 제어전압에 의해 발진 주파수가 변화되는 발진기로 일반적인 발진기의 공진부를 전압에 따라 공진 주파수가 가변될 수 있는 구조로 대체한 것이다. 발진기의 기본 원리는 케환을 이용한다는 면에서 증폭기와 유사하나 안정도 측면에서는 항상 불안정영역에서 동작한다는 차이점이 있다. 즉, 발진기는 외부로부터의 입력 신호가 없어도 일정 주파수와 레벨을 갖는 신호를 만들게 되며 출력 주파수와 크기는 회로 구성 소자들에 의해 결정된다^[2].

그림 3은 구현한 VCO의 회로도를 나타내고, 그림 4는 VCO의 실제 사진을 나타낸다.

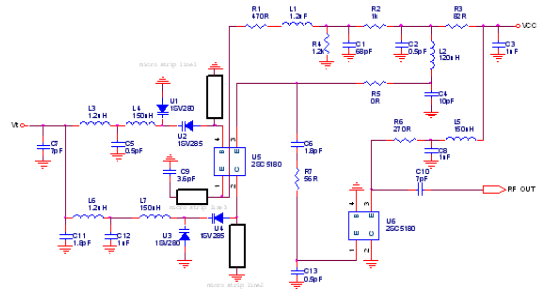


그림 3. VCO 회로도
Fig 3. Schematic of VCO

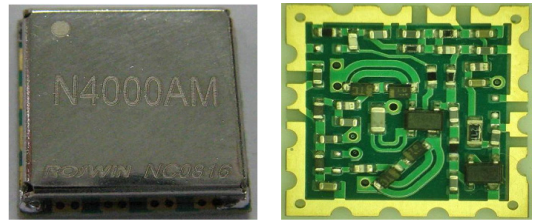


그림 4. VCO 실제 사진
Fig 4. Photograph of VCO

2. 시뮬레이션 분석결과 (3.1 GHz)

초 광대역용 VCO의 구현에 앞서 ADS(Advanced Design System)를 이용한 시뮬레이션을 통해 VCO의 Power와 위상잡음을 3.1 GHz, 4 GHz, 5 GHz 대역에서 각각 성능 분석하였다.

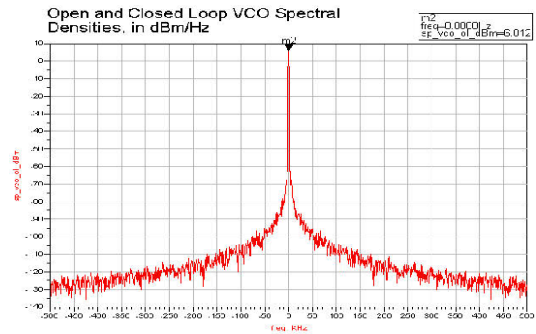


그림 5. VCO의 Power(3.1 GHz)
Fig 5. Power of VCO(3.1 GHz)

그림 5는 VCO POWER에 대한 시뮬레이션 결과로 3.1 GHz 대역에서 6.012 dBm으로 분석되었다. ADS에서는 하나의 Center Frequency에서만 시뮬레이션을 수행하므로 분석 결과의 Center Frequency(0 Hz)는 3.1 GHz를 나타낸다.

그림 6은 VCO의 위상잡음에 대한 시뮬레이션 결과로 3.1 GHz 대역, 100 KHz 오프셋에서 -102.9 dBc/Hz으로 분석되었다.

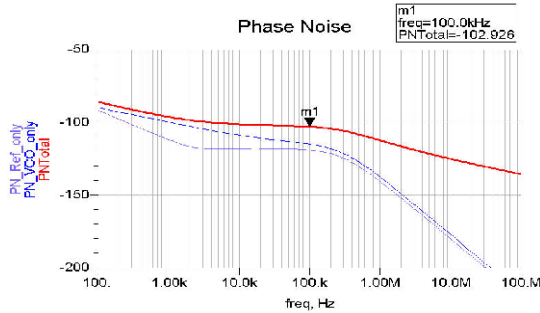


그림 6. VCO의 위상잡음(3.1 GHz)
Fig 6. Phase noise of VCO(3.1 GHz)

3. 시뮬레이션 분석 결과 요약

표 1은 VCO의 각 주파수 대역별 시뮬레이션 분석결과이다(위상잡음은 100 KHz 오프셋에서 분석하였다).

표 1. VCO의 시뮬레이션 분석 결과
Table 1. Simulation result of VCO

항목	단위	3.1 GHz	4 GHz	5 GHz
Power	dBm	6.012	6.012	6.012
위상잡음	dBc	-102.9	-100.8	-99.3

4. 측정결과(3.1 GHz)

아래의 그림 7, 8, 9는 구현된 VCO의 3.1 GHz 대역에서 Power와 위상잡음, 2nd 하모닉스의 측정결과를 나타내었다.

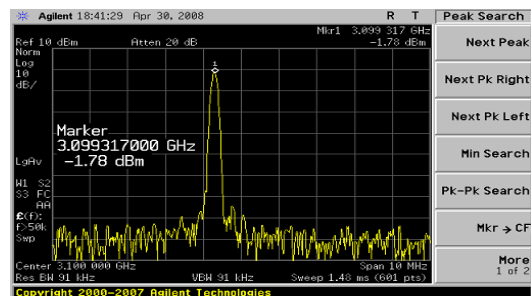


그림 7. VCO의 Power(3.1 GHz)
Fig 7. Power of VCO(3.1 GHz)

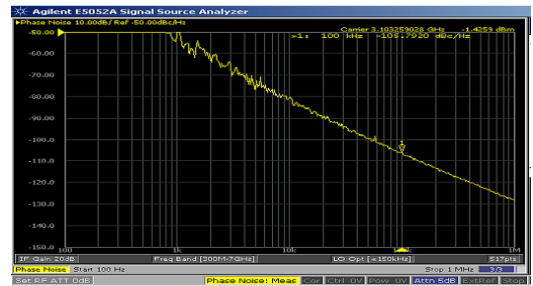


그림 8. VCO의 위상잡음(3.1 GHz)
Fig 8. Phase noise of VCO(3.1 GHz)

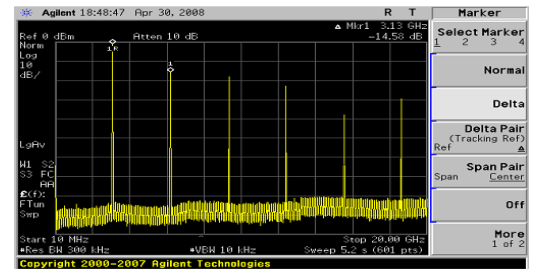


그림 9. VCO의 2nd 하모닉스(3.1 GHz)
Fig 9. 2nd harmonics of VCO(3.1 GHz)

5. 측정 결과 요약

표 2를 통해 VCO의 측정 결과는 요구 규격을 만족시킴을 알 수 있다 (위상잡음은 100 KHz 오프셋에서 측정하였다).

표 2. VCO의 측정 결과
Table 2. Measurement data of VCO

항목	단위	요구규격	3.1GHz	4GHz	5GHz
Power	dBm	-1 ± 3	-1.78	-0.93	-1.15
위상잡음	dBc	-95	-105.7	-99.7	-101.6
2nd 하모닉스	dBc	-10	-14.5	-17.8	-19.8

III. UWB 시스템용 PLL

1. PLL 구조 및 동작 원리

무선기기가 전파를 송/수신 할 경우, 목적으로 하는 주파수 이외의 전파를 송/수신하지 않도록 주파수의 설정 확도를 높이는 것이 중요하다. 이 확도를 향상시키기 위하여 무선기기의 동조 회로에 사용되고 있는 것이 PLL이다.

PLL은 수정 발진기 등의 기준 주파수를 이용하여 다른 주파수의 성분을 꺼내거나, 몇 가지 기준 주파수를 조합함으로써 주파수를 항상 일정하게 유지하도록 구성된 주파수 부귀환 회로이다. 그림 10은 PLL의 블록도를 나타낸다.

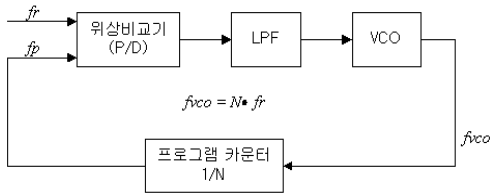


그림 10. PLL 블록도
Fig 10. Block diagram of PLL

위상 비교기는 기준 주파수 f_r 와 비교 주파수 f_p 의 위상차에 따라 펄스폭을 출력한다^[3].

그림 11에서 볼 수 있듯이, 이 위상 비교기는 P/D_{out} 과 같이 f_r 에 대해 f_p 의 위상이 앞서는가, 뒤지는가에 따라 "H" 또는 "L"을 출력한다. 펄스폭은 각각의 위상차에 따라 변화하고, 위상차 분의 펄스를 출력하고 있는 이외의 시간은 위상 비교기의 출력단자가 고 임피던스로 된다.

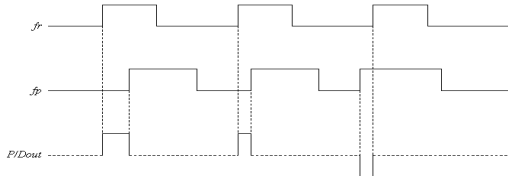


그림 11. 위상 비교기의 타임 차트
Fig 11. Time chart of phase comparator

위상 비교기의 출력을 저역 통과 필터(LPF)에 통과하게 하고, 평활하여 얻어진 직류분의 전압을 전압 제어형 발진기 (VCO)에 입력한다. 이 출력을 위상 비교기에 귀환함으로써 항상 f_r 과 f_p 가 같은 주파수에서 같은 위상이 되도록 동작한다. 즉, $f_p = f_r$ 이라는 관계가 성립한다. 다음으로 VCO의 출력 주파수를 프로그램 카운터로 분주하고, 비교 주파수 f_p 로 귀환한다. 이때 VCO의 출력 주파수를 f_{vco} 라 하면 다음 식(1)이 성립한다.

$$f_p = f_{vco}/N, f_p = f_r \Rightarrow f_{vco} = Nf_r \quad (1)$$

식(1)에서 N 을 바꿈으로써 f_r 의 스텝으로 f_{vco} 를 변화

시킬 수 있다는 것을 알 수 있다. 이 f_{vco} 를 각종 통신기의 로컬 오실레이터 등에 사용하면 1개의 수정발진기로 여러 가지 주파수를 수정과 동등한 안정도로 이용할 수 있다. f_{vco} 가 높아지면 프로그램 카운터로 직접 분주하기가 어려워진다.

그림 12는 구현한 PLL의 회로도를 나타내고, 그림 13은 PLL의 실제 사진을 나타낸다.

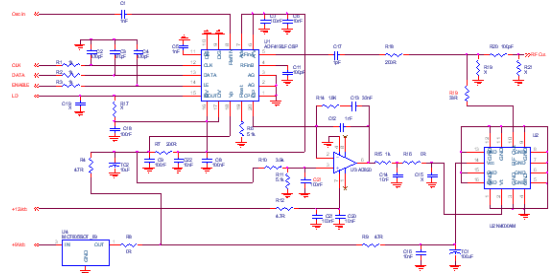


그림 12. PLL 회로도
Fig 12. Schematic of PLL



그림 13. PLL 실제 사진
Fig 13. Photograph of PLL

2. 시뮬레이션 분석결과 (3.1 GHz)

초 광대역용 PLL의 구현에 앞서 ADS를 이용한 시뮬레이션을 통해 PLL의 Power와 위상잡음을 3.1 GHz, 4 GHz, 5 GHz 대역에서 각각 성능 분석하였다.

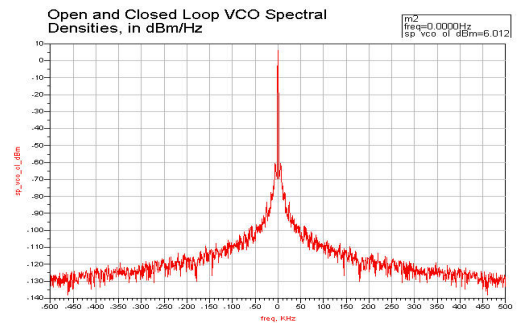


그림 14. PLL의 Power(3.1 GHz)
Fig 14. Power of PLL(3.1 GHz)

그림 14는 PLL Power에 대한 시뮬레이션 결과로 3.1 GHz 대역에서 6.012 dBm으로 분석되었다. ADS에서는 하나의 Center Frequency에서만 시뮬레이션 하므로 분석 결과의 Center Frequency(0 Hz)는 3.1 GHz를 나타낸다.

그림 15는 PLL의 위상잡음에 대한 시뮬레이션 결과로 3.1 GHz 대역, 100 KHz 오프셋에서 -102.9 dBc/Hz으로 분석되었다.

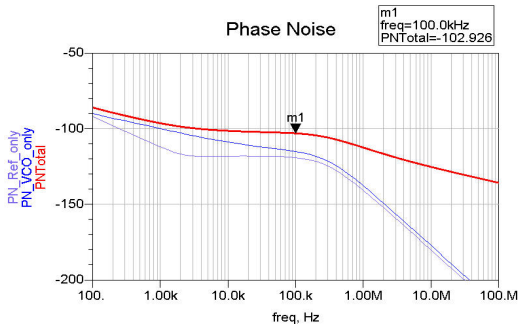


그림 15. PLL의 위상잡음(3.1 GHz)
Fig 15. Phase noise of PLL(3.1 GHz)

3. 시뮬레이션 분석 결과 요약

표 3은 PLL의 각 주파수 대역별 시뮬레이션 분석결과이다(위상잡음은 100 KHz 오프셋에서 분석하였다).

표 3. PLL의 시뮬레이션 분석 결과
Table 3. Simulation result of PLL

항목	단위	3.1 GHz	4 GHz	5 GHz
Power	dBm	6.012	6.012	6.012
위상잡음	dBc	-102.9	-100.8	-99.3

4. 측정결과(3.1 GHz)

아래의 그림 16, 17, 18, 19는 구현된 PLL의 3.1 GHz 대역에서 Power와 위상잡음, Spurious 특성, 2nd 하모닉스의 측정결과를 나타내었다.

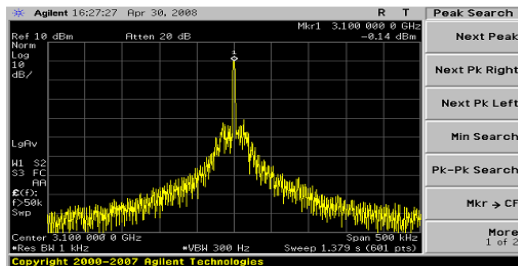


그림 16. PLL의 Power(3.1 GHz)
Fig 16. Power of PLL(3.1 GHz)

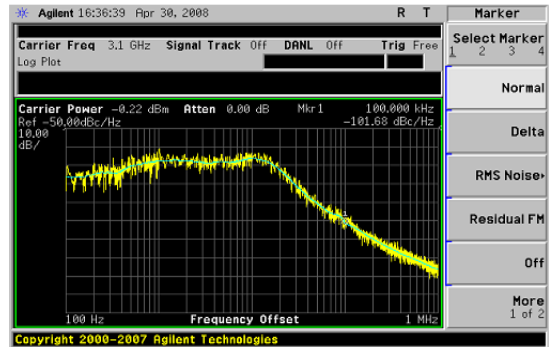


그림 17. PLL의 위상잡음(3.1 GHz)
Fig 17. Phase noise of PLL(3.1 GHz)

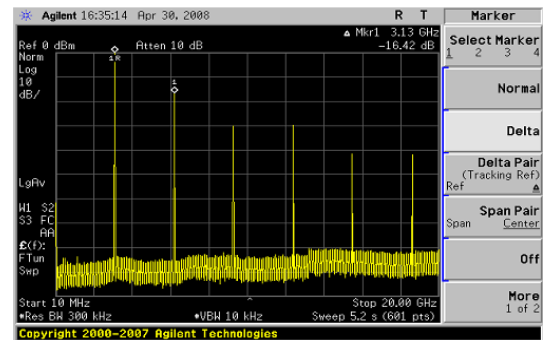


그림 18. PLL의 Spurious 특성(3.1 GHz)
Fig 18. Spurious specification of PLL(3.1 GHz)

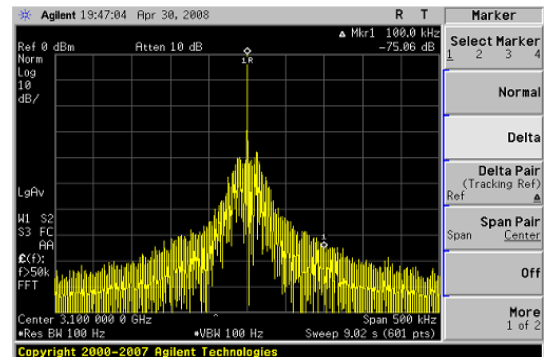


그림 19. PLL의 2nd 하모닉스(3.1 GHz)
Fig 19. 2nd harmonics of PLL(3.1 GHz)

5. 측정 결과 요약

표 4를 통해 PLL의 측정 결과는 요구 규격을 만족시킴을 알 수 있다 (위상잡음은 100 KHz 오프셋에서 측정하였다).

표 4. PLL의 측정 결과

Table 4. Measurement data of PLL

항목	단위	요구 규격	3.1GHz	4GHz	5GHz
Power	dBm	-3 ± 3	-1.78	-0.93	-1.15
위상잡음	dBc	-95	-101.6	-99.7	-99.7
Spurious 특성	dBc	-60	-75.0	-72.0	-72.2
2nd 하모닉스	dBc	-10	-16.4	-25.6	-30.7

IV. 결론

본 논문에서 초 광대역용 저 위상잡음 VCO 및 PLL을 ADS를 통해서 성능 분석하였고, 도출된 성능 파라미터를 바탕으로 설계 및 구현하였다. 구현된 VCO 및 PLL 모듈은 3.1 GHz, 4 GHz, 5 GHz 대역에서의 요구된 Power, 위상잡음, Spurious 특성, 2nd 하모닉스를 모두 만족하였다.

본 연구를 통해서 확보된 저 위상잡음 특성을 갖는 VCO 및 PLL 구현 기술은 향후 UWB 시스템뿐만 아니라 초고속 및 광대역 서비스를 요하는 무선 멀티미디어 시스템 기반 기술에 적용될 가능성이 높을 것으로 기대된다.

참고 문헌

- [1] 임남주, "WiBro 서비스 추진 동향", 서울통신기술, 2005.
- [2] 권인현, 김운용, "6 GHz PCS 단말기용 초소형 VCO에 관한 연구", 한국통신학회, pp.2, 2000.
- [3] 양승식, 이종환, 염경환, "PLL 주파수 합성기를 이용한 새로운 주파수 변조 회로 설계 및 제작", 한국전자과학회, pp.2, 2004.

저자 소개

이 용 우(준회원)



- 1990: 충남대학교 전자공학과(공학사)
 - 1992: 충남대학교 대학원 전자공학과(공학석사)
 - 1999~현재: 충남대학교 대학원 전자공학과(공학박사과정)
- <주관심분야 : UWB 통신, 전파 간섭>

이 일 규(정회원)



- 1994: 충남대학교 대학원 전자공학과(공학석사)
- 2003: 충남대학교 대학원 전자공학과(공학박사)
- 1997~2004: ETRI 선임연구원
- 2004~현재: 공주대학교 정보통신공학부 부교수

<주관심분야 : RFID/USN 기술, 이동무선통신, 안테나 및 전파전파, 통방융합기술, 전파 간섭>

오 승 엽(정회원)



- 1971: 연세대학교 전자공학과(공학사)
- 1973: 연세대학교 전자공학과(공학석사)
- 1982: 연세대학교 전자공학과(공학박사)
- 1980~1981: Tohoku University, Japan 재직

• 1985~1986: Pennsylvania State University, USA 초빙연구원 근무

• 1984~현재: 충남대학교 전자공학과 교수, KICS, KIEES 그리고 IEEE 정회원

<주관심분야 : 안테나 및 디지털 통신, RF Sub-System 분야 설계 등>