

# 박막형 열전 소자를 이용한 Chip-on-Board(COB) 냉각 장치의 설계

논문
59-9-16

## A Design of Thin Film Thermoelectric Cooler for Chip-on-Board(COB) Assembly

유정호\* · 이현주\* · 김남재\* · 김시호†  
(Jung-Ho Yoo · Hyun-Ju Lee · Nam-Jae Kim · Shi-Ho Kim)

**Abstract** - A thin film thermoelectric cooler for COB direct assembly was proposed and the COB cooler structure was modeled by electrical equivalent circuit by using SPICE model of thermoelectric devices. The embedded cooler attached between the die chip and metal plate can offer the possibility of thin film active cooling for the COB direct assembly. We proposed a driving method of TEC by using pulse width modulation technique. The optimum power to the TEC is simulated by using a SPICE model of thermoelectric device and passive components representing thermal resistance and capacitance. The measured and simulated results offer the possibility of thin film active cooling for the COB direct assembly.

**Key Words** : Thermoelectric cooler, Chip-on-Board cooling, Driver of TEC

### 1. 서론

지속적인 공급전압 스케일링을 통하여 칩의 동작 전압은 낮아지고 있지만, 칩의 집적도가 계속 높아지고 동작 주파수가 증가함에 따라서 칩의 소비 전력이 증가하여 칩의 발열 문제가 중요하게 부각되고 있다. 칩의 발열 문제를 해결하기 위해서 칩의 냉각 장치와 냉각 성능은 칩의 안정적인 동작에 매우 중요한 역할을 하게 되었으며, 박막형 열전소자를 이용한 냉각장치는 IC 칩 및 COB(Chip on Board)의 냉각 장치로써 주목을 받게 되었다[1, 2].

COB란 칩 다이(Die)를 PCB 기판에 직접 붙여서 전기적으로 연결하는 실장기술이다[3]. COB 실장기술은 칩의 packaging 기술에 비해 패키지가 차지하는 공간을 줄일 수 있는 구조적 장점을 가지고 있지만 칩 보호를 위하여 일반적으로 다이 상부를 보호막을 덮어씌우므로 칩의 방열능력을 떨어뜨리게 되고, COB 상부에는 방열판 등의 기계적인 구조물을 배치하기 곤란하다. 열전소자는 양단의 온도 차이에 의해 기전력이 발생하여 전류가 생성되는 제백(Seebeck) 효과를 이용한 발전소자와 전류를 인가하여 한쪽은 열이 발생하고 다른 쪽은 열을 흡수하는 펠티에(Peltier) 효과를 이용한 냉각소자로 나눌 수 있다[2, 4]. 그림 1은 최근에 발표된 박막형 열전소자(Thermoelectric Cooler, TEC)와 수동형 방열판을 이용한 냉각 구조이다[1, 2]. COB 구조에서는 그림 1에서 제시된 기존의 수동형 냉각장치를 이용하여 칩을 냉

각시키는 구조를 붙이기 어려우므로, 칩에서 발열이 많은 경우에는 동작시에 문제가 발생할 수 있다[2]. 본 논문에서는 박막형 TEC를 PCB와 칩 중간에 삽입하는 구조를 제안하고자 한다. 제안된 구조는 별도의 Heat sink를 사용하지 않는 대신에 PCB의 GND나 VDD 배선용 금속판을 열 확산체(Heat spreader)로 사용한다[2].

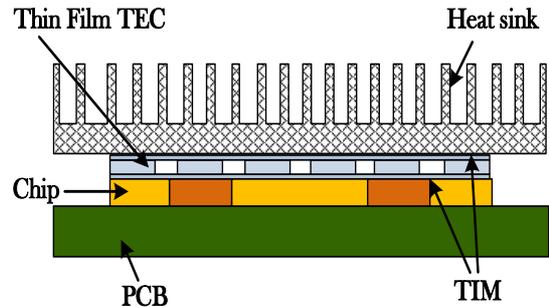


그림 1 종래 박막형 TEC를 칩 위에 올려 냉각한 COB 구조 [1]

Fig. 1 Conventional COB cooling structure with thin film TEC[1]

일반적으로 열전소자의 최적 동작점은 적절한 전류와 전압 구동점으로 측정을 통하여 파악되는데, 이 동작점으로 전압과 전류를 TEC에 인가하는 것은 실제로는 매우 불편하다. 본 논문에서는 TEC를 구동하기 위한 전압원 소스를 직접 열전소자에 인가하는 구조를 제안하였으며, 구동 전압의 Duty 비를 펄스 폭 변조 방법(PWM)으로 조절하여, 열전소자에 인가되는 전력을 조절하였고, 발열부의 발열량과 열전도 저항을 고려한 TEC의 등가 회로 모델을 이용한 SPICE

\* 비회원 : 충북대학교 대학원 전기공학과 석사과정

† 교신저자, 정회원 : 충북대학교 전기공학부 교수

E-mail : shiho@chungbuk.ac.kr

접수일자 : 2010년 6월 8일

최종완료 : 2010년 8월 20일

시물레이션을 통하여 TEC의 최적 구동 조건을 찾아내는 방법을 제안하였다.

## 2. 박막형 열전소자를 이용한 COB 냉각구조

### 2.1 제안된 COB 냉각구조

본 연구에 사용되는 박막형 TEC는 그림 2와 같은 박막형 판형 구조로 되어있다. 열전소자는 양단에 전류를 인가하면, 펠티에 효과에 의해 양면에 온도차이가 발생하는 특징을 가지고 있어 냉각장치로 사용이 가능하다. 그림 2(b)에서 TEC의 두께는 약 0.65mm이며 상부와 하부의 금속판을 제외한 박막형 열전소자의 두께는 약 30 $\mu$ m내외로써[5], COB에서 칩의 하단부와 금속 전도판 사이에 배치하는 것이 가능하다. 본 논문에서 제안하는 COB에 적용할 박막형 열전 냉각장치의 구조는 그림 3과 같다. 종래의 기술과 구별되는 점은 다이 상부의 방열판 대신 PCB의 배선으로 사용되는 금속판이 Heat spreader 역할을 하도록 구성되었다. COB를 제작하는 방법에는 그림 3에서와 같은 Wire bonding 또는 Flip-chip과 구조가 가능하나, 본 실험에서 제작한 구조는 칩의 위쪽으로 배치되는 Wire Bonding 구조이다. TIM (Thermal Interface Material)은 칩과 열전소자가 맞닿은 경계면에 열전달 저항을 줄이기 위해서 사용되는 계면층이다. 본 실험에서 사용한 열전소자는  $Bi_2Te_3$  계열이며, 전체 두께 0.65mm를 가지는 박막형 TEC를 칩 다이와 기판 사이에 적층하였다.

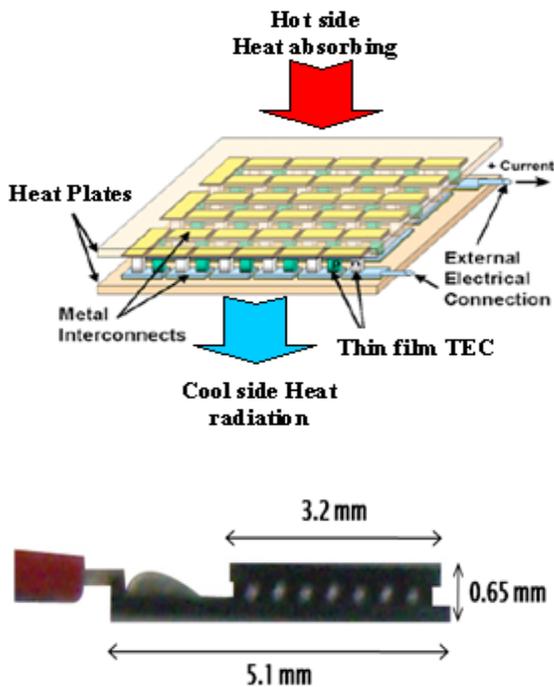


그림 2 열전냉각장치(TEC)의 (a) 구조도와 (b) 단면도.  
Fig. 2 Perspective(a) and cross-sectional(b) view of the TEC

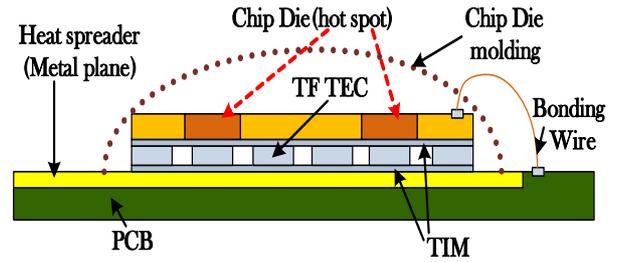


그림 3 본 논문에서 제안하는 COB 구조의 박막형 TEC 장치의 단면구조  
Fig. 3 Cross-sectional view of proposed thin film Thermoelectric cooler

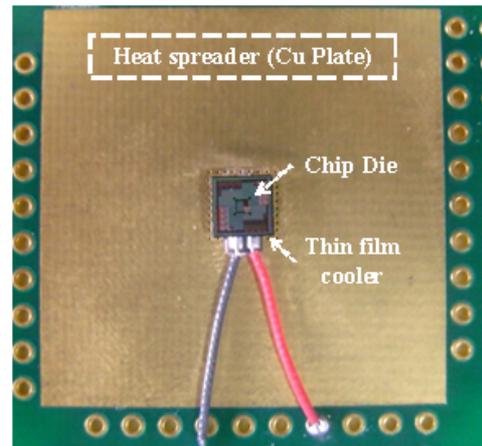


그림 4 제작된 금속 배선층을 방열판으로 사용하는 COB의 박막형 TEC 구조  
Fig. 4 Fabricated thin film TEC structure having heat spreader with metal plate of PCB.

그림 4는 그림 3의 제안된 구조를 구현한 사진으로, 박막형 TEC를 PCB의 Heat spreader 기판 위에 놓은 후 그 위에 칩 다이를 실장 하였다. 박막형 TEC에 외부의 전원을 인가하여 냉각성능을 직접 측정을 하였다. COB의 칩 다이 molding은 칩의 온도 측정을 위해서 생략하였다. 그림 4에서 방열판의 크기는 35mm×35mm이며 칩의 면적은 5.0mm x 5.0mm이다. 실험에 사용된 TEC에서 열전 박막의 면적은 약 3.2mm×3.2mm로써 칩의 면적 보다 약간 작았으나 실험에서 별다른 지장은 없었다.

### 2.2 제안된 COB 냉각구조의 측정 결과

박막형 TEC의 냉각성능은 칩과 Heat spreader의 온도변화를 통해 확인할 수 있으며, 표 1은 실제 적외선 카메라를 이용하여 측정한 칩과 Heat spreader의 온도이다.

실험실의 외부 온도(28.5 $^{\circ}$ C)에서 TEC에 전원공급 없이 측정된 칩과 열 방출기의 온도는 28.5 $^{\circ}$ C 였다. 박막형 TEC에 전류를 0.54A 인가했을 때, 전압이 0.4V, 칩의 온도는 21.1 $^{\circ}$ C였고, Heat spreader의 온도는 30.5 $^{\circ}$ C로 상승함을 확인할 수 있었다.

표 1 박막형 TEC의 냉각 tjdsmd 측정 결과

Table 1 Measure cooling characteristics form fabricated COB structure

인가 전압 V[V]	인가 전류 I[A]	공급 전력 (mW)	Chip temp [°C]	Temp. of heat sink [°C]
0	0	0	28.5	28.5
0.1	0.13	13.0	24.4	27.9
0.2	0.25	50.0	23.6	28.7
0.3	0.40	120.0	23.2	29.6
0.4	0.54	215.0	21.1	30.5
0.5	0.70	350.0	22.6	32.8

박막형 TEC에 최대 냉각 포인트, 즉 전력이 215mW일 경우, 약 7.4°C의 칩 온도가 내려갔음을 확인 할 수 있었다. 하지만 0.7A이상의 전류를 가해주면 칩의 온도가 다시 상승한다는 것을 확인할 수 있었는데 이것은 열전소자의 Joule 효과 때문에 내부에서 발열이 이루어지기 때문이다. 열전소자의 Joule 효과는 전류가 저항체에 흐름으로써 발생하는 열로써, 인가 전력이 최적점을 초과하면, 펠티에 효과에 의한 냉각을 상쇄하게 되고 Joule 효과가 두드러져서 열전소자의 냉각성능이 오히려 저하된다. 그림 5와 그림 6은 적외선 카메라를 이용하여 측정한 온도 분포이다. TEC가 위치하는 칩 영역과 방열판 영역의 온도가 급격하게 변화함을 알 수 있다. 그림 6에서는 주변의 온도보다 열전소자가 위치한 중앙부분의 온도가 현저히 낮음을 보여주고 있으며, 열전소자의 냉각성능을 보여주고 있다.

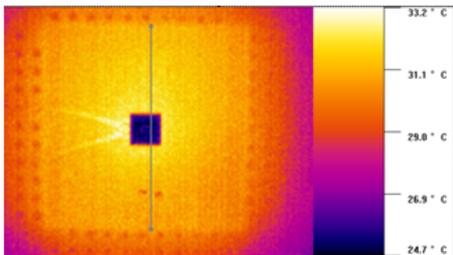


그림 5 COB에 적용된 박막형 TEC의 적외선 이미지(공급 전압 = 0.1V / 전류 = 0.13A 의 경우)

Fig. 5 IR image from fabricated COB in the case of supplying V=0.1V with I=0.13A

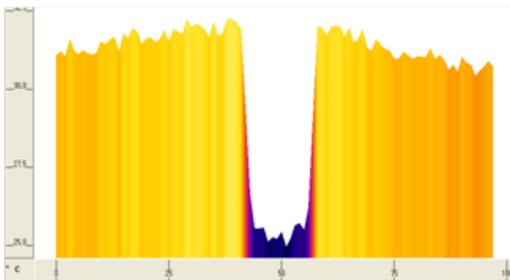


그림 6 그림 5의 실선에 따른 온도 분포

Fig. 6 Temperature profile along the straight line marked in Fig. 5.

### 3. 박막형 열전 냉각 구조의 SPICE 모델

#### 3.1 열전발전 장치의 SPICE 등가 회로 모델

그림 7은 그림 3의 제안된 구조를 SPICE로 모델 한 회로이다. 본 논문에서 사용하는 열전 소자와 TEC의 SPICE 등가 회로 모델은 참고문헌[6-8]에서 제안된 모델을 사용하였다.

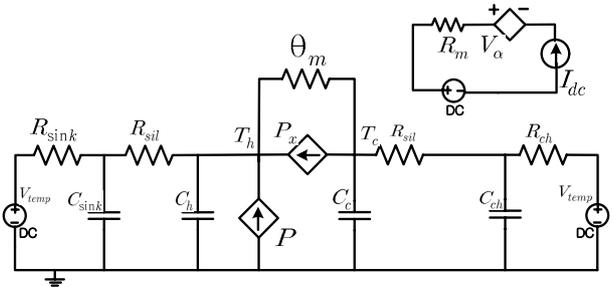


그림 7 방열판의 방열 저항을 포함한 제작된 COB의 박막형 TEC의 SPICE 등가회로 model

Fig. 7 A SPICE equivalent circuit model of proposed thin film TEC including a heating resistance of heatsink.

표 2 박막형 TEC의 냉각 성능 측정 결과

Table 2 Measure cooling characteristics form fabricated COB structure

파라미터	시뮬레이션 값	설명
$R_{sink}$	5 [ $\Omega$ ]	Thermal resistance of heat sink [K/W]
$C_{sink}$	2 [F]	Thermal capacitance of heat sink [J/K]
$C_{ch}$	56 [ $\mu$ F]	Thermal capacitance of the chip die [J/K]
$R_{ch}$	85 [ $\Omega$ ]	Thermal resistance of the chip die [K/W]
$R_{sil}$	14 [ $\Omega$ ]	Thermal resistance of TIM [K/W]
$C_h$	12 [ $\mu$ F]	Thermal capacitance of hot side of TEC [J/K]
$C_c$	12 [ $\mu$ F]	Thermal capacitance of cool side of TEC [J/K]
$V_{temp}$	301.5 [V]	외부 절대 온도 (28.5+273 K)
$R_m$	700 [ $\Omega$ ]	열전소자의 내부 저항
$\theta_m$	11.6 [ $\Omega$ ]	열전소자의 열저항 [K/W]
$P$	$I^2 R_m + \alpha_m (T_h - T_c) I$	
$P_x$	$-\frac{R_m I^2}{2} + \alpha_m T_c I$	

표 2는 SPICE 등가회로 model에서  $R_{sink}$ 과  $C_{sink}$  값은 heat spreader의 열저항(Thermal resistance) 및 열용량(Thermal capacity)을 나타낸다[6-8].  $R_{sil}$ 은 열전달소자(TIM)의 열저항 값이며,  $C_h$ 는 열전소자의 Hot side면의 열용량,  $C_c$ 는 Cold side 부분의 열용량을 의미한다.  $V_{temp}$ 은 외부 대기 온도를 나타내며, 표 1의 실험에서는 외부 온도

값은 28.5°C이었으므로 301.5V의 전압원으로 모델하였다. 열전 모듈의 모델 파라미터는 열전소자의 전기저항  $R_m$ , 열전소자의 열저항  $\theta_m$ ,  $P_x$ 와  $P$ 로 표현되며,  $P_x$ 와  $P$ 는 열전소자의 Hot side부분과 Cold side 부분의 Heat flow를 나타낸다[6-10].

그림 8은 표 2에서 제시된 각 소자의 Parameter 값을 그림 7의 회로에 적용하여 인가 전류에 대해 칩(Cold side)과 heat spreader(Hot side)의 온도변화를 시뮬레이션 한 결과이다. 실험에서는 인가 전류가 약 0.54A(공급 전력 약 215mW)에서 cold side의 최소 온도값(=21.1°C)값을 얻을 수 있었는데, 시뮬레이션에서도 인가 전류가 약 0.54A일 때 값은 약 21°C로 얻을 수 있었다. Hot side의 온도와 Cold side의 온도 차이( $\Delta T$ )는 공급 전류 0.54A 이상으로 증가함에 따라서 계속 증가함을 알 수 있다. 그림 8에서 측정 결과는 표 1의 측정 결과와 동일한 값을 사용하였다. 그림 8의 시뮬레이션과 측정 결과를 비교하여 살펴보면, 표 2의 SPICE 등가 모델 파라미터가 제작된 COB의 박막형 열전냉각 장치를 적절하게 모델하고 있음을 알 수 있다.

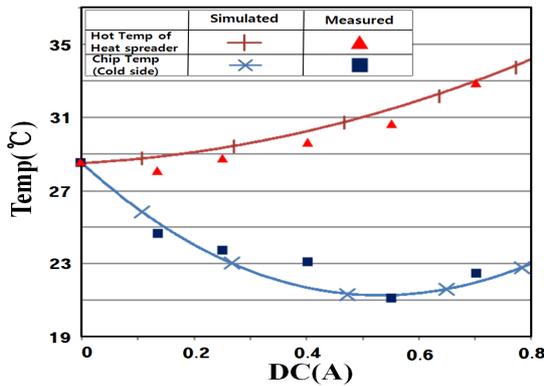


그림 8 Chip die와 Heat spreader의 측정값과 SPICE 시뮬레이션 값  
 Fig. 8 Measured and simulated temperature of chip die and heat spreader in accordance with supply DC voltage.

3.2 칩의 발열부를 포함한 TEC의 SPICE 등가회로 시뮬레이션

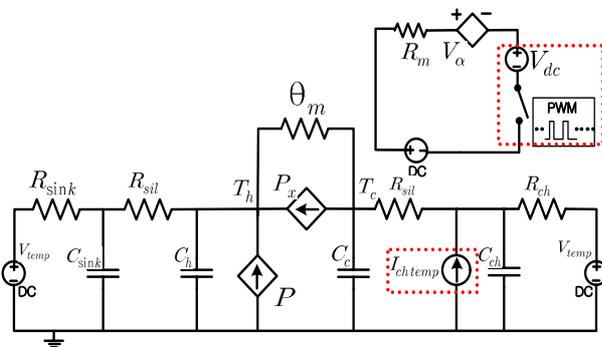


그림 9 칩의 발열 효과를 고려한 박막형 TEC의 SPICE 등가회로  
 Fig. 9 A SPICE equivalent circuit model including a heating element.

그림 9는 칩에서 발생하는 발열과 TEC의 냉각 성능을 시뮬레이션하기 위한, 칩에서의 발열 효과를 고려한 열전 냉각 구조의 SPICE 등가회로이다. 열전도의 전기회로 등가모델에서 온도를 표시하는데 전압을 사용하며 열(Heat)을 표시하는 데는 전류를 사용할 수 있음을 활용하여 발열 효과는 전류원으로 표시할 수 있다[6-10]. 그림 9에서  $I_{chttemp}$ 는 칩의 발열 효과를 나타내기 위하여 추가된 전류원이다. 그림 9의 등가 회로에서는 칩의 온도가 TEC에 전원을 인가하지 않은 상태에서 100°C에 도달하도록  $I_{chttemp}$  값을 3A로 인가하였다. 반도체 칩의 온도가 100°C 이상 도달하면 정상 동작을 하지 못하므로 냉각 장치가 동작하여야 한다고 가정하였다.

그림 10은 칩의 온도를 100°C가 되도록  $I_{chttemp}$ 을 인가한 이후에 TEC에 DC 전압을 공급하면서 칩의 온도와 heat spreader의 온도 변화에 대한 시뮬레이션 결과이다. 공급 전압이 0.6V까지는 칩의 온도가 감소하나, 이후로는 공급 전압을 키우면 칩의 온도가 증가하며 공급전압이 1V 이상에서는 칩의 온도가 100°C 이상으로 더 증가되었다. 공급전압 증가에 의한 냉각 성능의 변화는 Joule heating 효과로 설명할 수 있다. 공급전원이 1.0V 이상 일 때는 열전 소자에 직접 공급 전압을 인가하면 TEC가 냉각 성능 보다는 Joule heating 현상이 더 커지므로 냉각 성능을 갖지 못하게 되어, 열전소자에 인가되는 공급 전력의 크기를 펄스 폭 변조 방식(PWM)으로 조절하는 것이 필요하다.

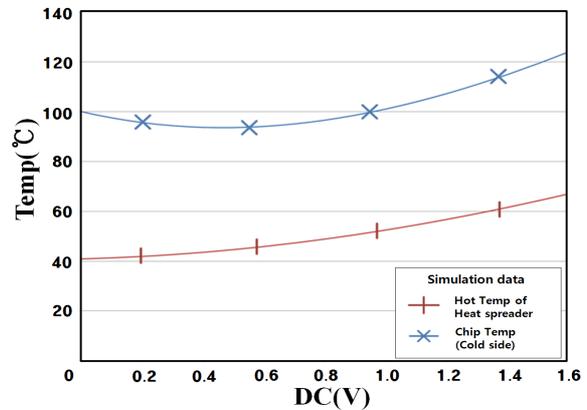


그림 10 열전소자의 공급 전압에 따른 칩(cold side)과 heat spreader의 온도 변화  
 Fig. 10 Temperature of Chip and heat spreader in accordance with DC supply voltage

본 연구에서는 TEC의 인가전압(Vdc)은 스위치를 통하여 인가되며 스위치의 on-off는 PWM 방식으로 조절하도록 구성하였다. 측정 및 시뮬레이션 데이터를 살펴보면 공급 전력이 증가함에 따라서 cold side의 온도는 감소하다 다시 증가하게 된다. 냉각 성능이 가장 우수한 최적점( $\Delta T_{max}$  지점)에서의 전압과 전류를 열전소자에 공급하는 것이 중요하다. 본 연구에서는 TEC에 최적점에서의 전력을 공급하기 위하여 공급 전원을 PWM 콘트롤 방식을 통하여 조절하는 방식을 제안하였다.

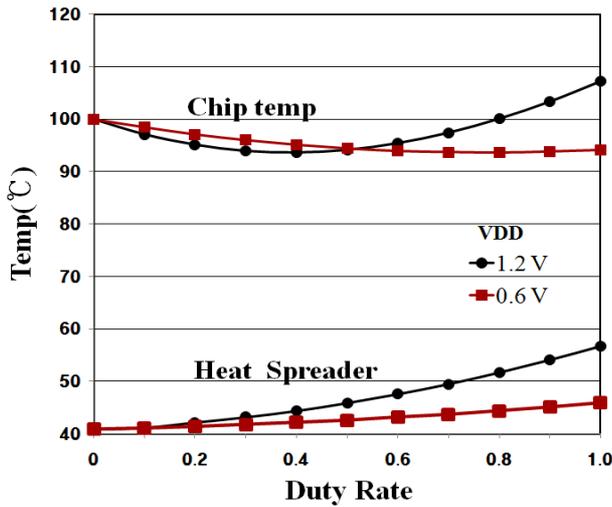


그림 11 공급 전압이 1.2V와 0.6V일 때 Duty비에 따른 에 따른 칩(cold side)과 heat spreader의 온도 변화

Fig. 11 Temperature of chip and heat spreader in accordance with duty ratio when supply voltage is 1.2V and 0.6V, respectively

그림 11은 발열 효과를 포함하여 칩의 온도가 100°C에 도달하였을 때, 공급한 전압과 Duty 비에 따른 온도 차이의 시뮬레이션 결과이다.  $I_{chtemp}$ 를 이용하여 칩을 100°C까지 가열한 후, 칩의 냉각을 위하여 열전소자에 최적 냉각 포인트에 맞는 인가 전력의 최적점을 찾기 위함이다. 0.6V와 1.2V 각각의 공급 전압에서 Duty rate를 변화시켜 열전소자에 공급되는 전력의 크기를 조절하면 이상적인 전원공급 duty 비를 찾을 수 있다. 시뮬레이션에서는 스위치는 주기가 500msec인 신호로 조절하였다. 예를 들면, Duty rate 0.2 지점은 100ms동안 DC 전압을 열전소자에 인가한 후 400ms 동안 스위치를 off, 전압을 인가해 주지 않은 상태를 의미하며, 이러한 스위칭 동작이 500ms 동안 주기적으로 반복됨을 의미한다. 공급전압이 1.2V에서는 Duty 비가 약 0.4 부근에서 공급전압 0.6V에서는 약 0.7에서 최적점을 가지는 것을 알 수 있다.

실제 칩을 동작하기 위한 구동 전압은, 공정 기술의 발전에 따라서 점점 낮아지고 있는 시점이지만 현재 1.0V~3.3V의 공급전압으로 구동이 되고 있다. 열전 냉각 장치를 최적점에서 동작시키기 위해서 전압과 전류값을 변경하기 위해서는 복잡한 전력 공급 회로가 필요하게 된다. 본 연구에서 제안하는 Duty 비를 조정하는 구동방식을 사용하면 열전 냉각 소자를 최적 동작점에서 동작 시키기 위하여 인가되는 전력을 PWM 방식으로 콘트롤함으로써 간단하게 냉각 구동 회로를 구현할 수 있다.

#### 4. 결 론

본 논문에서는 박막형 열전 소자를 이용한 COB 냉각 장치의 구조와 PWM 방식으로 TEC의 공급 전력을 최적점으로 공급하기 위한 동작 방법을 제안하고 시제품을 제작하였다. 제작된 COB의 박막형 TEC를 내장한 COB 구조의 냉각

성능을 측정하였으며 SPICE 시뮬레이션 결과와 비교하였는데, 시뮬레이션 결과와 측정 결과는 비교적 잘 일치함을 확인하였다. TEC의 SPICE 등가 회로에 칩의 발열을 포함하여 시뮬레이션이 가능하도록 모델에 발열부를 포함시켰으며 칩의 온도가 100°C일 때 열전냉각 장치에 최적의 전력 공급점을 SPICE simulation을 통하여 찾아낼 수 있음을 확인하였다.

#### 감사의 글

본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업의 일환으로 수행하였음 [KI002134, 웨이퍼레벨 3차원 IC 설계 및 집적기술].

본 연구는 지식경제부 및 정보통신산업진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음 [NIPA-2009-(C1090-0904-0007)].

본 연구에서는 IDEC에서 지원된 EDA Tool을 사용하였으며 지원에 감사드립니다.

#### 참 고 문 헌

- [1] I. Chowdhury, R. Prasher, K. Lofgreen, G. Chrysler, S. Narasimhan, R. Mahajan, D. Koester, R. Alley and R. Venkatamian, "On-chip cooling by superlattice based thin film thermoelectrics", Nature Nanotechnology Vol. 4, pp. 235 - 238, 2008.
- [2] Hyunju Lee, Soonseo Park, Sungkyu Cho, Hyojong Kim and Shiho Kim, "A Thin Film Thermoelectric Cooler for Chip-on-Board direct Assembly", IEEE Electrical Design of Advanced Packaging & Systems Symposium(EDAPS) 2009, #47, Dec. 3 2009.
- [3] Overview of Chip-on Board [Online], www.SiliconFarEast.com.
- [4] 우병철, 이희용, "열전발전용 Bi-Te Module에서 미끄럼에 따른 열용량 완화 특성", 전기학회논문지 제52C권 제1호, pp. 12-18, 2003년 1월.
- [5] Datasheet of Optocooler UPF-40, Nextremethermal solution Inc, 2008
- [6] 박순서, 조성규, 남바야르, 김시호, "열전 모듈의 SPICE 모델링" 전자공학회논문지, 제47권 SD편 제4호, pp. 7-12, 2010년 4월.
- [7] 최정식, 고재섭, 정동화, "열전소자를 이용한 BIPV 모듈의 냉각시스템 개발", 전기학회논문지 제57권 제9호, pp. 1555-1562, 2008년 9월.
- [8] D. Mitrani, A. Tome, J. Salazar, A. Turo, M. Garcia, and J. Charvez, "Methodology for Extracting thermoelectric module parameters", IEEE Tr. on Instrumentation and measurement, Vol. 54, pp. 1548-1552, 2005.
- [9] 이현주, 김시호, "온도 제어 장치 및 그 구동 방법", 특허청, 등록번호 10-0953441, 2010년 4월.
- [10] 유정호, 이현주, 정진호, 김시호 "박막형 열전소자를

사용한 3D IC 냉각을 위한 온도 제어 콘트롤러”, SoC  
학술대회 2010, pp. 426-429, 2010년 5월

## 저 자 소 개



### 유 정 호 (柳 廷 昊)

1980년 4월 15일 생. 2008년 충북대학교  
전기공학과 졸업. 2009년부터 현재 동 대  
학원 전기공학과 석사과정  
Tel : (043) 275 - 6828  
E-mail : flihighz@hanmail.net



### 이 현 주 (李 炫 周)

1984년 12월 4일 생. 2009년 충북대학교  
전기공학과 졸업. 2009년부터 현재 동 대  
학원 전기공학과 석사과정  
Tel : (043) 275 - 6828  
E-mail : hyunju1204@chungbuk.ac.kr



### 김 남 재 (金 南 宰)

1984년 12월 4일 생. 2010년 충북대학교  
전기공학과 졸업. 2010년부터 현재 동 대  
학원 전기공학과 석사과정  
Tel : (043) 275 - 6828  
E-mail : njk84@chungbuk.ac.kr



### 김 시 호 (金 示 浩)

1963년 6월 6일 생. 1986년 연세대학교  
전자공학과 졸업. 1988년 KAIST 전기  
및 전자 공학과 졸업(석사). 1988년부터  
1991년까지 LG반도체 중앙 연구소 주임  
연구원. 1995년 KAIST 전기 및  
전자공학과 졸업(박사). 1995년부터 1996  
년 LG 반도체 책임연구원. 1997년부터 2005년까지 원광  
대학교 전임, 조교수, 부교수. 2000년부터 2001년 2월까지  
IMEC 연구소(KU Leuven) 초빙교수. 현재 충북대학교 전  
기공학부 정교수, 하이브리드자동차 에너지회생기술 연구  
센터(ITRC) 센터장, System Chip Integration (SCI)연구  
실 운영, 연구, IEEE Senior Member  
연구 관심분야 : System on Chip Design, 하이브리드 자  
동차 에너지 회생기술, 3DIC 냉각 기술, NAND Flash  
Memory 신뢰성  
E-mail : shiho@chungbuk.ac.kr