

칭 레벨의 모든 노드들 사이에 발생 가능한 결함을 고려하는 전체 합선 고장모델, 논리 게이트를 트랜지스터 레벨로 분석하여 트랜지스터 내부의 결함을 고려하는 트랜지스터 합선 고장모델 등의 다양한 모델을 이용한다[4-6].

전류 테스트 방식은 높은 고장 및 결함 검출률을 갖지만 상대적으로 출력 단에서 논리적인 값을 검사하는 전압 테스트 방식에 비해서 느린 테스트 시간을 가진다. 이러한 문제를 해결하기 위해서 내장된 전류 테스트를 이용하는 방식이 가능하지만 내장된 감지기의 오버헤드와 내장된 회로의 테스트에 관련하여 부가적인 문제가 발생한다. 따라서 전류 테스트를 이용하여 테스트 대상 회로의 고장 및 결함을 효과적으로 검출하거나 진단하기 위해서는 고장 모델에서 고려하는 발생 가능한 고장 수를 줄이거나 적은 수의 테스트 패턴을 생성할 수 있는 효과적인 기법이 필요하다.

본 논문에서는 CMOS 회로의 크기와 복잡도가 증가할수록 발생 가능한 고장 및 결함의 검출에 적합한 전류 테스트 기법을 고려하고, 다양한 고장 모델에 적용 가능하며 고장 수를 효과적으로 감소시켜 ATPG 툴에 적용 가능한 객체 기반의 등가 노드 검출 기법을 제안한다. 먼저 2장에서 고장모델에 관해서 논의하고, 3장에서는 제안된 객체기반의 노드 검출 기법에 관한 설명과 ISCAS 벤치마크 회로에 대한 실험 결과를 검토하고, 마지막으로 4장에서 결론을 맺는다.

II. 고장모델

CMOS 회로는 구조적 특성상 정적상태에서는 거의 전류가 흐르지 않는다. 전류 테스트는 이러한 CMOS 회로의 특성을 이용하여 고장을 검출하는 방법이다. 정적상태에서 합선 결함, 게이트 옥사이드 단락, 기생 트랜지스터 누설, 누설 PN 결함, 개방 결함 등과 같은 물리적인 결함이나 고장이 발생하면 정적 상태에서 공급 전원과 접지 단자 사이에 전도 경로가 형성되어 큰 고장 전류가 흐르게 된다. 이러한 고장은 기존의 전압 테스트 방법으로는 검출이 용이하지 않다.

전류 테스트를 이용하여 CMOS 회로에 발생 가능한 다양한 종류의 결함이나 고장을 검출하기 위해서 자주 사용되는 고장모델은 결함이 발생하는 위치와 고

려되는 유형에 따라 다음과 같은 모델링이 가능하다.

- 1) 외부 합선 고장모델 : 테스트 대상회로를 게이트 레벨로 해석하여 논리 게이트 간에 발생 가능한 단락으로 입·출력 노드들 사이에 단락을 고려할 경우에 사용한다[7, 8].
- 2) 전체 합선 고장모델 : 테스트 대상회로의 논리 게이트들을 스위치 레벨로 분석하여 모든 노드(외부 및 내부)에서 발생 가능한 단락을 고려할 경우에 사용된다. 전체 합선 고장모델은 테스트 입력 벡터에 따라서 내부 노드에 부동 값(floating value)을 가지는 경우가 발생하게 되어 고장 검출이 어려운 많은 PDF(Potentially Detected Faults) 합선 고장이 존재한다[9].
- 3) 트랜지스터 합선 고장모델 : 테스트 대상회로의 논리 게이트를 트랜지스터 레벨로 분석하여 트랜지스터 내부의 결함을 고려할 경우에 사용되며, CMOS 회로의 고장위치, 고장진단에 효과적인 모델이다[10].

그림 1에는 전류 테스트를 이용하는 고장모델을 보인 경우로 테스트 대상 회로의 고장 및 결함 수를 구하기 위해서 각각 외부 합선 고장모델은 게이트 레벨 분석, 전체 합선 고장모델은 스위칭 레벨 분석, 트랜지스터 합선 고장모델은 트랜지스터 레벨분석 방식을 이용하여 고려되는 고장 수를 구하게 된다.

테스트 대상 회로에 고장 및 결함이 발생한 경우, 전류 테스트 기법을 이용하여 고장 검출은 그림 1의 테스트 대상회로에 테스트 패턴 "101"을 입력단에 적용할 경우 각각 외부 합선 고장모델(외부노드 a와 외부노드 j 사이의 결함), 전체 합선 고장모델(내부노드 d와 외부노드 j 사이의 결함), 트랜지스터 합선 고장모델(게이트 G4의 p-트랜지스터 게이트 g와 소오스 s사이의 결함)이 발생한 경우에 회로의 정적상태에서도 공급전원과 접지단자 사이에 전류의 경로가 형성되어 많은 양의 전류가 흘러 발생한 결함 및 고장을 검출할 수 있다.

III. 제안된 노드 검출 알고리즘

전류 테스트를 이용하여 테스트 대상 회로의 고장 및 결함을 효과적으로 검출하거나 진단하기 위해서는 결함이 발생하는 위치와 고려되는 유형에 적합한 고장모델에서 발생 가능한 고장의 수를 감소시켜 가능한 적은 수의 테스트 패턴을 유지하는 게 필요하다. 임의의 테스트 패턴을 테스트 대상 회로에 적용할 경우에 고장이나 결함이 발생한 두 노드가 항상 같은 결과의 값을 나타내는 노드의 경우에는 전류 테스트 방식을 이용하여 서로 구별을 할 수 없으므로 단지 하나의 고장이나 결함만이 고려된다.

효율적인 노드 검출기법은 고려되는 다양한 고장모델에서 전류 테스트로 서로 구별하지 못하는 노드를 삭제함으로써, 고장 시뮬레이션과 테스트 패턴 생성에 요구되는 시간을 효과적으로 줄여주고, 가능한 적은 수의 테스트 패턴 생성이 가능해 기존의 전압 테스트에 비해서 상대적으로 긴 테스트 시간을 요구하는 전류 테스트 방식에 꼭 필요한 기법이다.

제안된 노드 검출 기법은 기존의 노드 검출 기법에 더해서 트랜지스터 레벨과 스위치 레벨의 해석 원리를 이용한 재구성(분해와 치환) 과정을 통해서 더 많은 노드를 효과적으로 검출 하는 방식이다. 본 논문에서 제안한 노드 검출 기법의 흐름은 그림 2에 보인 바와 같이 6개의 프로세스로 이루어진다.

제안된 노드 검출 기법의 재구성 프로세스는 스위치 레벨과 트랜지스터 레벨의 분석방법을 이용하는 전체 합선 고장 모델과 트랜지스터 합선 고장모델에 적용하기 위한 프로세스로 AND, OR 게이트는 NAND, NOR, 인버터의 구조로 분해한 후 고장모델에서 고려되는 노드를 추출하는 프로세스이다. 실제로 AND, OR 게이트는 분해가 불가능하지만 스위치 레벨과 트랜지스터 레벨 분석에서는 AND는 NAND와 인버터, OR는 NOR와 인버터의 구조로 분석 할 수 있다. 이러한 재구성 프로세스를 통해서 다음 단계의 프로세스는 효과적으로 고려하는 고장모델의 노드 검출을 수행할 수 있다.

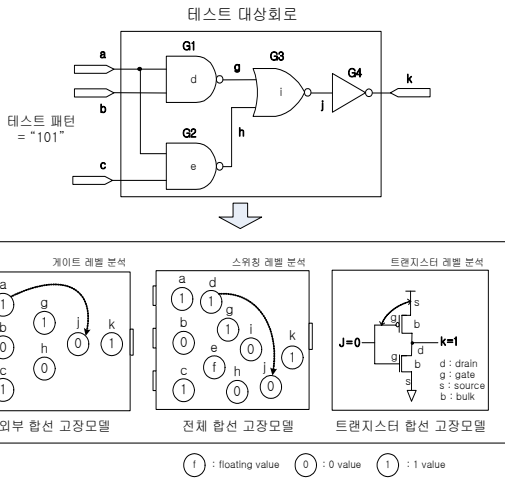


그림 1. 전류테스팅 고장모델
Fig. 1 Fault models using current testing

표 1. 전류 테스트 고장모델의 고장 수

Table 1. Fault numbers in fault models using current testing

회 로	게이트 수	고장모델의 초기 고장 수		
		(A)	(B)	(C)
c880	383	97,903	436,645	10,188
c1355	546	171,991	675,703	13,080
c1908	876	416,328	1,540,890	16,788
c2670	1,193	1,016,025	3,904,615	27,488
c3540	1,669	1,476,621	6,402,831	39,672
c5315	2,307	3,086,370	15,100,260	60,060
c6288	2,416	2,995,128	12,941,328	60,672
c7552	3,512	6,913,621	27,162,135	79,560

A : 외부 합선 고장모델 B : 전체 합선 고장모델
C : 트랜지스터 합선 고장모델

전류 테스트 방식을 이용하는 외부 합선 고장모델, 전체 합선 고장모델, 트랜지스터 합선 고장모델에서 발생 가능한 고장 수를 ISCAS 벤치마크 회로에 적용한 결과를 표 1에 나타내었다. 발생 가능한 고장의 수는 회로 크기에 비례해서 매우 커지므로 전류 테스트를 이용하여 CMOS VLSI 회로의 품질 및 신뢰성을 향상하기 위해서는 고려하는 다양한 고장모델에 적용 가능하며 모든 입력 테스트 패턴에 항상 같은 값을 가지게 되는 노드를 검출하여 고장 수를 줄이는 기법이 필요하다.

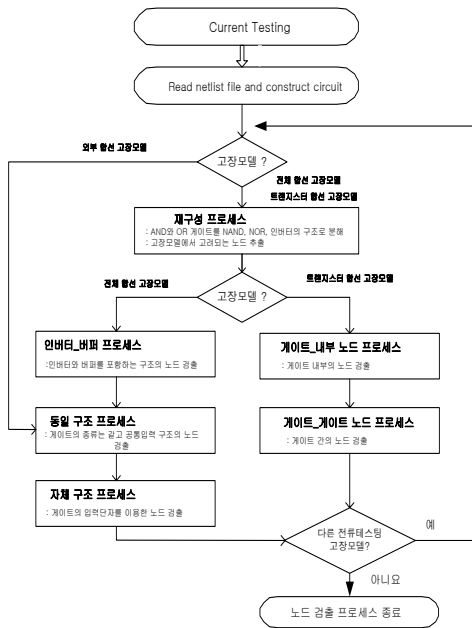


그림 2. 제안된 노드 검출 기법 순서도
Fig. 2 Flow chart of proposed node detection scheme

그림 3에는 재구성 프로세스 원리를 보인 것으로 테스트 대상 회로는 재구성 프로세스 후에 노드 c와 노드 e는 항상 같은 값을 가지는 노드가 되어 검출이 가능해진다. 또한 이러한 재구성 프로세스 과정은 게이트_게이트 노드 프로세스에서 고려하는 게이트간의 노드 상황을 더 만들게 되어 노드를 추가로 검출 할 수 있게 된다.

인버터_버퍼 프로세스에서는 테스트 대상 회로에서 버퍼나 인버터의 경우에는 입력이 하나이기 때문에 경로를 탐색하여 항상 같은 값을 갖는 노드를 찾아 검출하는 과정을 수행한다. 재구성 프로세스 후에 인버터_버퍼 프로세스를 수행하면 경로 탐색과정에서 더 많은 수의 인버터와 버퍼의 연결 구조가 형성되어 효율적인 노드 검출이 가능해진다.

동일 구조 프로세스에서는 테스트 대상 회로에서 버퍼나 인버터를 제외한 기본 게이트들에 대하여 게이트의 종류는 같고 공통의 입력을 받게 될 경우에 노드 검출을 수행한다. 제안된 동일 구조 프로세스는 외부 합선 고장모델에서 효과적 적용을 위해서 게이트들의 입력이 같은 그룹인 경우에도 노드 검출이 수행되도록 확대 적용하였다.

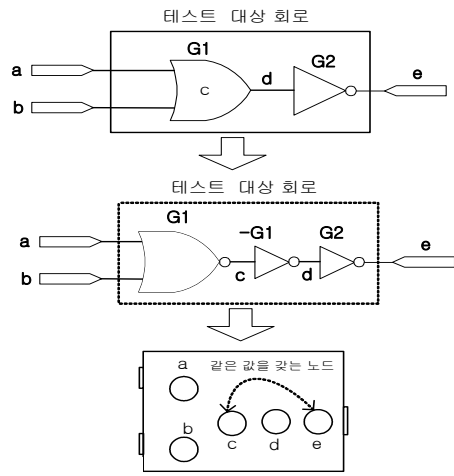


그림 3. 재구성 프로세스
Fig. 3 Reconstitution process

자체 구조 프로세스는 동일 구조 프로세스 후에 게이트들의 입력단자를 역추적으로 검색하여 게이트를 다른 형태의 게이트로 치환하거나 항상 “0”이나 “1”의 논리 값을 가지는 상수 노드를 검출하는 과정을 수행한다. 이러한 프로세스 과정은 기존의 알고리즘에서 검출할 수 없는 노드 검출이 가능하다.

그림 4에는 제안한 노드 검출 기법과 기존 방식의 비교 예를 보인다. 제안된 기법이 재구성, 인버터_버퍼, 동일 구조, 자체 구조 프로세스를 수행하면서 기존 방식에서는 검출할 수 없는 추가적인 3개의 노드 (노드 -G6, 노드 -G2, 노드 -G10)를 검출하는 것을 보여준다.

게이트_내부 등가 노드 프로세스는 트랜지스터 합선 고장모델에서 재구성 프로세스 후에 기본 게이트의 내부를 분석하여 노드 검출을 수행함으로써 테스트 대상 회로에서 기본 게이트가 가지는 가능한 고장수를 효과적으로 줄이는 방법이다. 제안된 알고리즘에서는 재구성 프로세스 과정 후에 게이트_내부 노드 프로세스를 실행하기 때문에 고려되는 CMOS 기본 게이트의 종류가 간단해져 트랜지스터 합선 고장모델의 게이트의 종류와 입력 포트 수에 따라 종류별로 구성하는 라이브러리가 적게 되는 장점이 있다.

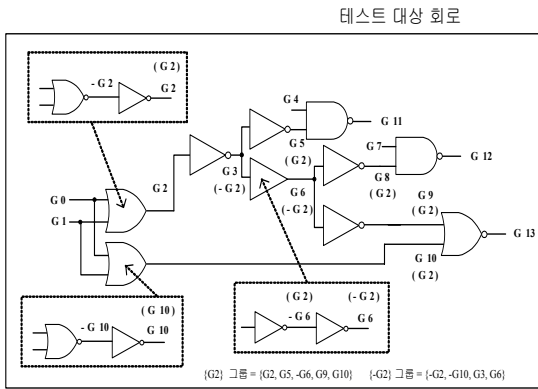


그림 4. 노드 검출 기법의 비교
Fig. 4 Comparison of node detection scheme

게이트_게이트 노드 프로세스는 게이트 내부 노드 프로세스 후에 게이트 간에 노드 검출을 고려하는 경우로서 재구성 프로세스를 통해서 게이트간 더 많은 같은 값을 가지는 노드 상황이 만들어지게 되어 기존 방식에 비해서 효과적인 게이트 간에 노드 검출이 가능하다.

또한 기존 방식과 다르게 게이트간 노드를 검출하기 위해서 우선 하나의 게이트를 선택하는 방식에서 제안된 알고리즘에서는 선택된 게이트의 입력 단에 관련된 게이트들도 같이 추적하는 방식을 통해서 더욱 효과적으로 게이트간 노드 검출을 수행한다. CMOS 회로의 고장위치, 고장진단에 효과적이며 트랜지스터 내부의 결함을 고려할 경우에 사용되는 트랜지스터 합선 고장모델에서 노드 검출 기법의 비교를 그림 5에 보인다.

그림 5의 테스트 대상 회로는 AND 게이트 6개와 인버터 2개로 이루어져 있으며 초기 트랜지스터 합선 고장은 AND 게이트의 고장 수($36 \times 6 = 216$)와 인버터의 고장 수($12 \times 2 = 24$)로 총 240개이다. 테스트 대상 회로에 기존의 방식을 적용하면 게이트 내부 노드 검출 과정을 거치면 각 AND 게이트의 고장 수가 12개와 인버터의 고장 수가 3개로 줄어들어 전체 고장은 78개까지 줄일 수 있고, 게이트간 등가 노드 검출을 수행하면 추가의 6개 등가 노드를 검출하여 총 72개의 남은 고장 수를 가진다. 제안된 기법은 재구성 프로세스를 통해서 6개의 AND 게이트를 NAND와 인버터로 재구성하게 된다. 전체 고장 수는 게이트 내부 노드 프로세스를 거친 후 NAND 게이트의 고장

수($11 \times 6 = 66$)와 인버터 고장 수($3 \times 9 = 24$)로 90개로 줄어들고, 게이트_게이트 노드 프로세스를 거친 후 게이트간 같은 값을 가지는 노드를 30개 검출하여 총 60개의 남은 고장 수를 가진다. 따라서 테스트 대상 회로를 재구성 프로세스를 통해 분해할 경우 12개의 노드를 더 검출할 수 있다.

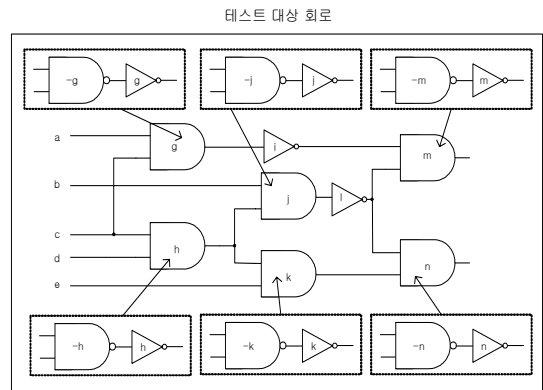


그림 5. 트랜지스터 합선 고장모델의 노드 검출 기법의 비교

Fig. 5 Comparison of node detection scheme in transistor short fault model

제안된 객체기반 등가 노드 검출 기법의 효율성을 검증하기 위해서 CMOS 회로에 발생 가능한 다양한 종류의 결함이나 고장을 검출하기 위해서 자주 사용되는 다양한 고장모델에 ISCAS 벤치마크 회로에 적용한 실험 결과를 표 2에 보이고 고장 수를 고려할 경우에 남은 고장 압축률 비교를 그림 6에 보인다. 모든 ISCAS 벤치마크 회로에서 기존의 방식보다 높은 노드 검출을 보인다. 표 2과 그림 6의 결과를 통해서 제안된 노드 검출 기법이 전압 테스트 방식에서는 검출할 수 없는 다양한 CMOS VLSI의 고장 및 결함의 검출에 더 적합한 전류 테스트 기반의 모든 고장모델에 적용가능하며 더 효과적임을 알 수 있다.

이러한 결과는 스위치 레벨과 트랜지스터 레벨 원리를 적용한 재구성 프로세서 과정과 다음 단계에서 이러한 성질을 고려하고 이용하는 프로세서를 통해 노드를 효율적으로 감소시킨 결과이다.

표 2. 전류 테스트 고장모델의 고장 수 결과 비교

Table 2. Result comparison of fault numbers in fault models using current testing

외부 합선 고장모델 : (A)(D)(G), 전체 합선 고장모델 : (B)(E)(H), 트랜지스터 합선 고장모델 : (C)(F)(I)

회 로	고장모델의 초기 고장 수			기존방식의 고장 수			제안된 방식의 고장 수		
	(A)	(B)	(C)	(D)	(E)	(F)	(G)	(H)	(I)
c880	97,903	436,645	10,188	75,466	323,610	2,889	75,466	318,003	2,730
c1355	171,991	675,703	13,080	136,503	593,505	4,006	136,503	593,505	2,204
c1908	416,328	1,540,890	16,788	191,271	634,501	4,845	115,440	428,275	4,581
c2670	1,016,025	3,904,615	27,488	627,760	2,168,403	7,314	440,391	1,422,141	6,986
c3540	1,476,621	6,402,831	39,672	668,746	3,777,126	10,194	517,653	2,958,528	9,523
c5315	3,086,370	15,100,260	60,060	1,867,278	10,490,490	16,434	1,540,890	8,256,016	16,180
c6288	2,995,128	12,941,328	60,672	2,956,096	12,622,800	18,523	2,842,920	12,318,166	12,168
c7552	6,913,621	27,162,135	79,560	3,924,201	17,508,403	21,149	3,081,403	12,804,330	20,427

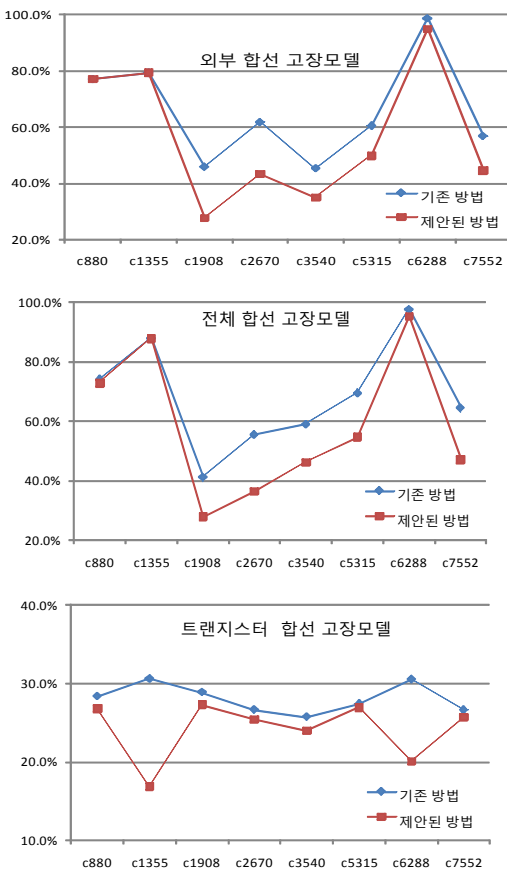


그림 6. 전류 테스트 고장모델의 고장 압축률 비율
Fig. 6 Comparison of fault compression rate in fault models using current testing

VI. 결 론

전류 테스트를 이용하여 테스트 대상 회로의 고장 및 결함을 효과적으로 검출하거나 진단하기 위해서는 고장모델에서 고려하는 발생 가능한 고장 수를 줄이거나 적은 수의 테스트 패턴을 생성할 수 있는 효과적인 기법이 필요하며 동시에 존재하는 결함이나 장애의 영향을 기술하기 위해서 사용되는 다양한 고장 모델에 적용이 가능해야한다. 본 논문에서는 기존의 전압 테스트 방식에서는 검출할 수 없는 다양한 CMOS VLSI 회로의 고장 및 결함 검출에 효율적인 전류 테스트의 외부 합선 고장모델, 전체 합선 고장모델, 트랜지스터 합선 고장모델에 적용 가능한 새로운 객체기반의 고장 검출 기법을 제안하였다. 제안된 기법은 스위치 레벨과 트랜지스터 레벨 원리를 이용하는 객체기반의 프로세스를 통해서 테스트 대상 회로가 고집적화 할수록 고려되어야 할 고장의 수가 매우 크게 되는 경우에 더욱 효과적인 검출 기법이다. ISCAS 벤치마크 회로 실험 결과를 통하여 고려되는 고장의 수를 효과적으로 감소시킬 수 있고, 다양한 고장모델에 적용 가능함을 확인하였다. 또한 제안된 검출 기법은 보다 정확한 고장 검출율을 위해서 다양한 ATPG 툴에 이용될 수 있다.

참고 문헌

[1] J. M. Soden, C. F. Hawkins, R. K. Gulati, W. Mao, "IDDQ Testing : A Review," Journal of

Electronic Testing, vol 3, no 4, pp. 291-303, 2004.

- [2] 홍성제 외, 테스트 및 테스트를 고려한 설계, 홍릉과학출판사, 2001.
- [3] R. Rajsuman, IDDQ Testing for CMOS VLSI, Artech House, 1994.
- [4] W. Mao and R. K. Gulati, "QUIETEST: A Quiescent Current Testing Methodology for Detecting Leakage Faults," Proc. ICCAD'90, pp. 280-283, 1990.
- [5] S. Chakravarty and S. T. Zachariah, "STBM: A Fast Algorithm to Simulate IDDQ Tests for Leakage Faults," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, vol. 19, no. 5, pp. 568-576, May 2000.
- [6] L. T. Wang, C. W. Wu, X. Wen, VLSI Test Principles and Architectures: Design for Testability, Elsevier, 2006.
- [7] P. J. Thadikaran, "Evaluation, selection and generation of IDDQ tests," PHD. Thesis, Department of Computer Science, State University of New York, 1996.
- [8] T. Shinogi and T. Hayashi, "An iterative improvement method for generating compact tests for IDDQ testing of bridging faults," IEICE Trans. INF & SYST., Vol. E81-D. No. 7, July 1998.
- [9] T. Lee, I. N. Hajj, E. M. Rudnick, J. H. Patel, "Genetic-algorithm based test generation for current testing of bridging faults in CMOS VLSI circuits," IEEE VLSI Test Symposium, pp. 456-462, 1996.
- [10] X. Wen, H. Tamamoto and K. Kinoshita, "IDDQ Test Vector Selection for Transistor Short Fault Testing," System and Computers in Japan, vol. 28, no. 5, 1997.

저자 소개



배성환(Sung-hwan Bae)

1993년 2월 전북대학교 전자공학과 졸업(공학사)

1995년 2월 전북대학교 대학원 전자공학과 졸업(공학석사)

2000년 2월 전북대학교 대학원 전자학과 졸업(공학박사)

한려대학교 멀티미디어정보통신공학과 교수

※ 주 관심분야 : ASIC 테스트, 통신시스템 설계



한종길(Jong-kil Han)

1993년 2월 전북대학교 전자공학과 졸업(공학사)

1995년 2월 전북대학교 대학원 전자공학과 졸업(공학석사)

2002년 전북대학교 대학원 전자공학과 졸업(공학박사)

한려대학교 멀티미디어정보통신공학과 교수

※ 주 관심분야 : 적응제어, 슬라이딩제어, 슬라이딩 섹터제어, 퍼지제어 등