

---

# 압력측정용 A/D변환기의 OPAMP 개발

채용웅\*

## Development of OPAMP in an A/D Converter for Pressure Measurement

Yong-yoong Chai\*

### 요 약

자동차의 와이퍼 브레이드 성능은 자동차 안전성 확보에 크게 기여한다. 유리면에 접촉된 먼지나 이물질 등을 제거하는 기능을 확보하기 위해 와이퍼 브레이드는 닙임성, 내구력, 내열·저온·내오존성·내화학성이 높아야 할 뿐만 아니라 소음이 적어야 한다. 이와 같이 와이퍼의 기능 개선을 위해서는 와이퍼의 성능을 평가하고 분석할 수 있는 시스템 장비가 필수적이다. 본 논문에서는 자동차의 와이퍼 누름압을 측정하는 시스템의 개발을 위해 누름압 센서에서 출력되는 신호를 받아 퍼스널 컴퓨터에 전달하는 아날로그 디지털 변환기를 설계하고자 한다. 설계한 ADC는 빠른 동작 속도를 얻으면서 전체 시스템의 면적 및 전력소모를 최적화하는 구조인 파이프라인 ADC이다.

### ABSTRACT

The efficiency of the car's wiper blade has a great contribution to the guarantee of security. To guarantee the wiper blade's ability of getting rid of dust sticking on the glass surface, the qualities of lubricant, durability, heat resistant, low temperature, ozone resistant, chemical resistant must be good as well as it being noiseless. Like this, in order to improve the wiper's skills, it is essential to have a system that is able to assess and analyse the properties of the wiper. In this paper, to create a system that measures the car's wiper pressure, an analog/digital converter (ADC) that receives signals generated from the pressure sensor and transmits it to a personal computer is proposed. The designed ADC is one of the pipeline ADCs that can obtain fast movement rate and also a structure that can optimize the entire system's area as well as the consumption of strength.

### 키워드

keyword, A/D converter, Pressure sensor, wiper blade

## 1. 서론

와이퍼 브레이드는 유리면에 접촉된 먼지나 이물질을 제거하는 기능을 확보하기 위해서 닙임성, 내구력, 내열, 저온, 내오존성, 내화학성이 높아야 할 뿐만 아니라 소음이 적어야 한다. 이와 같은 와이퍼의 기능을 개선하기 위해서는 와이퍼의 성능을 평가하고 분석할

수 있는 시스템 장비가 필수적이다. 본 논문에서는 자동차의 와이퍼 누름압을 측정하는 시스템 개발을 위해 누름압 센서에서 출력되는 신호를 받아 퍼스널 컴퓨터에 전달하는 A/D 변환기(Analog-to-Digital Converter : 이하 ADC)를 설계하고자 한다[1].

자동차 유리창에 압력 센서를 장착한 후 와이퍼를 동작시킬 때 센서에 특정 압력을 가하게 되면 센서에

---

\* 계명대학교 전자공학과(yychai@kmu.ac.kr)

접수일자 : 2010. 06. 24

심사(수정)일자 : 2010. 07. 06

게재확정일자 : 2010. 08. 05

서는 압력에 대한 반응을 출력하는데 ADC는 압력의 전기적인 신호를 퍼스널 컴퓨터에서 처리할 수 있는 디지털 신호로 변환하여 와이퍼의 누름압에 대한 데이터 처리를 가능하게 하는 한다.

ADC는 전압이나 전류 등과 같은 아날로그 입력 신호를 디지털 신호로 변환시킨다. 이러한 기능을 인코더(encoder)라 하며 와이퍼의 누름압 측정을 위한 시스템 이외에도 많은 응용분야에서 ADC는 신호를 변환하므로 시스템 간의 인터페이스 문제를 해결하여 준다. 최근 급속하게 발전하고 있는 디지털화 추세를 타고 ADC는 응용분야를 넓혀가고 있으며 그 응용분야로는 이동통신 단말기, 광대역 모뎀 등과 같은 통신 분야, MRI, 보청기 등의 의료기기 분야, 음성인식, 제어기 센서 등의 컴퓨터 분야 등 산업 전반에 널리 쓰이며 그 응용분야에 따라 적용되는 ADC의 사양과 구조가 결정된다[2].

동작 속도가 비교적 느린 신호를 제어하기 위해서는 높은 정확도를 가지며 구조가 간단한 적분형 ADC를 많이 사용한다. 적분형 ADC는 구조가 단순하여 구현이 용이하며 잡음에 강한 특성을 가지고 있을 뿐만 아니라 정밀도가 높다는 장점이 있다. 비교적 빠른 변환 속도와 높은 정밀도를 가진 Successive Approximation ADC는 회로의 구조가 간단하고 전력 소모가 적은 장점을 가지지만 수동 소자의 정합 제한으로 10 bit 이상의 고해상도 변환기를 구현할 때는 선형성이 떨어지고 미싱 코드가 발생 할 수 있다. R&C type, C&R type ADC가 이러한 문제점을 해결하고자 구현된 ADC이다[2].

본 논문에서는 빠른 동작 속도를 얻으면서 전체 시스템의 면적 및 전력소모를 최소화하는 구조인 파이프라인(pipelined) ADC를 제안하고, 이에 따른 SHA(Sample and Hold Amplifier)를 설계하였다. 본고에서 제안된 파이프라인 ADC는 이전의 입력이 완전히 디지털 출력으로 변환되기까지 대기없이 연속적으로 입력을 받아들이며, 여러 스테이지가 다른 입력에 대해 동시에 동작하며 연속적인 디지털 신호를 출력할 수 있기 때문에 이전의 입력에 대한 출력이 완료되기 전에 연속적으로 입력을 받아들이고 여러 스테이지가 동시에 동작하여 연속적인 출력값을 내보내기 때문에 고속의 동작을 얻으면서 시스템의 전체 면적 및 전력소모를 최소화시킬 수 있는 구조이다

## II. 와이퍼 누름압 측정을 위한 시스템

일반적으로 와이퍼는 자동차의 전면 유리 하단부에 부착된 구조로 되어 있으며 운전자의 조작에 의해서 온, 오프되면서 구동하게 된다. 와이퍼는 자동차의 전면 유리에 접촉되어 유리를 닦아내는 역할을 하는데 전면 유리 와 통상 30~ 50 정도의 각도를 이루며 작동되도록 설계된다.

와이퍼와 유리면 사이의 누름압이 큰 경우에는 소음, 와이퍼의 마모 등이 유발되고 반대로 누름압이 작은 경우에는 이물질들을 제대로 제거 할 수 없다. 또한 와이퍼의 편마모 방지 및 이물질을 고르게 닦아내기 위해서는 와이퍼의 길이 방향으로 누름압이 고르게 분포되어야 한다. 그러므로 와이퍼 누름압 측정의 중요성이 부각된다. 와이퍼 누름압을 측정하여 적절한 누름압으로 제조정하여 와이퍼의 소음, 마모를 최소화 할 수 있으며 편마모를 방지하여 유리의 이물질을 제거를 최적화할 수 있다.

와이퍼 누름압을 측정하기 위해서는 자동차 전면 유리에 압력 센서를 설치한 후 각 구간에서 와이퍼 누름압을 측정하여야 한다. 압력 센서에서 측정된 아날로그 신호를 ADC가 내장된 변환기에서 디지털 신호로 변환되어 퍼스널 컴퓨터에 입력된다. 퍼스널 컴퓨터에서는 디지털 신호를 처리할 수 있는 프로그램을 제작하여 입력된 디지털 신호를 실시간으로 처리하면 된다

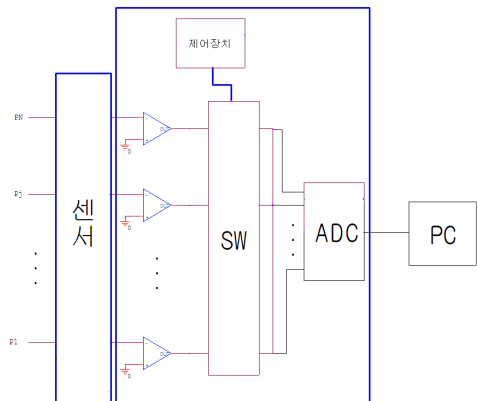


그림 1. 누름압 측정을 위한 시스템 블럭도  
Fig. 1 Block diagram of system for measuring wiper pressure

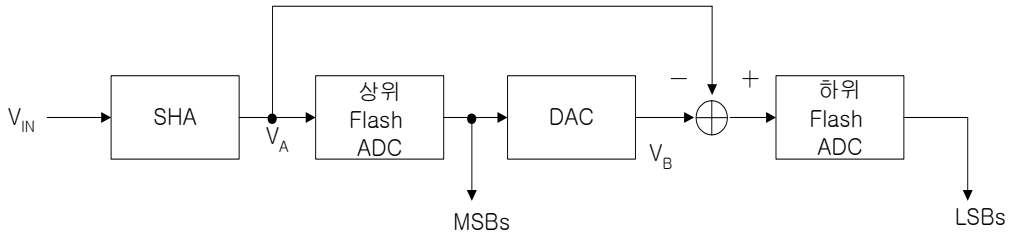


그림 2. 이단 ADC의 블록도  
Fig. 2 Block diagram of two-step ADC

그림1은 누름압 측정을 위한 시스템의 개요도를 보여준다. 누름압 측정을 위한 시스템은 센서, 연산증폭기, 멀티플렉서 그리고 ADC로 구성된다. 센서는 누름압을 전기적인 신호로 바꾸어준다. 센서에 특정 압력이 가해지면 센서로부터 기존의 전기적 신호와는 다른 레벨의 전기적 신호가 다음 단계 연산증폭기로 보내진다. 연산증폭기는 센서에서 출력된 작은 레벨의 전기 신호를 다음 단계에 에러없이 보내며 그 신호를 처리할 수 있도록 증폭시켜주는 역할을 한다. 멀티플렉서는 연산증폭기에서 나오는 다수의 출력을 정렬하여 한 개의 신호를 출력하며 ADC는 멀티플렉서의 출력 신호를 처리하여 컴퓨터에 디지털 출력 신호를 전송한다. 그림1은 원칩화하여야 할 블록을 보여주고 있다. 원칩화된 블록은 연산증폭기, 멀티플렉서와 ADC를 포함하고 있다. 이 블록에서 가장 큰 면적과 성능의 중요성이 강조되는 블록은 ADC이다. 일반적인 ADC는 아날로그 전압이나 전류 등의 입력 신호를 디지털 출력 신호로 변환시키는 역할을 한다. 이러한 ADC는 디지털 회로와의 인터페이스 문제를 해결할 수 있으므로 여러 응용분야에 널리 쓰이며 다양한 응용분야에 따라 적용되는 ADC의 사양과 구조가 결정되게 된다.

최근에 임베디드 시스템이 크게 주목을 받고 있다. 임베디드 시스템이란 큰 시스템 안에서 주어진 특정한 작업을 수행하기 위하여 삽입된 시스템으로서 firmware(혹은 software)와 하드웨어로 구성되며 프로세서 코어를 포함하는 SoC로 구현되는 것을 의미한다. 임베디드 시스템의 예로는 IMT 2000 단말기칩과 자동항법장치 등을 들 수 있다. 그러므로 임베디드 시스템에 적합한 적은 전력소모와 작은 칩 면적을 갖는 기술이 ADC 분야에서 각광을 받고 있다. 그 중

플래쉬 ADC는 고속 동작 속도의 구현이 쉬워 널리 사용하지만 병렬 처리를 근간으로 하여 해상도가 증가함에 따라 하드웨어가 지수적으로 증가하므로 대체로 6 bit 이상의 해상도에는 적합하지 않다. 이에 비해 파이프라인 ADC는 높은 해상도에서도 적은 전력소모, 칩 면적, 동작 속도의 성능이 적합하다. 이러한 ADC는 와이퍼의 누름압 측정을 위한 시스템에서 압력센서에서의 아날로그 신호를 디지털 신호로 변환하는 역할을 한다.

본 논문에서는 와이퍼 누름압 측정을 위한 원칩 솔루션 시스템을 위한 ADC를 설계하였다. 본 연구에서는 칩 면적, 전력소모, 속도 등을 고려하였을 때 파이프라인 ADC를 누름압 측정 시스템에 사용될 변환기로 채택하였다.

### III. 파이프라인 ADC

#### 3.1 파이프라인 ADC의 구조

파이프라인 ADC는 이단(two-step) ADC의 개념을 여러 단으로 확장한 것으로 동작원리는 이단 ADC와 유사하다. 이단 ADC는 빠른 속도와 비교적 높은 정확도를 얻기 위해 가장 일반적으로 사용되는 구조이다. 플래쉬 ADC의 경우 속도는 빠르지만 해상도가 증가함에 따라 전력소모, 면적 등이 지수함수적으로 증가하는 문제점이 있다. 이러한 문제점을 극복하고자 하는 구조가 이단 ADC이다. 이러한 이단 ADC는 플래쉬 ADC의 변환속도의 빠른 변환을 할 수 없는 장단점을 타협하는 구조이다[3].

그림2는 이단 ADC의 구조를 보여주고 있다. 이단 ADC는 샘플 앤 홀드 회로(Sample and Hold Amplifier : 이하 SHA), 상위 플래쉬 ADC, DAC

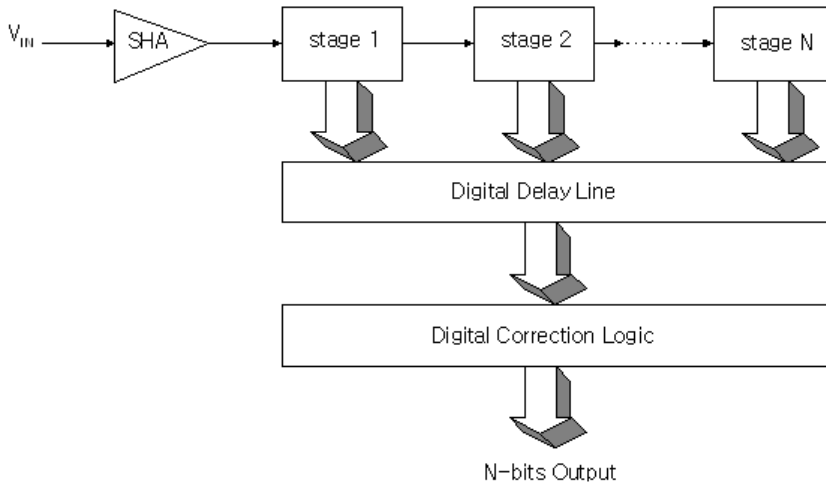


그림 3. N-bit 파이프라인 ADC의 블록도  
Fig. 3 Block diagram of N-bit pipelined ADC

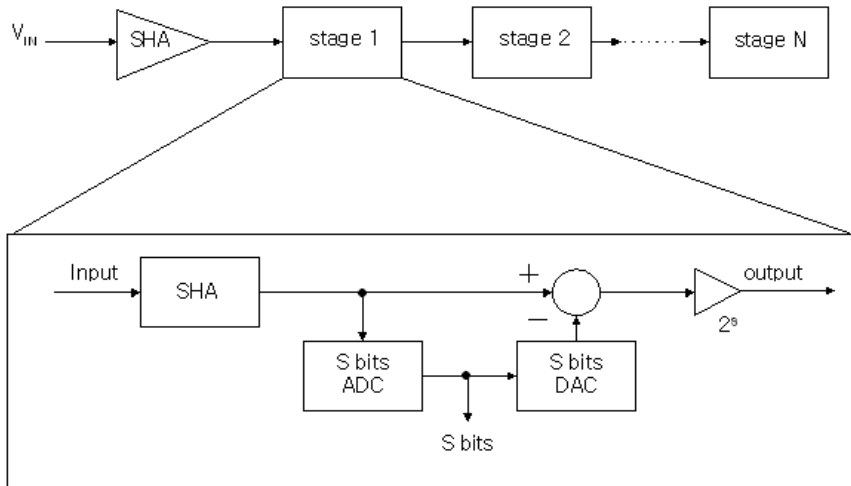


그림 4. 파이프라인 ADC stage의 구조  
Fig. 4 Structure of pipelined ADC stage

(Digital Analog Converter : 이하 DAC), 뿔셈기 그리고 하위 플래쉬 ADC로 구성된다. 이단 ADC는 완전한 디지털 신호를 출력하기 위해서 두 개의 클럭을 사용하여 각 스테이지를 컨트롤 한다. 먼저 상위 플래쉬 ADC가 MSBs를 출력한 후에 하위 플래쉬 ADC가

LSBs를 출력한다.

이단 ADC의 각 스테이지의 동작에 대해 알아보겠다. SHA는 아날로그 입력신호를 첫 번째에 따라 샘플링하고 그 값을 홀딩 하는 동작을 한다. 클럭  $\phi_1$ 이 LOW일 동안 SHA는 아날로그 입력 신호를 샘플링한

다. 클럭  $\phi_1$ 이 HIGH가 되면 상위 플레쉬 ADC는 SHA에서 홀딩된 신호를 이용하여 디지털 신호인 MSBs를 출력하며 이 디지털 값은 다음 단인 DAC에 의해 양자화된 아날로그 신호로 변환된다. 뺄셈기를 통해 양자화 된 아날로그 신호와 입력 아날로그 신호와의 차이, 즉 양자화 오차를 출력한다. 클럭  $\phi_2$ 가 HIGH일 동안 하위 플레쉬 ADC는 양자화 오차만큼의 아날로그 신호를 디지털 신호인 LSBs를 출력한다. 하위 플레쉬 ADC의 출력 신호가 나올 때까지 상위 플레쉬 ADC의 출력 신호를 지연시켜 동시에 상위 플레쉬 ADC의 신호와 하위 플레쉬 ADC의 신호를 출력함으로 최종적인 디지털 신호가 출력된다[1]. 만약 12비트 이단 ADC를 설계한다면 6비트의 상위 플레쉬 ADC와 6비트의 하위 플레쉬 ADC를 사용하게 되어 (26-1)개의 비교기를 사용하며 전체 비교기의 수는 126개이지만 플레쉬 ADC는 (212-1)개의 비교기, 즉 전체 비교기의 수가 4095개이다. 따라서 이단 ADC는 플레쉬 ADC에 비해 비교기의 수를 줄임으로써 전력 소모, 면적 등을 줄일 수가 있다.

이단 ADC를 확장시킨 파이프라인 ADC는 신호처리 속도를 향상시키기 위해 사용된다. 파이프라인 ADC는 이전의 입력이 완전히 디지털 신호로 출력되기까지 대기할 필요없이 연속적으로 입력을 받아들이며 여러 단이 다른 입력에 대하여 동시에 동작하며 연속적인 디지털 신호를 출력하므로 빠른 동작 속도를 얻으며 시스템의 면적 및 전력소모를 최적화하는 구조인 이단 ADC의 장점을 가지고 있다[1]. 그림3은 파이프라인 ADC의 전체 구조를 보여주고 있다.

파이프라인 ADC는 SHA, N개의 stage, Digital Delay Line과 디지털 교정 회로(Digital Correction Logic: 이하 DCL)로 구성된다. SHA는 아날로그 입력 신호를 일정 시간 샘플링한 후에 다음 스테이지에서 필요한 처리 시간동안 홀딩하는 기능을 맡고 있다. 각 스테이지는 홀딩된 신호를 디지털 신호로 출력하며 Digital Delay Line은 각 스테이지의 출력을 지연시켜 디지털 신호의 동기화를 맞추어 준다. Digital Delay Line에서 출력된 디지털 신호는 디지털 교정 회로를 거쳐 최종 디지털 출력 신호가 된다.

각 스테이지는 SHA, 플레쉬 ADC와 Multiplying 디지털 아날로그 변환기(Multiplying Digital to Analog Converter : 이하 MDAC)로 구성되며 그림4와 같

다. SHA는 아날로그 입력 신호를 샘플링과 홀딩 동작을 하며 SHA에 의해 홀딩된 신호를 플레쉬 ADC에서 디지털 신호를 출력한다. 플레쉬 ADC의 출력과 입력신호를 MDAC에서 처리하여 최종적으로 디지털 신호가 출력되어 나오게 되며 처리하지 못한 양자화 오차 만큼의 신호를 증폭하여 다음 스테이지로 보낸다. 동시에 앞단은 새로운 입력을 받아들여 위와 같은 동작을 반복한다. 결국 첫 번째 스테이지는 새로운 입력을 연속적으로 받아들이고 각 스테이지에서의 잔류 전압은 계속 다음 스테이지로 전달되기 때문에 일정한 시간이 경과한 후에는 모든 스테이지에서 다른 입력에 대한 디지털 신호를 동시에 출력한다. 따라서 파이프라인 ADC는 동작속도가 빠르다는 장점이 있다. 그러므로 전력 소모, 속도나 칩면적을 고려하였을 때 파이프라인 ADC가 와이프의 누름압 측정에 가장 적합한 설계가 된다. 이번 연구에서는 12 bit의 해상도(resolution)을 가지며 총 4개의 스테이지로 이루어지며 각 스테이지는 4 bit의 해상도를 가지는 플레쉬 ADC를 설계하였다. 각 스테이지에서 출력된 디지털 신호는 DCL을 거친 후 13 bit로 출력되며 마지막 1 bit를 제거 함으로 최종적인 12bit 해상도를 갖는 파이프라인 ADC가 된다.

### 3.2 SHA 회로설계

SHA는 아날로그 신호를 디지털 신호로 변환하는 하는 과정에서 아날로그 입력을 받아들이며 입력된 신호를 샘플링하며 홀딩하는 중요한 회로이다. 회로의 속도(speed)와 정확성(accuracy)은 SHA에 의해 좌우된다. 이상적으로 샘플링이 일어나는 주기동안 출력신호는 입력신호와 동일해야 하지만 실질적으로 시간지연이 나타나게 된다. SHA에서는 스위치의 성능이 좋아야 한다. 스위치의 트랜지스터가 온 / 오프되는 과정에서의 시간지연이 SHA 회로 및 전체 회로의 동작에 영향을 미치게 된다. SHA는 페루프 구조와 개루프 구조가 있다. 페루프 구조는 피드백을 가지고 있어 속도는 느리지만 회로는 안정적이다. 반대로 개루프 구조는 피드백을 가지지 않아 속도가 빠르지만 페루프 구조에 비해 회로의 안정성이 떨어진다. 본 연구에서는 빠른 동작 속도를 가지는 개루프 구조를 사용하였다. 그림5는 개루프 구조의 SHA를 보여주고 있다[4][5].

SHA 회로에 쓰인 연산증폭기는 와이드 스윙 폴디드

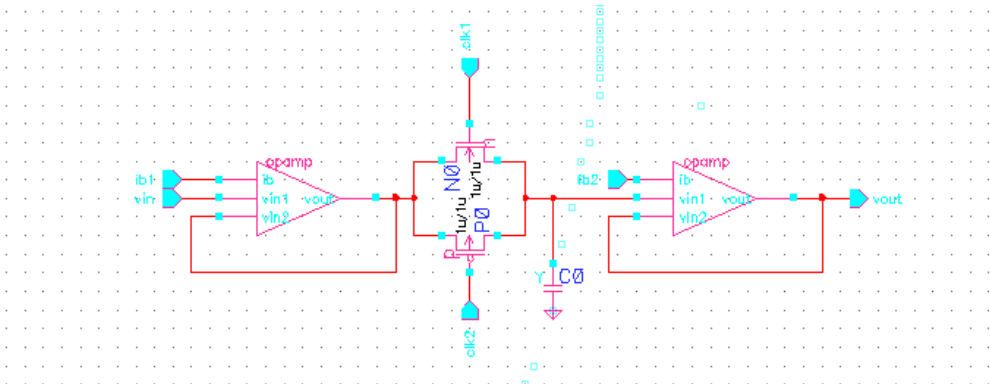


그림 5. SHA 회로  
Fig. 5 SHA circuit

캐스코드 타입으로 높은 이득과 주파수 특성을 얻을 수 있는 장점을 가지며 1단 증폭기이므로 안전성을 위한 연산 증폭기의 주파수 보상은 커패시터의 부하 소자에 의해 자동적으로 이루어지 때문에 회로의 안전성을 보장한다. 그림6은 회로의 스케매틱을 보여주고 있다.

그림7은 설계한 연산증폭기의 특성을 나타낸다. 설계한 연산증폭기의 vdd는 3V 이며 vss는 0V 이다. 연산증폭기의 전압이득은 약 82dB이며 입력 신호 vin 을 -1V 에서 4V 까지 증가하였을 때의 DC 출력 특성을 그림7에서 보여준다. 출력 전압은 약 0.2V에서 2.8V까지 선형적 출력을 한다.

이러한 특성을 갖는 연산 증폭기를 SHA 회로에서 사용하였으며 SHA회로의 입력신호 Vin을 50KHz sine파를 인가하였으며 클럭은 중첩되지 않는 두 개의 클럭을 사용하였다.

그림8에서 보듯이 클럭은 1us의 중첩되지 않는 클럭  $\phi1$ 을 사용하였으며 클럭  $\phi2$ 이 high가 되었을 때 SHA는 입력 신호를 샘플링한다. 클럭  $\phi2$ 가 high가 되면 SHA는 입력신호를 더 이상 샘플링하지 않고 이전에 입력된 신호를 홀딩하게 된다. 그러므로 두 개에 클럭  $\phi1$ 과  $\phi2$ 가 번갈아 가면서 입력신호를 샘플링하고 홀딩하는 동작을 하게 된다.

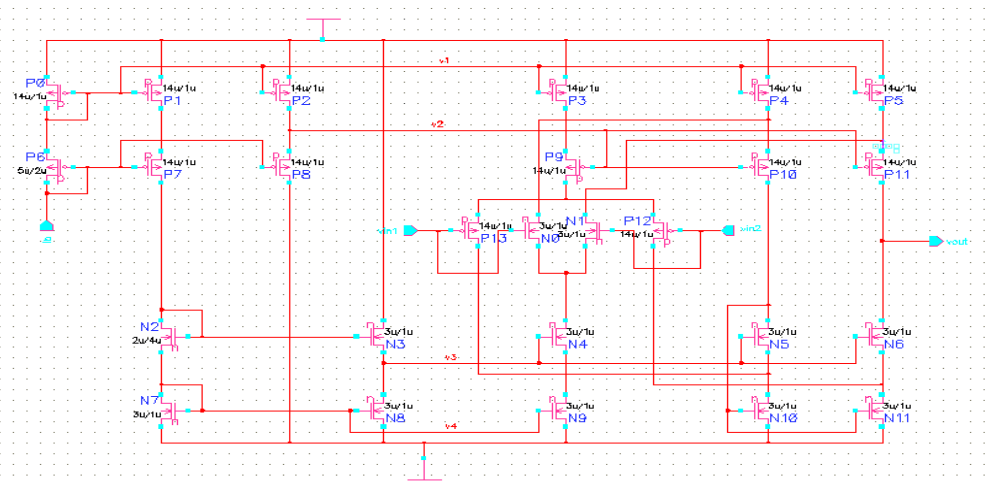
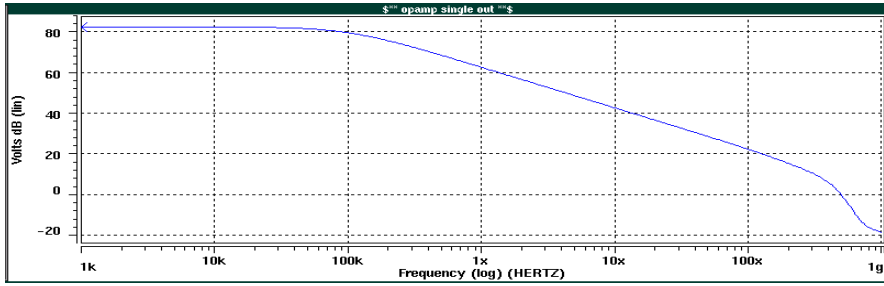
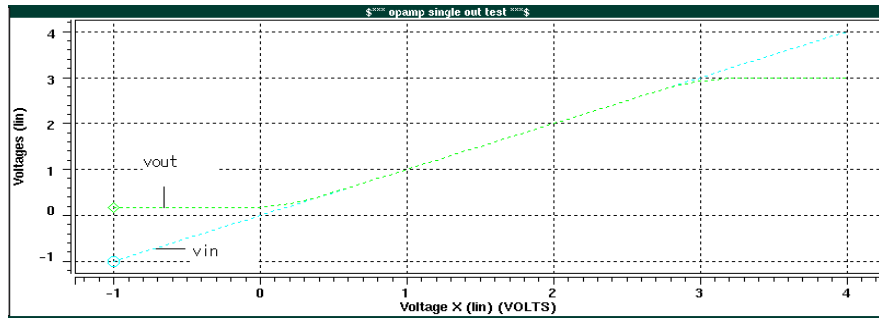


그림 6. 폴디드캐스코드 OP-AMP 회로  
Fig. 6 Folded cascode OP-AMP circuit



(a)



(b)

그림 7. OPAMP의 특성 (a) AC 특성 (b) DC 특성  
Fig. 7 Characteristics of OP AMP (a) AC (b) DC

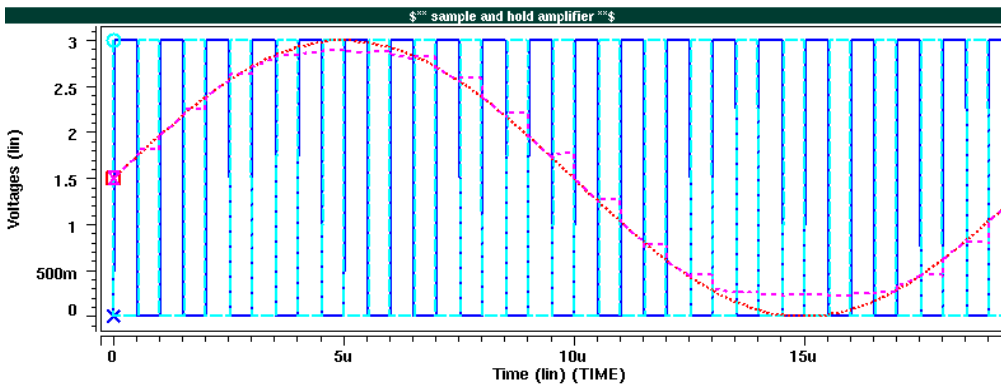


그림 8. SHA의 출력 결과  
Fig. 8 Output of SHA

ADC에 사용된 OTA의 전력소모는 1.8mW의 특성을 보였다. 회로의 검증을 위해 Hspice를 사용하였으며, 공정 파라미터는 삼성 0.35 $\mu$ m 공정 파라미터를 이용하였다.

#### IV. 결론

본 논문에서는 와이퍼 누름압을 측정하는 시스템을 위한 ADC를 제안하고, SHA를 설계하였다. 파이프라인 ADC의 각 스테이지는 4 bit의 디지털 신호를

출력하였고 16개의 출력 신호를 디지털 교정회로에서 13 bit로 교정하였다. 마지막 1 bit는 제거하여 디지털 출력 신호는 전체 12 bit를 얻을 수 있다. 파이프라인 ADC는 비중첩 클럭에 의해서 동작한다.

향후 아날로그 메모리를 이용한 기준 전압 생성회로를 설계하여 회로의 특성을 측정하고, 이 회로를 사용하여 고속의 플래쉬 ADC를 설계할 것이다. 제안될 새로운 플래쉬 ADC는 일반적인 저항열로 구현되던 기준전압 생성을 아날로그 메모리를 이용하여 구현할 것이다. 제안된 파이프라인 ADC의 스테이지에 사용되었던 4 bit 플래쉬 ADC의 저항열은 아날로그 메모리로 대체됨으로서 칩면적의 소모를 최소화하게 될 것이다.

**<영문후기>**

This work was supported by the Ministry of Knowledge Economy(MKE) and Korea Institute for Advancement of Technology(KIAT) through the Center for Mechatronics Parts(CAMP) at Keimyung University.

**<국문후기>**

본 연구는 지식경제부 · 한국산업기술평진지원 지정 계명대학교 전자화자동차부품지역혁신센터의 지원에 의한 것입니다.

**참고 문헌**

[1] Stephen H. Lewis; Paul R. Gray. A Pipelined 5-Msample/s 9-bit Analog-to-Digital Converter, IEEE J. Solid-State Circuits, vol SC-22, no. 6, pp 351-358, Dec 1987.

[2] McParland, R. J.; Singh, Ranbir. 1.25V, Low Cost, Embedded Flash Memory for Low Density Applications. 2000 symposium on VLSI circuits Digest of Technical paper. June 2000.

[3] Behzad Razavi; Bruce A. wooley. A 12-b 5-MSample/s Two-step CMOS A/D Converter. IEEE J. Solid-State Circuits, vol. 27, no. 12, pp

1667-1678, Dec 1992.

[4] 김창복. Pipeline 방식을 이용한 고성능 ADC 설계에 관한 연구, 한국OA학회논문지, 제6권 2호, pp 101-107, July 2001.

[5] Behzad Razavi. Principles of Data Conversion System Design, IEEE Press, 1995

**저자 소개**



**채용웅(Yong-yong Chai)**

1985년 8월 서강대학교 졸업 (공학사)

1991년 4월 Oklahoma State Univ. 졸업(공학석사)

1994년 12월 Oklahoma State Univ. 졸업(공학박사)  
계명대학교 전자공학과 교수

※ 주 관심분야 : 혼성모드 집적회로 설계