
탄소나노튜브 트랜지스터 특성 연구

박용욱* · 나상엽**

Characteristics of CNT Field Effect Transistor

Yong-Wook Park* · Sang-Yeob Na**

요 약

본 연구에서는 기존의 반도체 공정을 이용하여 bottom gate, top gate구조의 탄소나노튜브 트랜지스터를 제작하였다. 게이트 특성에 따른 특성을 연구하기 위하여 열화학 기상 증착법(CVD)으로 탄소나노튜브를 디바이스에 직접 성장시키고, 탄소나노튜브의 성장 특성 및 I-V 동작 특성을 분석하였다. 제작된 탄소나노튜브 FET는 p-type, 즉 hole이 다수 캐리어로 존재하는 트랜지스터이며 구동전압에 따라 conductance 변화하는 특성을 보였다.

ABSTRACT

Bottom gate and top gate field-effect transistor based carbon nanotube(CNT) were fabricated by CMOS process. Carbon nanotube directly grown by thermal chemical vapor deposition(CVD) using Ethylene (C₂H₄) gas at 700 °C. The growth properties of CNTs on the device were analyzed by SEM and AFM. The electrical transport characteristics of CNT FET were investigated by I-V measurement. Transport through the nanotubes is dominated by holes at room temperature. By varying the gate voltage, bottom gate and top gate field-effect transistor successfully modulated the conductance of FET device.

키워드

Carbon nanotube, FET, CVD, Bottom gate, Top gate

1. 서론

탄소나노튜브(carbon nanotube, CNT)는 1991년 일본의 Iijima박사가 처음 발견한 이후, 재료적 우수성으로 나노기술 분야에서 가장 많이 연구되고 있는 물질이다. 또한 탄소나노튜브 반도체는 상온에서 실리콘보다 70배 이상 우수하고 뛰어난 전기적, 기계적, 물리적 성질로 인해 합성과 응용 연구가 활발하게 진행되고 있다[1-3].

탄소나노튜브를 이용한 최초의 트랜지스터가 개발

되어 1997년에 발표된 이후 탄소나노튜브를 이용한 FET(field effect transistor)는 현재 실리콘기판을 사용하는 반도체소자에서 요구되는 고집적화 및 고기능성 등으로 인해 발생하는 크기 문제 등을 해결할 수 있는 차세대 나노 반도체 소자로 활발한 연구가 이루어지고 있는 첨단 연구 분야이다[4-6]. 이와 같은 차세대 반도체 분야의 연구 필요성 때문에 기존의 연구자들은 탄소나노튜브 FET를 제작하기 위해, 다양한 방법으로 제작된 고품질의 탄소나노튜브를 용액에 희석하여 기판위에 도포 한 후 소스(source)와 드레인

* 교신저자 : 남서울대학교 전자공학과(pyw@nsu.ac.kr)
접수일자 : 2010. 1. 3

** 남서울대학교 컴퓨터학과(nsy@nsu.ac.kr)
심사완료일자 : 2010. 2. 3

(drain), 게이트(gate) 전극을 고가의 electron beam lithography법을 사용하여 디바이스를 제작, 특성 연구를 수행 하였다.

그러나 위의 연구방법은 고가의 장비를 사용해야 하고 양산성이 낮다는 문제점을 가지고 있어 기존의 반도체 공정을 이용하여 CNT-FET를 제작하는 방법이 대안으로 떠오르고 있는 현실이다.

본 연구에서는 기존의 반도체 공정을 이용한 탄소나노튜브 트랜지스터의 게이트 특성에 따른 특성을 연구하기 위하여 열화학 기상 증착법(CVD)으로 탄소나노튜브를 디바이스에 직접 성장시키고, 실리콘 기판을 bottom gate로 사용하는 FET와 top gate를 갖는 탄소나노튜브 FET를 제작하여 탄소나노튜브 FET의 동작 특성을 연구 분석하였다.

II. 실험

탄소나노튜브를 액티브 채널로 사용하는 bottom 및 top gate CNT-FET (field effect transistors) 소자를 제작하기 위해 먼저 p-type 실리콘 기판위에 게이트 절연을 위하여 저압 화학 기상증착기(LPCVD)로 약 1 μm 두께의 SiO_2 막을 성장시켰다. 그림 1.(a)의 구조를 갖는 bottom gate CNT-FET는 기판위에 탄소나노튜브를 직접 성장시키기 위해 Iron nitrate와 Molybdenyl acetylac etonate를 다공질의 알루미늄이나 나노 입자와 혼합한 후 기판에 도포하여 촉매로 사용하였다. 이와는 달리 그림 1.(b)의 top gate CNT-FET는 촉매용 알루미늄이나 나노 입자가 top gate 제작을 불가능하게 하므로 나노 입자를 촉매로 사용하지 않고 E-beam evaporator를 사용하여 전이금속인 Fe를 약 1nm두께로 증착하여 탄소나노튜브 성장을 위한 촉매로 사용하였다.

두종류의 트랜지스터에서 사용한 소스(Source)와 드레인(Drain) 전극으로는 gold(Au)을 E-beam 증착기로 50 nm 두께로 증착하여 사용하였다. 또한 소스와 드레인의 간격은 특성분석을 위해 5 μm 의 간격을 갖도록 소자를 설계 제작하였다. top-gate CNT-FET는 기판 상부에 gate가 존재하므로 액티브 채널로 사용되는 나노튜브를 탑 게이트 전극과 절연시키고 또한 외부 환경에 영향을 제한하기 위해 탄소나노튜브위에 10nm 두께의 SiO_2 게이트 절연막을 증착시켰다. 마지

막으로 top gate를 리프트-오프(lift-off)법으로 50nm 두께의 Al을 사용하여 제작하였다.

본 연구에서 사용한 탄소나노튜브는 에틸렌(C_2H_4) 가스를 반응가스로 하여 열 화학기상 증착법으로 70 $^\circ\text{C}$ 에서 6분간 합성시켰고, 이렇게 제작된 소자는 HRSEM(high resolution scanning microscopy), AFM(atomic force microscopy)으로 분석하였으며, FET 동작 특성을 확인하기 위해 프로브스테이션과

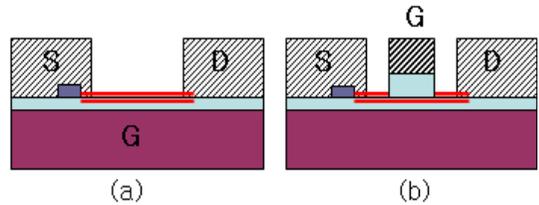


그림 1. 탄소나노 튜브 FET 단면구조도
(a) bottom-gate (b) Top-gate FET
Fig. 1 Cross section of CNT-FET
(a) bottom-gate (b) Top-gate FET

HP 4156 semiconductor parameter analyzer를 사용하여 I-V 특성을 관찰 분석하였다.

III. 결 과

그림 2는 열화학기상법으로 실리콘 기판위에 성장시킨 탄소나노튜브의 SEM 사진이다. 그림 2. (a)는 bottom gate용 Iron nitrate와 Molybdenyl acetylac etonate을 다공질의 알루미늄이나 나노 입자와 혼합한 촉매를 사용하여 성장시킨 탄소나노튜브를 보여주고 있다. (b)의 그림은 top gate용으로 Fe 박막을 사용하여 성장시킨 탄소나노튜브이다. 2가지 형태의 촉매를 사용하여 성장시킨 결과를 비교하면 Fe금속 박막의 경우는 합성된 튜브의 숫자가 적은 것을 알수 있다. 이는 1nm두께로 증착된 Fe 박막이 탄소나노튜브의 성장을 촉진하는 성장핵 역할을 수행하지만 두께가 매우 얇아 핵역할을 수행하는 촉매의 숫자가 bottom gate용 알루미늄 입자를 사용한 촉매보다 적기 때문에 발생한 것으로 생각된다. 하지만 2가지 방식 모두 비교적 낮은 합성온도인 700 $^\circ\text{C}$ 에서 수 μm 의 길이를 갖는 많은 숫자의 탄소나노튜브가 합성된 것을 보여 주고 있다.

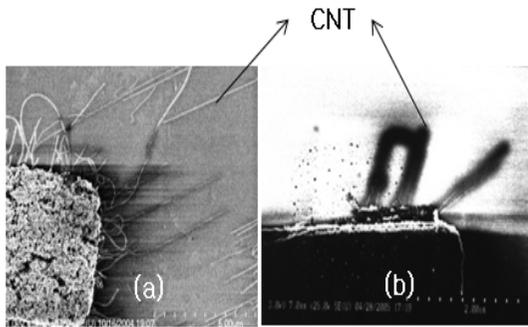


그림 2. 탄소나노튜브 SEM 사진
Fig. 2 SEM of CNT

그림 3(a)는 소스와 드레인의 간격이 5 μm 인 소자를 약 10분간 탄소나노튜브를 촉매를 이용하여 성장시킨 FET의 AFM 결과이다. 촉매에서 성장한 다수의 탄소나노튜브 중 하나의 튜브만 양 전극단에 연결되어 있는 것을 보여준다. 또한 연결된 탄소나노튜브가 SWNT(single-wall nanotube)인지 MWNT(multi-wall nanotube)특성을 갖는지 확인하기 위해 AFM

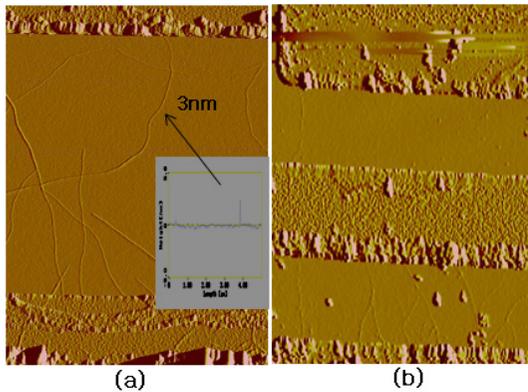


그림 3. 탄소나노튜브 AFM 사진
(a) bottom-gate (b) Top-gate FET
Fig. 3 AFM photos of CNT-FET
(a) bottom-gate (b) Top-gate FET

를 사용하여 제작된 디바이스에 존재하는 나노튜브의 직경을 조사하였다. 그림 3(a)의 결과에서 확인된 것과 같이 양 전극단에 연결된 나노튜브의 직경이 약 3 nm인 것을 알 수 있다. 이는 다른 연구자들의 결과에서도 잘 알려진 것과 같이 이와 같은 직경을 갖는 탄소나노튜브는 SWNT의 구조를 갖으며[4] 따라서

본 연구에서 합성한 탄소나노튜브는 SWNT로 성장되었음을 알 수 있다. 그림 4는 제작된 bottom 및 top gate CNT-FET (field effect transistors) 소자를 나타내고 있다. 그림 4(a)는 실리콘 기판을 bottom gate로 소스와 드레인 전극의 간격이 5 μm 로 제작된 것을 보여 주며, 다수의 탄소나노튜브가 양 전극(소스, 드레인)에 연결되어 있는 것을 알 수 있다. 또한 그림 4(b)는 드레인과 소스의 간격은 5 μm 이며 10nm 두께의 얇은 SiO₂ 게이트 절연막 위에 1.5 μm 의 게이트 length를 갖는 Al 전극의 top gate CNT-FET (field effect transistors) 소자 사진이다.

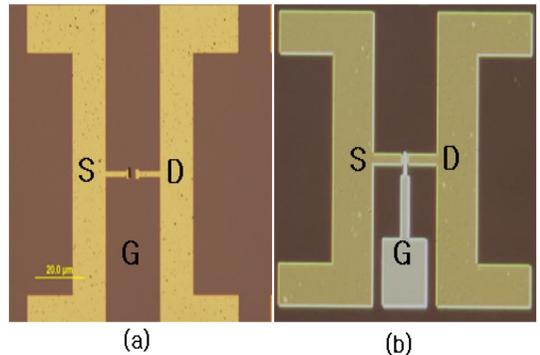


그림 4. 탑게이트와 bottom 게이트 소자 사진
(a) bottom-gate (b) Top-gate FET
Fig. 4 photos of CNT-FET device
(a) bottom-gate (b) Top-gate FET

그림 5는 실리콘 기판을 bottom gate로 소스와 드레인 전극의 간격이 5 μm 로 제작된 탄소나노튜브 FET 소자의 I-V 특성을 보여주고 있다. FET 소자에 게이트 전압을 -10~0 V로 변화시키며 일정한 드레인 전압(각 $V_d = 0.5, 1, 2\text{V}$)을 인가하였을 때 얻은 드레인 전류(I_d) 특성으로, 제작된 나노튜브 FET 소자는 전형적인 p-channel MOSFET (metal-oxide silicon field effect transistor) 소자의 I-V 특성을 보여주고 있다. 제작된 탄소나노튜브 FET는 p-type, 즉 hole이 다수 캐리어로 존재하는 트랜지스터이며 다수 캐리어로 hole이 존재하는 이유는 탄소나노튜브가 hole을 제공하는 것이 아닌 Au 전극과 나노튜브의 work function의 차이로 인하여 발생하는 전자의 이동에 의한 band banding에 의하여 발생된 결과로 생각된다[7-8].

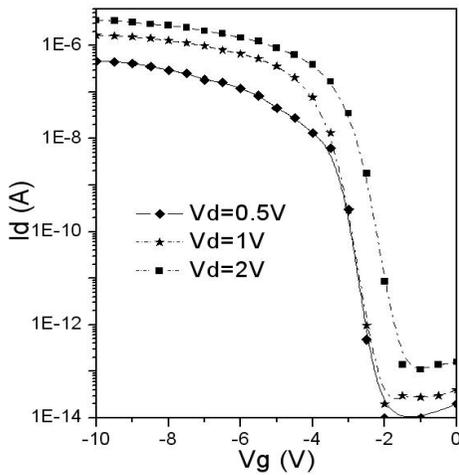


그림 5. bottom-gate 트랜지스터 전류전압특성
Fig. 5 I-V characteristics of bottom gate FET

인가된 드레인 전압에 따라 I-V 출력 특성이 미세한 차이는 있지만 일관된 경향성을 보여주고 있으며, 드레인 전압이 0.5 V와 1 V 인 경우 $V_t = -2$ V 였고, 드레인 전압이 2 V인 경우 $V_t = -1.3$ V 로 감소하는 결과를 보여주고 있다. 이와 같은 결과는 FET의 구동 전압이 $-2 \sim -1.3$ V로 상당히 높지만, 이는 게이트 절연막이 $1\mu\text{m}$ 로 다른 소자에 비하여 두꺼워 발생된 현상으로 생각되며, 게이트 절연막을 감소시키면 동작 전압도 감소 될 것으로 예상된다.

그림 6은 드레인과 소스의 전극 간격은 $5\mu\text{m}$ 이며 10 nm 두께의 얇은 SiO_2 게이트 절연막 위에 $1.5\mu\text{m}$ 의 게이트 length의 특성을 갖는 top gate 탄소나노튜브 FET 소자의 I-V 특성을 보여주고 있다. bottom gate 소자와는 달리 top gate FET 소자에는 게이트 전압을 $-2 \sim -0.5\text{V}$ 로 변화시키며 일정한 드레인 전압(각 $V_d = 0.1, 0.2, 0.4\text{V}$)을 인가하였을 때 얻은 드레인 전류 특성으로, 제작된 top gate 나노튜브 FET도 역시 전형적인 실리콘 소자의 p-channel MOSFET 동작 특성을 보여주고 있다. 또한 외삽법(extrapolated threshold voltage)으로 측정된 문턱 전압(V_t)은 약 -0.4V 였고, conductance(I_{on}/I_{off})는 약 10^5 정도의 값을 가졌으며 inverse subthreshold slope (V_{ss}) 특성은 120 mV/dec로 우수한 동작 특성을 보여주었다. 실리콘 기판을 게이트로 사용하는 bottom gate CNT-FET와 달리 비교적 낮은 게이트 전압(-1V)에서 우수한 출

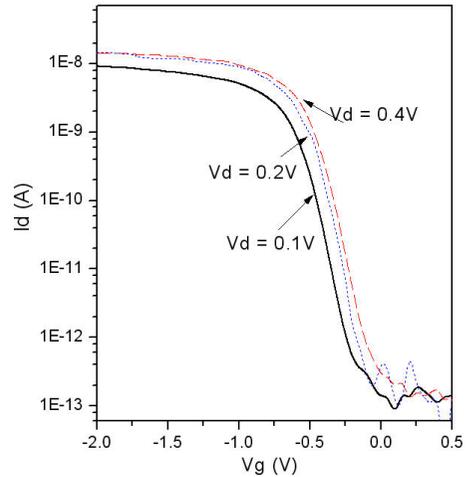


그림 6. Top-gate 트랜지스터 전류전압특성
Fig. 6 I-V characteristics of top gate FET

력 특성을 보인 것은 기존의 실리콘 기판을 공통 게이트로 사용한 경우보다 얇은 10nm의 게이트 절연막을 갖는 탑 게이트 구조 때문에 나타난 현상으로 생각된다. 따라서 구동특성은 bottom gate를 사용하는 것보다 top gate를 사용하는 것이 우수한 특성을 보이는 것을 확인 할 수 있었다.

IV. 결론

본 연구에서는 탄소나노튜브 트랜지스터의 게이트 특성에 따른 특성을 연구하기 위하여 열화학 기상 증착법(CVD)으로 탄소나노튜브를 디바이스에 직접 성장시키고, 실리콘 기판을 bottom gate로 사용하는 FET와 top gate를 갖는 탄소나노튜브 FET를 제작하여 탄소나노튜브 FET의 동작 특성을 연구 분석하였다.

bottom gate CNT-FET의 경우 드레인 전압이 0.5 V와 1 V 인 경우 $V_{on} = -2$ V 였고, 드레인 전압이 2 V인 경우 $V_{on} = -1.3$ V 로 감소하는 결과를 보여주었다. top gate CNT-FET도 역시 전형적인 실리콘 소자의 p-channel MOSFET 동작 특성을 보였으며, 문턱 전압(V_t)은 -0.4V 였고, conductance(I_{on}/I_{off})는 약 10^5 의 값을 가졌으며 inverse subthreshold slope (V_{ss})

특성은 120 mv/dec로 우수한 동작 특성을 보여주었으며 구동특성은 bottom gate를 사용하는 것보다 top gate를 사용하는 것이 우수한 특성을 보이는 것을 확인 할 수 있었다.

감사의 글

본 논문은 남서울대학교 연구비 지원에 의하여 연구되었습.

참고 문헌

- [1] S. Iijima, "Helical microtubules of graphitic carbon", Nature, Vol. 354, p. 56, 1991.
- [2] S. Fan, M. G. Chapline, N. R. Franklin, T. W. Tombler, A. M. Cassell, and H. Dai, "Self-oriented regular arrays of carbon nanotubes and their field emission properties", science, Vol. 238. p. 512, 1999.
- [3] J. I. B. Wilson, N. Scheerbaum, S. karim, N. Polwart, P. John, Y. fan, and A. G. Fitzgerald, "Low temperature plasma chemical vapour deposition of carbon nanotubes", Diamond and Related Materials, Vol. 11, p. 918, 2002.
- [4] R. Martel, T. Schmidit, H. R. Shea, T. Hertel, and Ph. Avouris, "Single and multi wall carbon nanotube field-effect transistor", APL, Vol. 73, p. 2447, 1998.
- [5] J. Appenzeller, J. Knoch, R. Martel, S. Wind, and Ph. Avouris, "Field-modulated carrier transport in carbon nanotube Transistors", PRL, Vol. 89, No. 12, p. 12608-1, 2002
- [6] S. Rosenblatt,, Y. Yaish, J. W. Park, J. Gore, V. Sazonova, and P. L. Mceuen, "High performance electrolyte gated carbon nanotube transistors", Nano Lett., Vol. 2, p. 869, 2002.
- [7] S. Heinze, J. Tersoff, R. Martel, V. Derycke, J. Appezeller, and Ph. Avouris, "Carbon nanotubes as Schottky Barrier Transistors", PRL, Vol. 89, No. 10, p. 106801-1, 2002.
- [8] A. Javey, R. Tu, D. B. Farmer, J. Guo, R. G. Gordon, and H. Dai, "High performance n-Type carbon nanotube field- effect transistors with chemically doped contacts", Nano Lett., Vol. 5, p. 345, 2005.

저자 소개



박용욱(Yong-Wook Park)

1989년 2월 연세대학교 전기공학과 졸업(공학사)

1991년 8월 연세대학교 대학원 전기공학과 졸업(공학석사)

1999년 2월 연세대학교 대학원 전기공학과 졸업(공학박사)

2000 9월 ~ 현재 남서울대학교 전자공학과 부교수

※ 관심분야 : 센서, RF 디바이스



나상엽(Sang-Yeob Na)

1992년 동국대학교 전자계산학과 (공학사)

1995년 동국대학교 컴퓨터공학과 대학원 (공학석사)

2000년 동국대학교 컴퓨터공학과 대학원 (공학박사)

1996 - 현재 남서울대학교 컴퓨터학과 교수

※ 관심분야 : Information Retrieval, User Interface