
IEEE 802.11n 무선랜 표준용 LDPC 복호기의 최적 설계조건 분석

정상혁* · 나영헌** · 신경욱***

An analysis of optimal design conditions of LDPC decoder for IEEE 802.11n
Wireless LAN Standard

Sang-Hyeok Jung* · Young-Heon Na** · Kyung-Wook Shin***

이 논문은 2009년도 금오공과대학교 학술연구비를 지원받았음

요 약

IEEE 802.11n 무선랜 표준의 채널 부호화 방법 중 하나인 LDPC(Low-Density Parity-Check) 부호는 오류정정 성능이 매우 우수하나 복호기 회로의 복잡도가 커서 복호성능과 하드웨어 복잡도 사이의 trade-off 관계를 고려한 설계가 중요하다. 본 논문에서는 최소합 알고리즘(Min-Sum Algorithm; MSA) 기반 LDPC 복호기에서 LLR(Log-Likelihood Ratio) 근사화가 복호성능에 미치는 영향을 분석하고, 이를 통해 LDPC 복호기의 최적 설계조건을 도출하였다. IEEE 802.11n 무선랜 표준의 블록길이 1,944 비트, 부호화율 1/2의 LDPC 패리티 검사 행렬과 최소합 기반의 반복복호 알고리즘을 적용하여 LLR 근사화에 따른 비트오율(BER) 성능을 분석하였다. $BER = 10^{-3}$ 에 대해 LLR 비트 폭 (6,4)와 (7,5)의 E_b/N_o 는 0.62 dB의 차이를 보였으며, 최대 반복복호 횟수 6과 7에 대한 E_b/N_o 의 차이는 약 0.3 dB로 나타났다. 시뮬레이션 결과로부터, LLR 근사화 비트 폭이 (7,5)이고 반복복호 횟수가 7인 경우에 가장 우수한 비트오율 성능을 나타내었다.

ABSTRACT

The LDPC(Low-Density Parity-Check) code, which is one of the channel encoding methods in IEEE 802.11n wireless LAN standard, has superior error-correcting capabilities. Since the hardware complexity of LDPC decoder is high, it is very important to take into account the trade-offs between hardware complexity and decoding performance. In this paper, the effects of LLR(Log-Likelihood Ratio) approximation on the performance of MSA(Min-Sum Algorithm)-based LDPC decoder are analyzed, and some optimal design conditions are derived. The parity check matrix with block length of 1,944 bits and code rate of 1/2 in IEEE 802.11n WLAN standard is used. In the case of $BER = 10^{-3}$, the E_b/N_o difference between LLR bit-widths (6,4) and (7,5) is 0.62 dB, and E_b/N_o difference for iteration cycles 6 and 7 is 0.3 dB. The simulation results show that optimal BER performance can be achieved by LLR bit-width of (7,5) and iteration cycle of 7.

키워드

LDPC, 오류정정부호, LLR 근사화, IEEE 802.11n

Key word

LDPC, error correction code, LLR approximation, IEEE 802.11n

* 고등기술연구원 로봇생산기술센터 연구원
** 금오공과대학교 전자공학과 석사과정
*** 금오공과대학교 전자공학부 교수 (교신저자)

접수일자 : 2009. 12. 03
심사완료일자 : 2009. 12. 16

I. 서 론

LDPC(Low-Density Parity-Check) 부호는 로버트 갤러거(R. Gallager)에 의해 제안된 오류정정 부호의 한 형태로서 패리티 검사 행렬의 원소 대부분이 0으로 구성되는 선형 블록부호이다^[1]. LDPC 부호는 Shannon의 이론적 한계치에 가장 근접하는 우수한 성능을 갖는 오류정정 부호로 평가되고 있으며, 오류마루 현상이 나타나지 않으며, 최소거리가 부호어의 블록길이에 비례하여 선형적으로 증가하여 블록길이에 비례하여 오류정정 및 검출 성능이 개선되는 특성을 갖는다.^[2,3]

LDPC 부호가 제안된 당시에는 기술적인 한계로 인해 구현이 어려워 관심을 받지 못하였으나, 그 후 30여년 동안 정보기술과 반도체 기술의 발달에 힘입어 현재 디지털통신 분야에서 많은 관심을 받고 있다. 1993년 Berrou 등에 의해 터보 부호(Turbo code)가 발견된 이후, Neal과 MacKay에 의해 LDPC 부호가 재조명되었으며, 반복복호를 사용하면서도 복잡도가 크게 증가하지 않는 LDPC 부호의 특성 및 생성방법, 복호기 구조 등에 관한 연구가 활발히 진행되고 있다.^[4,5]

LDPC 부호는 블록길이가 큰 경우에, 연산 복잡도와 회로 복잡도가 커서 하드웨어 구현에 상당히 큰 칩 면적과 전력소모를 필요로 한다. 또한, LDPC 복호기는 복호 성능과 하드웨어 복잡도 사이에 trade-off 관계가 존재하며, 블록길이와 부호화율, 검사노드와 변수노드의 연산 복잡도, 반복복호 횟수 등의 요인들에 의해 영향을 받는다. 따라서 LDPC 복호기의 효율적인 하드웨어 구현을 위해서는 이들 요소가 종합적으로 고려된 최적 설계조건을 찾는 것이 중요하다.^[6]

차세대 무선 랜(IEEE 802.11n), 유럽 디지털 위성방송(DVB-S2), 10-Gbps 이더넷 표준(IEEE 802.3an), 모바일 WiMAX (IEEE 802.16e) 등에서 채널코딩 채택되고 있으며, HDD(Hard Disk Drive)와 광(optical) 저장매체 등 다양한 분야에서도 표준으로 채택하고자 적극적으로 검토되고 있다.^[7-10]

2008년 초에 공개된 차세대 무선 랜 표준인 IEEE 802.11n Draft3.0^[7]에는 표 1과 같은 LDPC 파라미터들이 정의되어 있으며, 3가지의 블록길이 (648, 1,296, 1,944)와 각 블록길이에 대해 4가지의 부호화율(1/2, 2/3, 3/4, 5/6)이 규정되어 있다.

LDPC 부호는 패리티 검사 행렬(parity check matrix; PCM)의 구성에 따라 여러 가지 형태로 구분된다. 구조화된 부호의 일종인 Quasi Cyclic LDPC의 PCM은 $B \times B$ 의 부행렬(sub-matrix)로 분할될 수 있으며, $N=n/B$ 블록의 열과 $m_i=(1-R) \cdot N$ 블록의 행으로 구성된다.

표 1. IEEE 802.11n WLAN의 LDPC 파라미터
Table 1. LDPC parameters in IEEE 802.11n WLAN

| 부호율 (R) | LDPC information block length(k) | LDPC codeword block length(n) |
|-------------|--------------------------------------|-----------------------------------|
| 1/2 | 972 | 1,944 |
| 1/2 | 648 | 1,296 |
| 1/2 | 324 | 648 |
| 2/3 | 1,296 | 1,944 |
| 2/3 | 864 | 1,296 |
| 2/3 | 432 | 648 |
| 3/4 | 1,458 | 1,944 |
| 3/4 | 972 | 1,296 |
| 3/4 | 486 | 648 |
| 5/6 | 1,620 | 1,944 |
| 5/6 | 1,080 | 1,296 |
| 5/6 | 540 | 648 |

IEEE 802.11n 표준의 부호길이 $n=1,944$, 부호율 $R=1/2$ 인 PCM은 그림 1과 같으며, 각 블록은 81×81 크기의 부행렬을 나타낸다. 회색블록은 단위행렬(unity-matrix)을 주어진 값만큼 오른쪽으로 순환 시프트시킨 행렬을 나타내며, 흰색블록은 영(zero) 행렬을 나타낸다. 이와 같은 구조화된 행렬을 이용한 LDPC 부호는 규칙적인 확장을 통해 블록길이와 부호화율에 따른 행렬을 생성할 수 있다. 따라서 다양한 블록길이와 부호화율을 지원하는 가변적인 LDPC 복호기를 구현할 수 있어 효율적인 하드웨어 구현이 가능한 장점을 갖는다.

본 논문에서는 차세대 무선 랜 표준에 규정된 PCM을 적용하여 최소합 알고리즘 기반의 LDPC 복호 알고리즘을 Matlab으로 모델링한 후, 시뮬레이션을 통해 LLR 근사화 비트 폭과 최대 반복복호 횟수가 LDPC 복호기의 복호성능에 미치는 영향을 분석하고, 이를 통해 LDPC

| | | | | | | | | | | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 |
| 0 | 57 | | | | 50 | | 11 | | 50 | | 79 | | 1 | 0 | | | | | | | | | | |
| 1 | 3 | | 28 | | 0 | | | | 55 | 7 | | | | 0 | 0 | | | | | | | | | |
| 2 | 30 | | | | 24 | 37 | | | 56 | 14 | | | | | 0 | 0 | | | | | | | | |
| 3 | 62 | 53 | | | 53 | | | 3 | 35 | | | | | | | 0 | 0 | | | | | | | |
| 4 | 40 | | | 20 | 66 | | | 22 | 28 | | | | | | | 0 | 0 | | | | | | | |
| 5 | 0 | | | | 8 | | 42 | | 50 | | | 8 | | | | | | 0 | 0 | | | | | |
| 6 | 69 | 79 | 79 | | | | 56 | | 52 | | | | 0 | | | | | | 0 | 0 | | | | |
| 7 | 65 | | | | 38 | 57 | | | 72 | | 27 | | | | | | | | | 0 | 0 | | | |
| 8 | 64 | | | | 14 | 52 | | | 30 | | | 32 | | | | | | | | | 0 | 0 | | |
| 9 | | 45 | | 70 | 0 | | | | 77 | 9 | | | | | | | | | | | | 0 | 0 | |
| 10 | 2 | 56 | | 57 | 35 | | | | | | 12 | | | | | | | | | | | | 0 | 0 |
| 11 | 24 | | 61 | | 60 | | | | 27 | 51 | | | 16 | 1 | | | | | | | | | | 0 |

그림 1. IEEE 802.11n WLAN 표준의 LDPC PCM ($n=1,944$, $R=1/2$ 인 경우)
 Fig. 1. LDPC PCM in IEEE 802.11n WLAN standard (for $n=1,944$, $R=1/2$)

복호기의 최적 설계조건을 도출한다.

II. LDPC 복호 알고리즘

LDPC 부호의 복호는 PCM이 나타내는 태너 그래프 (Tanner graph) 상의 변수노드(variable node)와 검사노드 (check node) 사이에서 반복적인 메시지 전달과정을 통해 이루어진다. 태너 그래프는 PCM H 의 행과 열을 각각 태너 그래프의 변수노드와 검사노드로 매핑시킨 이분 그래프(bipartite graph)이며, 변수노드와 검사노드 사이의 연결은 PCM에서 1의 위치에 의해 결정된다.^[11] 어떤 행렬의 원소 $H_{ij} = 1$ 이면, 태너 그래프 상에서 변수노드 i 는 검사노드 j 와 연결됨을 나타낸다. 그림 2는 $(d_v, d_c) = (3, 6)$ 인 LDPC 부호의 PCM과 태너 그래프의 매핑 예를 보이고 있다.

LDPC 부호에 대한 복호는 그림 3의 과정으로 수행된다. 채널을 통해 수신된 코드워드에 대한 확률값은 이분 그래프 상에서 수평단계와 수직단계 사이에 반복적으로 전달되어 갱신된다. 매회 복호된 코드워드에 대한 신드롬 검사를 수행하여 $c \cdot H^T = 0$ 을 만족하면, 최대 반복복호 횟수(Max_iter)를 만족하지 않아도 복호 성공을 선언하고 복호를 종료한다.

$$H = \begin{bmatrix} 1 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 & 1 & 1 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 1 & 1 & 1 \\ 1 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 1 & 1 \end{bmatrix}$$

(a)

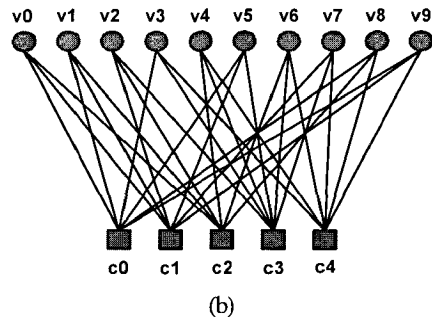


그림 2. PCM과 태너 그래프의 매핑 관계
 (a) PCM (b) Tanner graph
 Fig. 2. Mapping between PCM and Tanner graph
 (a) PCM (b) Tanner graph

신드롬 검사를 만족하지 않으면 현재 반복복호 횟수 (Iter)가 최대 반복복호 횟수보다 작은 지를 검사하여 작으면 수평단계로 되돌아가서 반복 복호를 수행하고, 최대 반복복호 횟수와 같아지면 복호실패를 선언하고 복호를 종료한다.

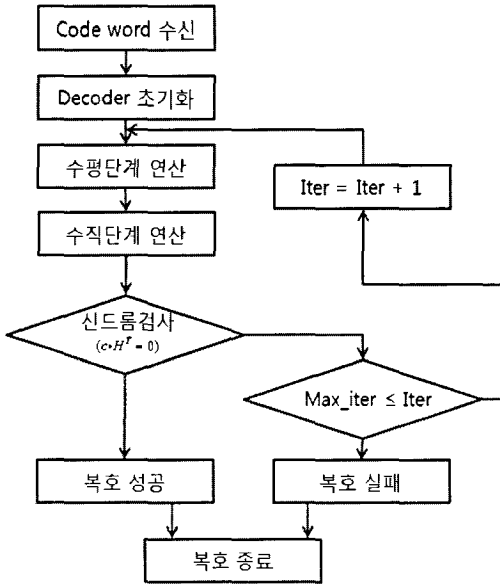


그림 3. LDPC 부호의 반복복호 과정
Fig. 3. Iterative decoding of LDPC code

대표적인 LDPC 복호 알고리즘으로 합-곱 알고리즘(sum-product algorithm; SPA)^[12], SPA의 계산 복잡도를 감소시킨 LLR-SPA^[13], 그리고 LLR-SPA를 근사화하여 복잡도를 더욱 감소시킨 최소합 알고리즘(min-sum algorithm; MSA)^[14] 등이 있다.

2.1 합-곱 알고리즘(SPA)^[12]

합-곱 복호 알고리즘은 태너 그래프 상의 검사노드와 변수노드 사이에 반복적인 메시지 전달과정을 통해 부호어 c 에 대한 패리티 검사를 수행하여 $c \cdot H^T = 0$ (단, H 는 PCM)을 만족하는 확률적으로 가장 근접한 부호어 c 를 찾아내는 과정이다. 검사노드와 변수노드 사이의 메시지 전달과정에서 식(1), 식(2)로 정의되는 합과 곱의 연산이 수행된다.

(i) 수평단계 연산(검사노드에서 수행)

$$L_{j \rightarrow i} = 2 \tanh^{-1} \cdot \prod_{i \in \omega(j) \setminus i} \tanh\left(\frac{1}{2} L_{i \rightarrow j}\right) \quad (1)$$

(ii) 수직단계 연산(변수노드에서 수행)

$$L_{i \rightarrow j} = F_i + \sum_{j \in \Omega(i) \setminus j} L_{j \rightarrow i} \quad (2)$$

그리고 각각의 변수노드 i 에 대하여 다음과 같이 $\hat{c} = [\hat{c}_i]$ 을 구하고 $\hat{c} \cdot H^T$ 를 계산한다.

$$z_i = F_i + \sum_{j \in \Omega(i)} L_{j \rightarrow i} \quad (3)$$

$$\hat{c}_i = \begin{cases} 0, & z_i \geq 0 \\ 1, & z_i < 0 \end{cases} \quad (4)$$

$\hat{c} \cdot H^T = 0$ 이면 \hat{c} 를 유효한 부호어로 인식하여 복호를 종료하고, $\hat{c} \cdot H^T \neq 0$ 인 경우에는 수평단계로 되돌아가서 반복복호를 수행한다.

2.2 LLR-SPA^[13]

SPA는 수평단계에서 나타나는 $\tanh()$ 함수와 곱셈에 의해 연산의 복잡도가 크므로, 근사화를 이용하여 복잡한 연산을 제거한 알고리즘이 LLR-SPA이다. LLR-SPA의 검사노드와 변수노드에서의 연산은 식(5)~(6)으로 이루어진다.

(i) 수평단계 연산(검사노드에서 수행)

$$L_{j \rightarrow i} = \left(\prod_{i' \in \omega(j) \setminus \{i\}} \alpha_{i'j} \right) \cdot \phi\left(\sum_{i' \in \omega(j) \setminus \{i\}} \phi(\beta_{i'j}) \right) \quad (5)$$

(ii) 수직단계 연산(변수노드에서 수행)

$$L_{i \rightarrow j} = F_i + \sum_{j \in \Omega(i) \setminus \{j\}} L_{j \rightarrow i} \quad (6)$$

여기서

$$\alpha_{ij} = \text{sign}(L_{i \rightarrow j}) \quad (7)$$

$$\beta_{ij} = |L_{i \rightarrow j}| \quad (8)$$

$$\phi(x) = -\ln \left[\tanh\left(\frac{1}{2}x\right) \right] = \ln \frac{e^x + 1}{e^x - 1} \quad (9)$$

이며, 함수 $\phi(x)$ 는 look-up table로 구현된다.

2.3 최소합 알고리즘(MSA)^[14]

함수 $\phi(x)$ 는 그림 4와 같이 x 가 작을수록 큰 값을 가지며, x 가 커지면 0에 근접하는 특성을 갖는다. 식(5)에서 $\phi(x)$ 함수 값들의 합은 x 가 작을수록 큰 영향을 주므로, $\sum \phi(X) \approx \phi(\min(X))$ 로 근사화할 수 있

다. 그리고 $\phi(x)$ 함수는 식(9)과 같이 정의되고 x 가 0보다 클 때 역함수와 본 함수의 값이 같으므로 $\phi(\phi(\min(X))) = \min(X)$ 로 변환되고 식(10)과 같이 근사화될 수 있다.

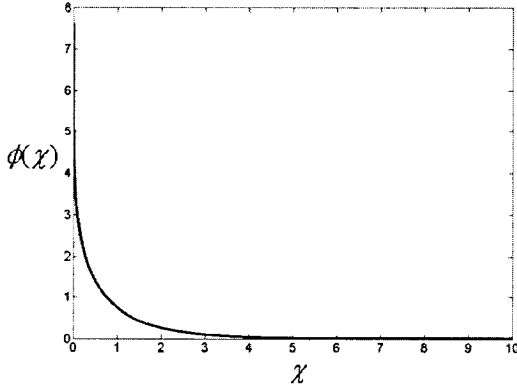


그림 4. 함수 $\phi(x)$ 의 특성
Fig. 4. Characteristic of function $\phi(x)$

$$\phi\left(\sum_{i \in \omega(j) \setminus \{j\}} \phi(\beta_{ij})\right) \approx \phi\left(\phi\left(\min_{i \in \omega(j) \setminus \{j\}} \beta_{ij}\right)\right) = \min_{i \in \omega(j) \setminus \{j\}} \beta_{ij} \quad (10)$$

따라서 식(10)을 이용하면 식(5)는 식(11)과 같이 근사화될 수 있다. 이러한 근사식으로 대체한 알고리즘을 최소합 알고리즘이라 한다.

$$L_{j \rightarrow i} \approx \left(\prod_{i \in (j) \setminus (i)} \alpha_{ij}\right) \cdot \min_{i \in \omega(j) \setminus i} \beta_{ij} \quad (11)$$

그림 5는 MSA와 LLR-SPA로 계산된 $L_{j \rightarrow i}$ 값의 비교를 보이고 있다. 100개의 랜덤 수열에 대해 계산한 결과, 준 최소값으로 갱신되는 $L_{j \rightarrow i}$ 을 제외하면 거의 일치되는 결과를 보이고 있다. MSA는 LLR-SPA에 비해 노드 간의 값 차이가 작게 나타나며, 이는 근사화 과정에서 연산 정밀도가 감소했기 때문이다. MSA는 $\phi(x)$ 의 복잡한 연산을 피할 수 있고, LUT를 사용하지 않으므로 연산 복잡도와 하드웨어가 감소하는 장점이 있다.

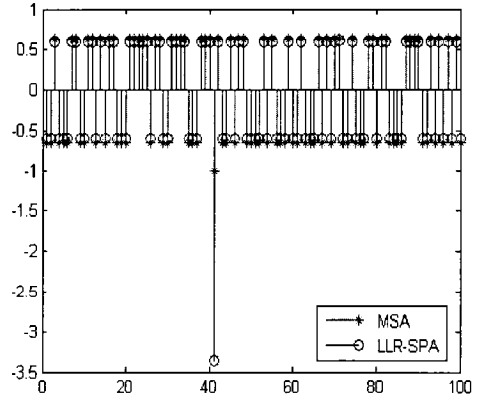


그림 5. MSA와 LLR-SPA의 $L_{j \rightarrow i}$ 값 비교
Fig. 5. Comparison of $L_{j \rightarrow i}$ values in MSA and LLR-SPA

III. 시뮬레이션 결과 및 분석

LDPC 복호기의 최적 설계조건을 찾기 위해 그림 6의 과정을 통해 LLR 비트 폭과 반복복호 횟수에 따른 비트 오류율(Bit Error Rate; BER) 성능을 Matlab 시뮬레이션으로 평가하였다. 972 비트로 구성된 메시지 m 을 랜덤하게 생성한 후, LDPC 부호기는 생성된 메시지를 패리티 검사행렬 H 를 이용하여 $c \cdot H^T = 0$ 의 조건을 만족하는 코드워드 c 로 부호화 한다. 부호화된 코드워드는 QPSK 변조를 거쳐 기저대역의 QPSK 심볼로 변조된다. 변조된 심볼은 백색 가우시안 잡음 채널에서 오염된 후 수신단으로 입력된다. 오염된 심볼은 QPSK 복조기를 거쳐 복조되어 오류가 포함된 코드워드가 된다. 오류가 포함된 코드워드는 LDPC 복호기를 통해 오류가 정정되고 BER 시뮬레이션을 통해 성능이 평가된다.

표 2는 Matlab 시뮬레이션을 위한 파라미터를 나타낸 것이다. 랜덤 2진 데이터를 생성하여 LDPC 부호화한 후, QPSK 변·복조하고 백색 가우시안 잡음 채널 하에서 E_b/N_o 를 0.5~3 dB 범위에서 0.5 dB 단위로 변경하면서 시뮬레이션 하였다. IEEE 802.11n WLAN 표준의 블록길이 $N=1,944$, 부호율 $R=1/2$ 인 PCM을 사용하였으며, LLR 비트 폭은 (6,4)에서 (8,7)까지의 6가지 경우와 최대 반복복호 횟수는 6~10 범위에 대해 시뮬레이션 하

였다. (n,m) 의 표현에서 n 은 전체 비트 폭을 나타내며, m 은 소수점 이하의 비트 폭을 나타낸다.

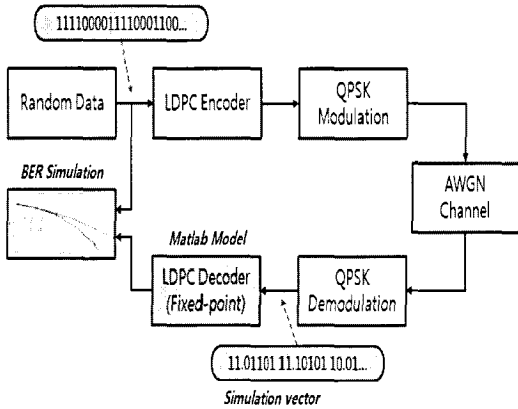


그림 6. BER 시뮬레이션 흐름도
Fig. 6. BER Simulation flow

표 2. 시뮬레이션 파라미터
Table 2 Simulation parameters

| 파라미터 | 사양 |
|------------------|--|
| Source Generator | 2진 random data |
| 채널 | AWGN $E_b/N_0 = 0.5 \sim 3$ dB (0.5 dB step) |
| 블록크기 (N) | 1,944 |
| 부호화율 (R) | 1/2 |
| 최대 반복복호 횟수 | 6 ~ 10 |
| LLR 비트 폭 | (6,4), (6,5), (7,5), (7,6), (8,6), (8,7) |

하드웨어 구현을 위해 고정 소수점으로 변환된 LLR은 정수(integer) 부분과 소수(fraction) 부분으로 구성된다. 정수부분은 고정 소수점으로 표현된 LLR의 값의 크기 범위를 결정하고, 소수부분은 소수점 이하 값의 범위와 분해능을 결정한다. LLR 근사화의 전체 비트 폭을 증가시키면 넓은 범위의 값을 정밀하게 표현할 수 있으므로 오류정정 성능이 좋아지게 된다. 그러나 연산을 수행하는 하드웨어의 면적이 증가하게 되고, 특히 수평단계와 수직단계의 잠정 복호값을 저장하는 메모리 용량이 선형적으로 증가하게 된다. 따라서 복호기 성능과 하드웨어 복잡도 사이에 효율적인 trade-off 관계를 추정하고

그 결과를 LDPC 복호기 설계에 반영하기 위해 하드웨어 면적과 오류정정능력 사이의 상관관계에 대한 분석이 필요하다.

부동 소수점으로 모델링된 최소합 기반의 LDPC 복호기에서 복호과정 동안 생성되는 LLR의 범위는 그림 7과 같다.

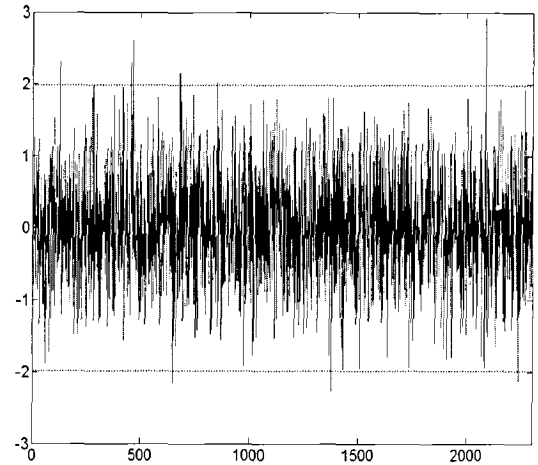


그림 7. 반복복호 과정에서 생성되는 LLR 값
Fig. 7. LLR values generated in iterative decoding process

그림 7로부터, $-2 \leq LLR \leq 2$ 범위 내에 대부분의 LLR 값들이 나타나고, 이 범위 밖에 나타나는 빈도는 매우 작음을 확인할 수 있다. LLR을 정수부분 2비트와 소수부분 5비트로 구성되는 7비트로 근사화 하면 $-2 \leq LLR \leq 1.9688$ 범위 내에서 표현이 가능하며, 따라서 그림 7에서 대부분의 LLR 값들을 표현할 수 있다. 정수부분을 3비트로 표현하는 경우에는 $-4 \leq LLR \leq 3.9688$ 로 넓은 범위의 값을 표현할 수는 있지만 복호과정에서 발생하는 대부분의 LLR들이 2비트로 표현될 수 있는 범위를 벗어나지 않는다. 반면 정수부분의 비트 폭을 1비트로 결정하면 하드웨어 면적을 감소시킬 수 있지만 대부분의 LLR 값을 표현할 수 없으므로 연산의 정확성이 크게 떨어지게 된다. 따라서 매우 낮은 빈도로 발생하는 큰 LLR 값을 무시하고 가장 합리적으로 하드웨어를 설계할 수 있는 정수부분의 비트 폭은 2비트라고 할 수 있다.

그림 8은 최대 반복복호 횟수를 7로 고정시키고, 각

LLR 비트폭 (6,4), (6,5), (7,5), (7,6), (8,6) 그리고 (8,7)에 대한 비트오율 성능을 시뮬레이션한 결과이다. 정수부분이 2비트인 경우가 1비트인 경우보다 월등히 높은 복호성능을 나타내고 있다. 이를 바탕으로 본 논문에서는 LLR 비트폭 (6,4), (7,5), (8,6)에 대한 성능을 중점으로 분석하였다. 비트오율이 10^{-3} 인 경우에 LLR 비트 폭 (6,4)와 (7,5)의 E_b/N_0 는 0.62 dB의 성능 차이를 보였다. LLR 비트 폭 (7,5)와 (8,6)의 E_b/N_0 는 0.02 dB의 성능 차이만 나타났다. 따라서 LLR 비트 폭은 (7,5)가 최외 복잡도 대비 복호성능이 가장 우수한 것으로 평가되었다.

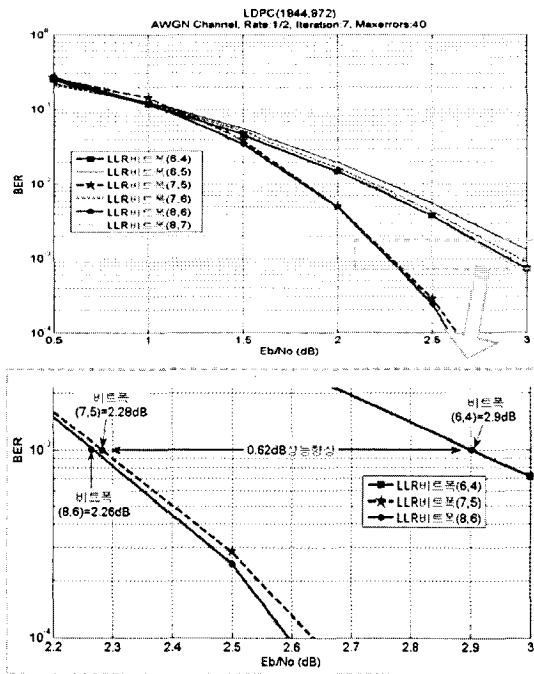


그림 8. LLR 비트 폭에 따른 비트오율 성능 (최대 반복복호 횟수가 7인 경우)

Fig. 8. Simulation results of BER vs. E_b/N_0 for various LLR bit-widths(maximum iteration cycle is 7)

그림 9는 LLR 비트 폭을 (7,5)로 고정한 상태에서, 최대 반복복호 횟수를 6~10으로 변화시키면서 비트오율 성능을 시뮬레이션한 결과이다. 최대 반복복호 횟수가 6인 경우와 7인 경우를 비교하면, 약 0.3 dB 이상의 성능 차이를 보였다. 최대 반복복호 횟수가 증가할수록 선형적인 성능개선이 나타났지만 6에서 7로 증가시켰을 때의

성능개선 보다는 작았다. 따라서 최대 반복복호 횟수는 7로 결정하는 것이 연산시간 대비 성능이 가장 우수한 것으로 평가되었다.

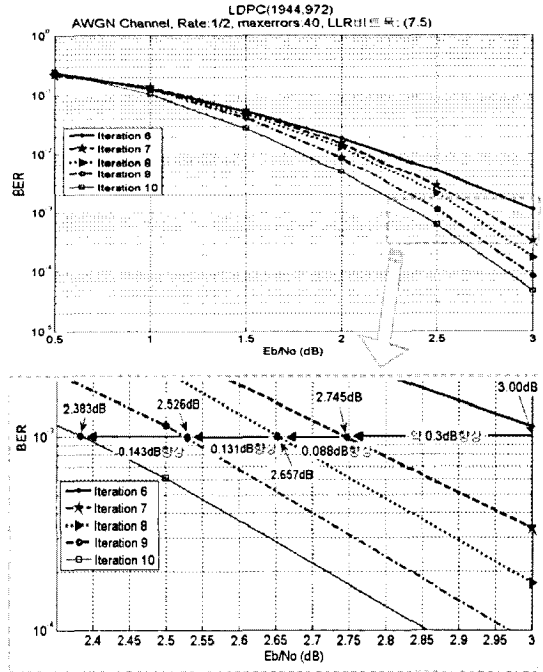


그림 9. 최대 반복복호 횟수에 따른 비트오율 성능 (LLR 비트 폭 (7,5)인 경우)

Fig. 9. Simulation results of BER vs. E_b/N_0 for various maximum iteration cycles(LLR bit-width is (7,5))

IV. 결론

근사화된 LLR 값의 비트 폭은 오류정정 성능과 하드웨어 복잡도에 영향을 미친다. 따라서 효율적인 LDPC 복호기의 설계를 위해서는 복호성능과 하드웨어 복잡도 사이의 trade-off 관계를 추정하고, 그 결과를 바탕으로 최적 설계조건을 도출해야 한다. 본 논문에서는 최소합 기반의 LLR 근사화가 LDPC 복호기 성능에 미치는 영향을 분석하고, 최적 설계조건을 평가하였다. Matlab을 이용한 모델링 및 시뮬레이션 결과로부터, 최대 반복복호 횟수는 7, LLR 비트 폭은 (7,5) (즉, 정수부분 2 비트,

소수부분 5 비트)인 경우가 면적 및 연산시간 대비 성능이 가장 우수함을 확인하였으며, 이를 바탕으로 최적의 LDPC 복호기 설계가 가능할 것으로 판단된다.

감사의 글

본 연구는 2009년도 반도체설계교육센터(IDEC)의 CAD Tool 지원에 의하여 이루어진 연구로서, 관계부처에 감사 드립니다.

참고문헌

- [1] R.G. Gallager, *Low-Density Parity-Check Codes*, MIT Press, Cambridge, MA, 1963.
- [2] T.J. Richardson and R.L. Urbanke, "The capacity of low-density parity-check codes under message-passing decoding," *IEEE Trans. Inf. Theory*, vol. 47, pp. 599-618, Feb. 2001.
- [3] 이문호, 이광재, 여운동, *LDPC(Low-Density Parity-Check)*, 한국과학기술정보연구원, 2005. 11.
- [4] C. Berrou, A. Glavieux, and P. Thitimajshima, "Near Shannon limit error-correcting coding and decoding : Turbo-codes(1)", *Proceeding of IEEE ICC'93*, Geneva, Switzerland, pp. 1064-1074, 1993.
- [5] D.J.C. MacKay and R. M. Neal. "Near Shannon limit performance of low density parity check codes", *IEE Electronic Letter*, vol. 32, no. 18, pp. 1645-1646, Aug. 1996.
- [6] 정상혁, 나영현, 신경욱, "LLR 근사화에 따른 LDPC 디코더의 성능 분석", *한국해양정보통신학회 추계종합학술대회 논문집*, pp. 405- 409, 2009. 10.
- [7] *IEEE P802.11n/D3.07*, "Draft Amendment to Standard for Information Technology- Telecommunications and information exchange between systems-Local and Metropolitan networks-specific requirements - Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications: Enhancements for Higher Throughput," 2008.
- [8] "Digital Video Broadcasting(DVB)-Second generation framing structure, channel coding and modulation systems for Broadcasting, Interactive Services, News Gathering and other broadband satellite applications," *European Telecommunications Standards Institute EN 302 307 v1.2.1*, April, 2009.
- [9] *IEEE Std. 802.16e*, IEEE Standard for Local and metropolitan area networks Part 16: Air Interface for Fixed and Mobile Broadband Wireless Access Systems Amendment 2: Physical and Medium Access Control Layers for Combined Fixed and Mobile Operation in Licensed Bands and Corrigendum 1, 2005.
- [10] *IEEE Std 802.2an*, IEEE Standard for Information Technology Telecommunications and Information Exchange Between Systems Local and Metropolitan Area Networks - Specific Requirements Part 3: Carrier Sense Multiple Access with Collision Detection (CSMA/CD) Access Method and Physical Layer and Management Parameters for 10 Gb/s Operation, Type 10GBASE-T, 2006.
- [11] 송영준, *통신공학을 위한 부호이론*, 인피티북스, Mar., 2008.
- [12] F.R. Kschischang, B.J. Frey, and H.A. Loeliger, "Factor graphs and the sum product algorithm," *IEEE Transaction on Information Theory*, vol. 47, pp. 498-519, Feb., 2001.
- [13] J. Chen and M. Fossorier, "Density evolution for two improved BP-based decoding algorithms of LDPC codes," *IEEE Commun. Lett.*, vol. 6, pp. 208-210, May, 2002.
- [14] M. Fossorier, M. Mihaljevic and H. Imai, "Reduced complexity iterative decoding of low-density parity check codes based on belief propagation," *IEEE Trans. Commun.*, vol. 47, pp. 673-680, May, 1999.

저자소개



정상혁(Sang-Hyeok Jeong)

2008년 2월 금오공과대학교
전자공학부(공학사)
2010년 2월 금오공과대학원
전자공학과(공학석사)

2010년 1월~현재 고등기술연구원 로봇생산기술센터
※관심분야: 암호 알고리즘, 시스템 및 네트워크 보안,
LDPC



나영현(Young-Heon Na)

2009년 금오공과대학교
전자공학부(공학사)
2009년 3월~현재 금오공과대학원
전자공학과 석사과정

※관심분야: LDPC, 집적회로 설계, SOC설계



신경욱(Kyung-Wook Shin)

1984년 2월 한국항공대학교
전자공학과(공학사)
1986년 2월 연세대학교 대학원
전자공학과(공학석사)

1990년 8월 연세대학교 대학원 (공학박사)
1990년 9월~1991년 6월 한국전자통신연구소
반도체연구단(선임연구원)
1991년 7월~현재 금오공과대학교 전자공학부(교수)
1995년 8월~1996년 7월 University of Illinois at
Urbana-Champaign(방문교수)
2003년 1월~2004년 1월 University of California at San
Diego(방문교수)

※관심분야: 통신 및 신호처리용 SoC 설계, 정보보호
SoC 설계, 반도체 IP 설계