

DFT 기반의 개선된 페이저 연산 기법을 적용한 거리계전 알고리즘

논 문

59-8-3

Distance Relaying Algorithm Using a DFT-based Modified Phasor Estimation Method

이 동 규* · 장 상 희†

(Dong-Gyu Lee · Sang-Hee Kang)

Abstract - In this paper, we propose a distance relaying algorithm using a Discrete Fourier Transform (DFT)-based modified phasor estimation method to eliminate the adverse influence of exponentially decaying DC offsets. Most distance relays are based on estimating phasors of the voltage and current signals. A DFT is generally used to calculate the phasor of the fundamental frequency component in digital protective relays. However, the output of the DFT contains an error due to exponentially decaying DC offsets. For this reason, distance relays have a tendency to over-reach or under-reach in the presence of DC offset components in a fault current. Therefore, the decaying DC components should be taken into consideration when calculating the phasor of the fundamental frequency component of a relaying signal. The error due to DC offsets in a DFT is calculated and eliminated using the outputs of an even-sample-set DFT and an odd-sample-set DFT, so that the phasor of the fundamental component can be accurately estimated. The performance of the proposed algorithm is evaluated for a-phase to ground faults on a 345 kV, 50 km, simple overhead transmission line. The Electromagnetic Transient Program (EMTP) is used to generate fault signals. The evaluation results indicate that adopting the proposed algorithm in distance relays can effectively suppress the adverse influence of DC offsets.

Key Words : Distance Relay, DC offset, Phasor Estimation, Discrete Fourier Transform

1. 서 론

디지털 계전기에서 전압/전류의 페이저를 계산하기 위해 가장 일반적으로 사용하는 이산 푸리에 변환(DFT, Discrete Fourier Transform)은 구현이 간단하고 노이즈에 강한 특성을 갖고 있으나, 한 주기 입력 데이터를 필요로 한다는 것과 입력 신호에 지수 감쇄하는 DC 오프셋 성분과 같은 비대칭 성분이 존재하는 경우 페이저 계산 결과에 오차가 발생한다는 단점이 있으며, 이는 고속 디지털 보호 계전기 구현에 있어 큰 제약 요인으로 작용한다. 특히 대부분의 거리계전기는 전압/전류의 페이저를 이용하여 임피던스를 계산하기 때문에 DC 오프셋 성분의 영향에 의한 페이저 연산 오차가 있는 경우 계측 임피던스에 과도 진동이 나타남으로 오버리치(Overreach) 또는 언더리치(Underreach)에 의한 거리계전기의 오/부동작을 유발할 가능성이 높다.

지난 십 수년간 이산 푸리에 변환을 이용한 페이저 계측 시 DC 오프셋의 영향을 감소시키거나 제거하기 위한 다양한 방법들이 제안되었다. 디지털 미믹(mimic) 필터를 사용하여 입력 전류 신호에서 DC 오프셋 성분을 제거한 이후 이산 푸리에 변환을 수행하는 방법[1]은 미믹 필터의 설계 시 DC

오프셋의 시정수를 고정된 값으로 가정하기 때문에, 고장 전류에 포함된 DC 오프셋의 시정수가 필터 설계 시 가정된 값과 다를 경우 오차를 발생시키게 된다. 이와 같은 단점을 극복하기 위해 시정수의 가정 없이 연속된 3개의 이산 푸리에 변환 결과를 이용하여 DC 오프셋 성분을 추정하고 그 영향을 제거하는 방법(Modified DFT)들[2-3]이 제안되었으나, 푸리에 변환을 위한 한 주기 데이터 이외에 DC 오프셋 성분을 계산하기 위해 2개의 샘플이 추가적으로 필요하며, 차분 연산으로 인해 고주파 노이즈에 의한 오차가 발생할 수 있다. 추가적인 샘플 사용에 따른 시지연을 없애기 위해 저역 통과 필터의 차단 주파수보다 높은 고주파 성분의 이산 푸리에 결과를 이용하여 DC 오프셋 성분을 추정하는 방법[4]이 제안되었으나, 차단 주파수보다 높은 고주파 성분이라 할지라도 저역 통과 필터에 의해 완전히 제거 되는 것은 아니므로 이에 따른 오차가 발생할 수 있다. 한편, 한 주기 데이터를 홀수 샘플들과 짝수 샘플들로 나누어 2개의 적분을 수행하고, 이를 이용하여 DC 오프셋 성분을 추정하는 PS(Partial Sum) 기반의 방법[5-6]이 제안되었다. 이 방법은 한 주기 데이터만을 사용할 뿐만 아니라 고주파 노이즈에도 강인한 특성을 보이지만 입력 신호에 복수의 DC 오프셋 성분이 포함된 경우 오차를 유발하는 단점이 있다.

본 논문에서는 고장 회로 해석을 통해 고장 저항이 포함된 고장 발생 시 서로 다른 시정수를 갖는 복수의 DC 오프셋 성분이 고장 전류에 포함된다는 것을 이론적으로 검증하였으며, 복수의 DC 오프셋 성분의 영향을 제거할 수 있는 개선된 페이저 연산 기법[7]을 적용한 거리계전 알고리즘을 제안

* 정 회 원 : 명지대 차세대전력기술연구센터 박사과정

† 교신저자, 시니어회원 : 명지대 차세대전력기술연구센터 교수 · 공박

E-mail : shkang@mju.ac.kr

접수일자 : 2010년 4월 20일

최종완료 : 2010년 7월 3일

한다. 제안된 거리계전 알고리즘에 적용된 페이지 연산 기법은 기존의 DFT 과정을 홀수 샘플의 DFT와 짝수 샘플의 DFT로 구분하여 수행한 후 그 결과를 이용하여 DC 윙셋 성분을 추정하고, DC 윙셋 성분의 영향을 제거한다. EMTP(Electromagnetic Transient Program)를 이용하여 양단에 전원이 연결된 345kV, 50km의 가공 송전선로에서 지락 고장을 모의하고 이를 이용하여 제안된 거리계전 알고리즘의 성능을 검증하였다. 제안된 방법의 성능을 평가하기 위해 제안된 알고리즘의 결과와 기존의 DFT 적용 결과 및 PS 기반의 DFT[5] 적용 결과를 비교 도시하였다.

2. 고장 시 발생하는 DC 윙셋 성분의 해석

일반적으로 계통 해석을 위해 사용되는 그림 1(a)와 같은 고장 시스템 모델은 등가 전원에 의해 전류가 흐르는 고장 발생 이전의 시스템 모델(그림 1(b))과 고장점에 추가되는 고장 전원에 의해 전류가 흐르는 모델(그림 1(c))의 중첩으로 해석할 수 있다[8]. 이 중 순수 고장 성분은 그림 1(c)의 회로에서 발생하는 전압, 전류 성분이다. 고장 전류에 포함되어 있는 DC 윙셋 성분은 그림 1(c)와 같은 중첩 성분 회로(Superimposed Component Circuit)의 과도 응답에 의해 발생하는 성분이다. 따라서 계통 고장 시 발생하는 DC 윙셋 성분은 중첩 성분 회로의 과도 응답을 검토함으로써 해석할 수 있다.

그림 1(c)에서 고장점을 중심으로 양단 병렬 회로의 임피던스를 라플라스 변환하여 다음과 같이 정리하면

$$Z_A = R_A + sL_A = Z_s + mZ_L = (R_s + mR_L) + s(L_s + mL_L) \tag{1}$$

$$Z_B = R_B + sL_B = Z_r + (1-m)Z_L = (R_r + (1-m)R_L) + s(L_r + (1-m)L_L) \tag{2}$$

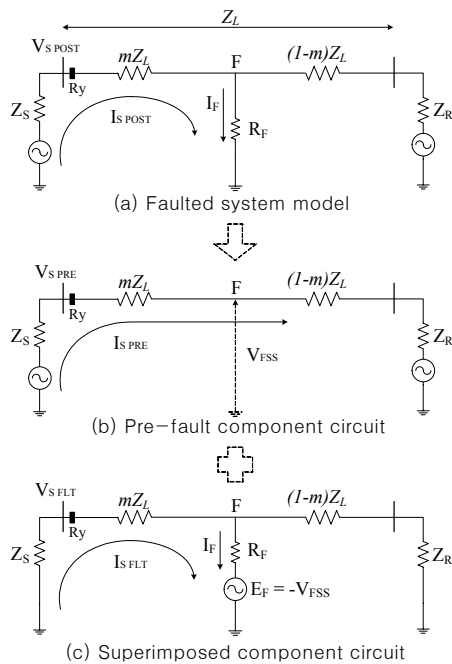


그림 1 중첩 성분 회로
Fig. 1 Superimposed component circuit

고장점으로 흐르는 고장 전류는 아래와 같이 표현되고

$$I_F(s) = (E_F(s)) / (R_F + Z_{A//B}) \tag{3}$$

여기서, $Z_{A//B} = (Z_A \cdot Z_B) / (Z_A + Z_B)$

계전점에서 고장점으로 흐르는 전류는 아래와 같이 표현할 수 있다.

$$I_{SFLT}(s) = \frac{Z_B}{Z_A + Z_B} \cdot I_F(s) = \frac{R_B + sL_B}{as^2 + bs + c} \cdot E_F(s) \tag{4}$$

여기서, $a = L_A L_B$, $b = R_F(L_A + L_B) + R_A L_B + R_B L_A$
 $c = R_F(R_A + R_B) + R_A R_B$

식 (4)의 과도 응답으로 나타나는 DC 윙셋 성분의 시정수는 특성방정식의 해에 의해 결정되므로 다음과 같이 표현할 수 있다.

$$\tau_{1,2} = \left(\frac{b \pm \sqrt{b^2 - 4ac}}{2a} \right)^{-1} \tag{5}$$

특성방정식의 판별식을 정리하면 아래와 같으며

$$b^2 - 4ac = [R_F(L_A + L_B) - (R_A L_B - R_B L_A)]^2 + 4R_F^2 L_A L_B \tag{6}$$

모든 R, L값은 물리량으로 영보다 작을 수 없으므로 $L_A = L_B = 0$ 의 조건을 제외하면 식 (6)은 항상 영보다 크다. 따라서 식 (5)에 의해서 구해지는 시정수는 서로 다른 2개의 실수가 되며 이는 고장 저항이 포함된 고장 시 계전점에서 계속되는 전류에는 서로 다른 시정수를 갖는 2개의 DC 윙셋 성분이 포함된다는 것을 의미한다.

2개 DC 윙셋 성분의 시정수를 보다 직관적으로 해석하기 위해 식 (6)을 아래와 같이 가정하고 식(5)에 대입하면

$$b^2 - 4ac = [R_F(L_A + L_B) - (R_A L_B - R_B L_A)]^2 + 4R_F^2 L_A L_B \tag{7}$$

$$\approx [R_F(L_A + L_B) - (R_A L_B - R_B L_A)]^2$$

DC 윙셋 성분의 시정수는 아래와 같다.

$$\tau_1 = \left(\frac{R_A}{L_A} \right)^{-1}, \quad \tau_2 = \left(\frac{R_B}{L_B} + \frac{R_F}{L_A} + \frac{R_F}{L_B} \right)^{-1} \tag{8}$$

식 (8)을 통해 2개 DC 윙셋 성분의 시정수 중 하나는 고장점을 기준으로 계전기 설치단의 합성 임피던스에 주로 영향을 받고, 다른 하나는 고장 저항 및 상대단의 합성 임피던스에 주로 영향을 받을 수 있다.

3. 거리계전 알고리즘

3.1 DFT 기반의 개선된 페이지 연산 기법 [7]

전력 계통의 고장 전류는 지수 감쇄하는 DC 윙셋 성분과 정현파 성분의 조합으로 이루어지지만 N/2 초과 이상의 성분은 저역 통과 필터에 의해 제거된다고 가정하면, 보호 계전기에서 측정되는 전류 신호를 다음과 같이 표현할 수 있다.

$$i[n] = A_0 e^{-n\Delta t/\tau} + \sum_{k=1}^{N/2-1} A_k \cos\left(\frac{2\pi k}{N}n + \phi_k\right) \tag{9}$$

여기서 A_0 와 τ 는 DC 윙셋 성분의 크기 및 시정수, A_k 와 ϕ_k 는 k조파 성분의 크기 및 위상각, Δt 는 샘플링 간격, N

은 주기당 샘플링 수이다.

이산 푸리에 변환에 의한 전력 주파수 성분의 페이지는 다음과 같이 계산된다.

$$I_{DFT} = \frac{2}{N} \cdot \sum_{n=0}^{N-1} \left\{ i[n] \cdot e^{-j\frac{2\pi}{N}n} \right\} = I_{DFT}^{1st} + I_{DFT}^{dc} \quad (10)$$

여기서 $I_{DFT}^{1st} = A_1 \cdot e^{j\phi_1}$

$$I_{DFT}^{dc} = \frac{2}{N} \cdot A_0 \cdot \frac{1-E^N}{1-E \cdot e^{-j\frac{2\pi}{N}}}, \quad E = e^{-\Delta t/\tau}$$

식 (10)을 다음과 같이 짝수 샘플 DFT(I_{DFT}^{even})와 홀수 샘플 DFT(I_{DFT}^{odd})로 분해하여

$$\begin{aligned} I_{DFT} &= \frac{2}{N} \cdot \sum_{n=0}^{N-1} \left\{ i[n] \cdot e^{-j\frac{2\pi}{N}n} \right\} \\ &= \frac{2}{N} \cdot \left\{ \sum_{n=0}^{N/2-1} i[2n] \cdot e^{-j\frac{2\pi}{N}2n} \right\} \\ &\quad + \frac{2}{N} \cdot \left\{ \sum_{n=0}^{N/2-1} i[2n+1] \cdot e^{-j\frac{2\pi}{N}(2n+1)} \right\} \\ &= I_{DFT}^{even} + I_{DFT}^{odd} \end{aligned} \quad (11)$$

각각의 결과를 정리하면 다음과 같다.

$$\begin{aligned} I_{DFT}^{even} &= \frac{2}{N} \cdot \sum_{n=0}^{N/2-1} i[2n] \cdot e^{-j\frac{2\pi}{N}2n} \\ &= \frac{1}{2} A_1 e^{j\phi_1} + \frac{2}{N} A_0 \frac{1-E^N}{1-(E \cdot e^{-j\frac{2\pi}{N}})^2} \end{aligned} \quad (12)$$

$$\begin{aligned} I_{DFT}^{odd} &= \frac{2}{N} \cdot \sum_{n=0}^{N/2-1} i[2n+1] \cdot e^{-j\frac{2\pi}{N}(2n+1)} \\ &= \frac{1}{2} A_1 e^{j\phi_1} + \frac{2}{N} E e^{-j\frac{2\pi}{N}} A_0 \frac{1-E^N}{1-(E \cdot e^{-j\frac{2\pi}{N}})^2} \end{aligned} \quad (13)$$

식 (12)와 식 (13)에서 알 수 있듯이 짝수 샘플 DFT 결과와 홀수 샘플 DFT 결과는 동일한 값의 전력 주파수 성분 ($A_1 e^{j\phi_1}/2$)을 포함하고 있으므로 아래 식과 같이 정리할 수 있다.

$$I_{DFT}^{even} - I_{DFT}^{odd} = \frac{2}{N} A_0 \cdot \frac{(1-E^N)}{(1+E \cdot e^{-j\frac{2\pi}{N}})} \quad (14)$$

식 (10)의 DFT 결과에 포함되어 있는 DC 윙셋의 영향 (I_{DFT}^{dc})을 식 (14)를 이용하여 다시 정리하면 아래와 같다.

$$I_{DFT}^{dc} = (I_{DFT}^{even} - I_{DFT}^{odd}) \cdot \frac{1+E \cdot e^{-j\frac{2\pi}{N}}}{1-E \cdot e^{-j\frac{2\pi}{N}}} \quad (15)$$

여기서, $E = \frac{K_{Im}}{K_{Re} \sin(2\pi/N) - K_{Im} \cos(2\pi/N)}$

$$K_{Re} = \text{Re}\{I_{DFT}^{even} - I_{DFT}^{odd}\}, \quad K_{Im} = \text{Im}\{I_{DFT}^{even} - I_{DFT}^{odd}\}$$

따라서 식 (15)를 이용하여 DC 윙셋 성분의 영향(I_{DFT}^{dc})을 계산하여 이를 DFT 결과(I_{DFT})에서 제거하면 정확한 전력 주파수 성분의 페이지(I_{DFT}^{1st})를 계산 할 수 있다.

$$I_{DFT}^{1st} = I_{DFT} - I_{DFT}^{dc} \quad (16)$$

3.2 거리계전 알고리즘

거리계전기는 설치된 위치에서 측정되는 전압/전류의 페이지를 이용하여 임피던스를 계산하고, 임피던스의 크기 및 위상 정보로써 피보호 설비의 부하 상태와 고장 상태를 구분한다. 따라서 거리계전기의 정확한 동작을 위해서는 전압 및 전류의 전력 주파수 성분 페이지의 정확한 추정이 선행되어야만 한다.

이산 푸리에 변환은 각종 보호 및 제어 기기에서 전력 주파수 성분의 페이지를 계산하기 위해 가장 일반적으로 사용되는 방법으로 구현이 간단하지만, 지수 감쇄하는 DC 윙셋 성분에 의해 오차가 발생한다는 단점이 있다. 따라서 본 논문에서는 DC 윙셋 성분에 의한 오차를 방지하기 위해 개선된 페이지 연산 기법을 사용하였으며, 그림 2는 제안된 거리계전 알고리즘의 흐름도를 보인 것이다. 알고리즘 흐름도의 첫 번째 디지털 저역 통과 필터는 앨리어싱(aliasing) 현상에 의한 오차를 방지하기 위한 것이며, 두 번째 저역 통과 필터는 식 (14)와 같은 차분에 의해 증폭된 고주파 노이즈의 영향을 제거하기 위해 사용된 것이다. DFT는 기본적으로 고조파 성분에 강건한 특성을 갖고 있으나 고주파 노이즈에 대해서는 영향을 받게 되며, 식 (14)와 같은 차분은 이러한 노이즈의 영향을 증폭시켜 오차를 유발할 수 있다. 이를 방지하기 위해 제안된 알고리즘에서는 간단한 저역 통과 필터를 사용하여 차분의 결과를 필터링 하였다.

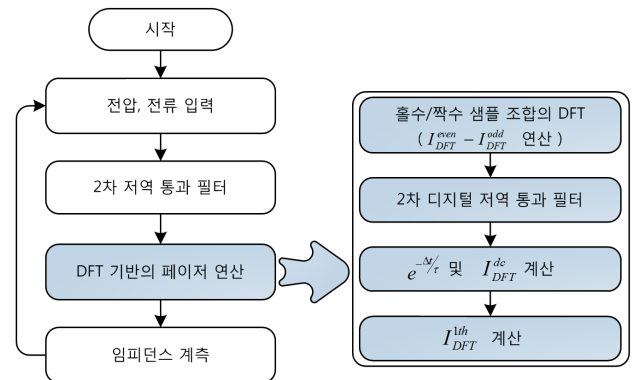


그림 2 제안된 알고리즘의 흐름도

Fig. 2 Flowchart of the proposed algorithm

계측된 전압, 전류의 페이지(V_{app} , I_{app})를 이용하여 지락 거리계전기에서 임피던스를 계산하는 식은 아래와 같다.

$$Z_{app} = \frac{V_{app}}{I_{app} + (Z_{L0}/Z_{L1} - 1) \cdot I_0} \quad (17)$$

여기서, Z_{L1} 및 Z_{L0} 는 선로의 정상분 및 영상분 임피던스, I_0 는 계전점에서 측정되는 영상분 전류이다.

4. 사례 연구

본 논문에서는 제안된 알고리즘의 성능을 검증하기 위해 EMTP를 이용하여 그림 3과 같은 345kV, 50km의 가공 송전선로를 모델링하고, A상 지락 고장을 모의하였다. 계통 모델링에 사용된 송전선로의 선로 정수는 표 1과 같다.

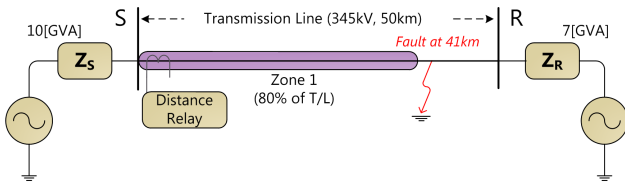


그림 3 모델 계통

Fig. 3 Single line diagram of the model system

표 1 가공 송전선의 선로 정수

Table 1 Overhead Transmission Line Parameters

Sequence	Parameter	Value	Unit
Positive & Negative	R_1, R_2	0.0345	Ω/km
	L_1, L_2	0.9724	mH/km
	C_1, C_2	0.0117	$\mu F/km$
Zero	R_0	0.2511	Ω/km
	L_0	2.7058	mH/km
	C_0	0.0045	$\mu F/km$

표 2 등가 전원 파라메터

Table 2 Equivalent Source Parameters

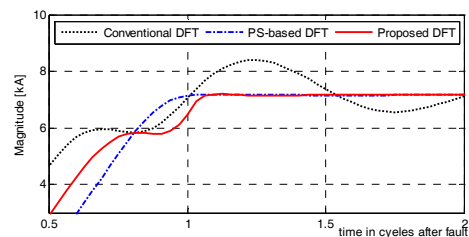
Sequence	S [GVA]	X/R		
Z_{S0}	5.0	5.0		
Z_{S1}	10.0	3.0		
	Case 1		Case 2	
Sequence	S [GVA]	X/R	S [GVA]	X/R
Z_{R0}	3.5	5.0	3.5	7.0
Z_{R1}	7.0	10.0	7.0	14.0

선로 보호용 거리계전기의 Zone 1의 보호 범위는 40km (선로 임피던스의 80%)로 설정하였으며, DC 읍셋의 영향으로 인한 거리계전기의 오/부동작 사례를 검토하기 위하여 Zone 1 동작 영역의 경계점 바로 바깥인 41km에 A상 지락 고장을 모의하였다. 또한 최대 크기의 DC 읍셋 성분을 고려하기 위해 고장 투입 위상각을 0°로 고정하였으며, 고장 저항(R_f)은 0 Ω , 5 Ω , 10 Ω 를 상정하였다.

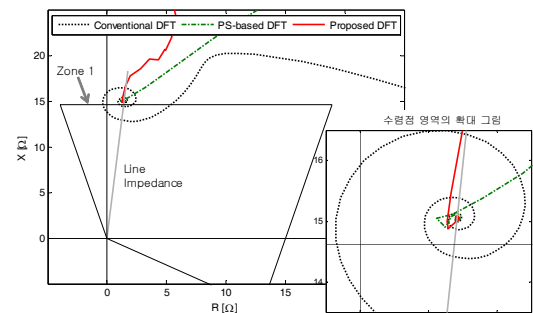
DC 읍셋의 크기 및 시정수는 고장이 발생한 순간의 전압 위상각 및 시스템 구성, 고장 거리, 고장 저항 등에 의해 변하게 된다. 식 (8)을 통해 알 수 있듯이 고장 저항을 포함한 고장 발생 시 DC 읍셋의 시정수는 선로 임피던스, 고장 저항, 자기단 전원 임피던스의 X/R 뿐만 아니라 상대단 전원 임피던스의 X/R 비에도 영향을 받는다. 이를 반영하기 위하여 사례 연구에서는 표 2와 같이 상대단 전원 임피던스의 X/R가 다른 경우를 상정하여 그 결과를 비교 검토하였다.

그림 4부터 그림 6은 수전단 전원 임피던스를 표 2-Case 1의 값을 사용하여 모델링하고, 고장 저항의 변화에 따른 제안된 알고리즘의 동작 결과를 보인 것이다. 제안된 알고리즘의 성능 비교를 위하여 일반적인 DFT(Conventional DFT)를 이용한 결과와 PS 기반의 방법(Partial Sum-based DFT)을 이용한 결과를 함께 도시하였다.

그림 4는 고장 저항이 없는 A상 완전 지락 고장 시에 계측된 전류 페이지의 크기 및 임피던스 궤적을 보인 것이다. 고장 저항이 포함되지 않은 고장의 경우 계산점으로부터 고장점으로 유입되는 고장 전류에는 하나의 직류 읍셋 성분만이 포함되며, 직류 읍셋 성분의 시정수는 자단의 배후 임피던스와 고장점까지의 선로 임피던스에 의해 결정된다. 그림 4(a)에서 보이는 것과 같이 일반적인 DFT는 입력 신호에 지수 감쇄하는 DC 읍셋 성분이 존재하는 경우 계산된 페이지에 오차가 발생하며, 이로 인해 그림 4(b)와 같이 임피던스 궤적이 진동(oscillation)하게 된다. 반면에 PS 기반의 DFT를 적용한 경우와 제안된 DFT를 적용한 경우 페이지 연산 시 DC 읍셋의 영향에 의한 오차가 없으므로 계측 임피던스가 진동하지 않고 목표값에 수렴함을 알 수 있다.



(a) 추정된 전류 페이지의 크기



(b) 계측 임피던스 궤적

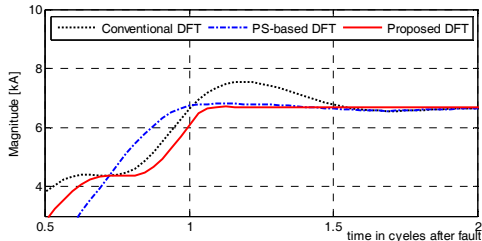
그림 4 모의 결과 - Case 1, 고장 저항 0 Ω

Fig. 4 Test results for Case 1, fault resistance 0 Ω

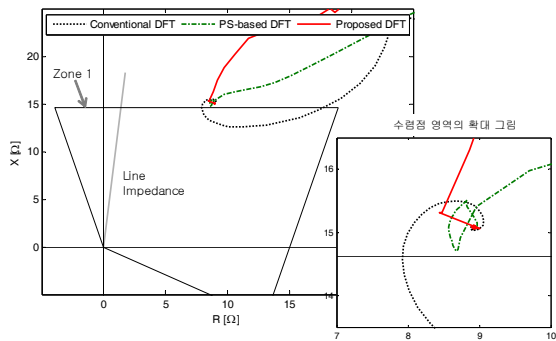
그림 5와 그림 6은 고장 저항이 포함된 A상 지락 고장 시에 계측된 전류 페이지의 크기 및 임피던스 궤적을 보인 것이다. 앞 절의 고장 시 발생하는 DC 읍셋 성분의 해석에서 기술한 바와 같이 고장 저항이 포함된 고장의 경우 계산점에서 계측되는 전류에는 서로 다른 시정수를 갖는 복수의 DC 읍셋 성분이 포함된다. 이 경우 그림 5(a) 및 그림 6(a)에 보이는 것과 같이 PS 기반의 DFT 방법은 DC 읍셋 성분의 영향을 정확하게 제거할 수 없으며, 이는 계측 임피던스가 목표값에 바로 수렴하지 못하고 진동하는 원인이 된다. 이와 같은 과도 진동은 그림 6(b)에서 보이는 것과 같이 오버리치(Overreach)에 의한 거리계전기의 오동작을 유발할 수 있다.

PS 기반의 DFT 방법은 한 주기 데이터를 홀수 샘플 그룹과 짝수 샘플 그룹으로 나누어 2개의 적분을 수행하고 적분 결과의 비를 이용하여 DC 읍셋 성분의 크기 및 시정수를 추정한다. 따라서 복수의 DC 읍셋 성분이 존재하는 구간과 하나의 DC 읍셋 성분만 존재하는 구간이 동일한 적분 구간에 포함되는 경우 적분 결과의 비가 달라지므로 DC 읍

셋 성분의 시정수 및 크기를 정확하게 추정할 수 없게 된다. 특히 DC 윗셋 성분들의 시정수가 서로 크게 다른 경우 이와 같은 오차가 크게 발생한다. 반면에 제안된 알고리즘은 푸리에 변환 결과를 이용하여 DC 윗셋 성분을 추정하기 때문에 복수의 DC 윗셋이 존재하더라도 주파수 영역에서 동일한 응답 특성을 갖는 하나의 DC 윗셋 성분으로 근사화된 값을 추정한다[7]. 따라서 페이저 연산 시 DC 윗셋 성분에 의한 오차를 정확하게 제거 할 수 있으며, 계측 임피던스가 진동하지 않고 목표값에 수렴함을 알 수 있다.



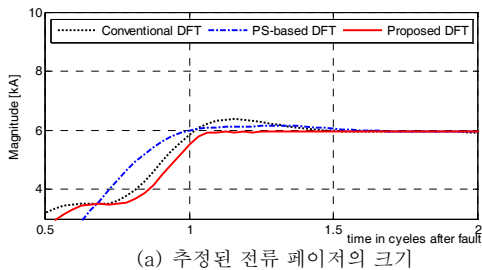
(a) 추정된 전류 페이저의 크기



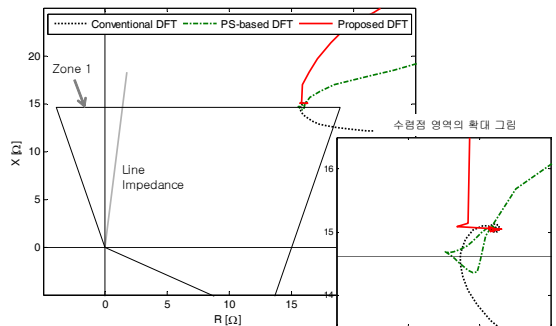
(b) 계측 임피던스 궤적

그림 5 모의 결과 - Case 1, 고장 저항 5 Ω

Fig. 5 Test results for Case 1, fault resistance 5Ω



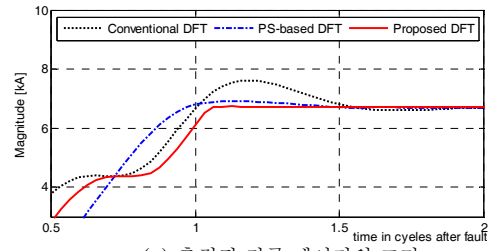
(a) 추정된 전류 페이저의 크기



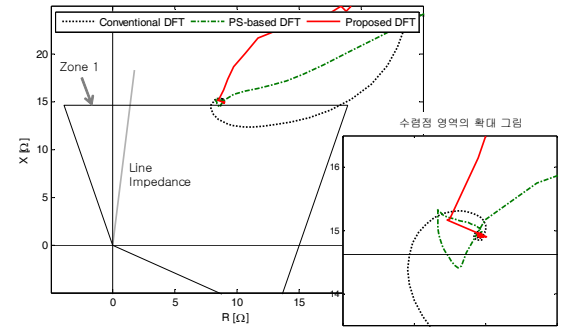
(b) 계측 임피던스 궤적

그림 6 모의 결과 - Case 1, 고장 저항 10 Ω

Fig. 6 Test results for Case 1, fault resistance 10Ω



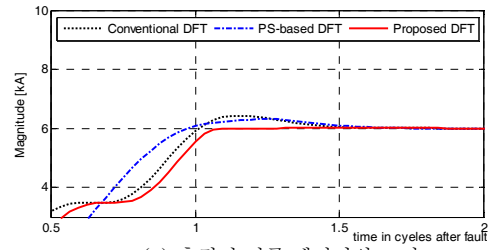
(a) 추정된 전류 페이저의 크기



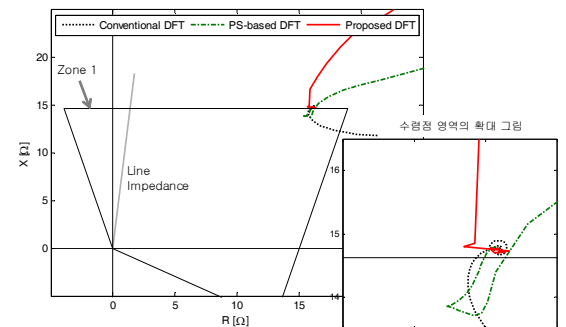
(b) 계측 임피던스 궤적

그림 7 모의 결과 - Case 2, 고장 저항 5 Ω

Fig. 7 Test results for Case 2, fault resistance 5Ω



(a) 추정된 전류 페이저의 크기



(b) 계측 임피던스 궤적

그림 8 모의 결과 - Case 2, 고장 저항 10 Ω

Fig. 8 Test results for Case 2, fault resistance 10Ω

그림 7과 그림 8은 수전단 전원 임피던스를 표 2-Case 2의 값을 사용하여 모델링하고, 고장 저항이 포함된 고장 발생 시 각 알고리즘의 동작 결과를 보인 것이다. Case 1의 값을 사용한 결과와 비교하였을 때, PS 기반 DFT를 적용하여 임피던스를 계측한 결과의 과도 진동이 보다 커졌음을 알 수 있다. 이는 송전단과 수전단 전원 임피던스의 X/R가 Case 1보다 Case 2의 경우에 보다 크게 차이 나기 때문이다. 이 영향에 의해 고장 전류에 포함된 2개 DC 윗셋 성분의

시정수의 차이가 커져 PS 기반 DFT를 이용한 페이지 추정 결과의 오차가 증가하며, 계측 임피던스의 과도 진동 또한 커지게 된다. 반면에 제안된 알고리즘의 경우 이와 같은 계통 조건의 변화에 영향을 받지 않고 안정적인 결과를 얻을 수 있다.

5. 결 론

본 논문에서는 지수 감쇄하는 DC 윽셋 성분의 영향을 제거하기 위해 DFT 기반의 개선된 페이지 연산 기법을 적용한 거리계전 알고리즘을 제안하였다. 거리계전 알고리즘에 적용된 페이지 연산 기법은 기존의 DFT 과정을 홀수 샘플의 DFT와 짝수 샘플의 DFT로 구분하여 수행한 후 그 결과를 이용하여 DC 윽셋 성분을 추정하고, DC 윽셋의 영향을 제거한다.

고장 회로 해석을 통해 고장 저항이 포함된 고장의 경우 서로 다른 시정수를 갖는 복수의 DC 윽셋 성분이 고장 전류에 포함된다는 것을 검증하였다. EMTP 모의 신호를 이용한 사례 연구를 통하여 제안된 알고리즘을 이용한 경우 복수의 DC 윽셋 성분이 존재하더라도 계측 임피던스의 과도 진동 없이 목표값에 수렴함을 검증하였다.

본 논문에서 제안한 거리계전 알고리즘은 계통 상태 및 고장 조건에 영향을 받지 않고 DC 윽셋 성분에 의한 영향 없이 정확한 임피던스를 계측할 수 있으므로 고속의 신뢰성 높은 거리계전기 구현에 기여할 수 있을 것으로 기대된다.

감사의 글

이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원(2010-0000400) 및 2단계 BK21 사업 지원으로 수행된 연구임.

참 고 문 헌

[1] G. Benmouyal, "Removal of DC offset in current waveforms using digital mimic filtering," IEEE Trans. Power Delivery, vol. 10, no. 2, pp. 621-630, April 1995.

[2] Jyh-Cherng Gu and Sun-Li Yu, "Removal of DC offset in current and voltage signals using a novel Fourier filter algorithm," IEEE Trans. Power Delivery, vol. 15, no. 1, pp. 73 - 79, Jan. 2000.

[3] Soon-Ryul Nam, Sang-Hee Kang and Jong-Keun Park, "An Analytic Method for Measuring Accurate Fundamental Frequency Components", IEEE Trans. Power Delivery, vol. 17, no. 2, pp. 405-411, April 2002.

[4] T. S. Sidhu, X. Zhang, F. Albasri, and M. S. Sachdev, "Discrete -Fourier-transform-based

technique for removal of decaying DC offset from phasor estimates," Proc. Inst. Elect. Eng., Gen., Transm. Distrib., vol. 150, no. 6, pp. 745 - 752, Nov. 2003.

[5] Yong Guo, M. Kezunovic, and Deshu Chen, "Simplified algorithms for removal of the effect of exponentially decaying DC offset on the Fourier algorithm," IEEE Trans. Power Delivery, vol. 18, no. 3, pp. 711 - 717, July 2003.

[6] Yoon-Sung Cho, Chul-Kyun Lee, Gilsoo Jang, Heung Jae Lee, "An Innovative Decaying DC Component Estimation Algorithm for Digital Relaying," IEEE Trans. Power Delivery, vol. 24, no. 1, pp. 73 - 78, January 2009.

[7] Sang-Hee Kang, Dong-Gyu Lee, Soon-Ryul Nam, Peter A. Crossley, Yong-Cheol Kang, "Fourier Transform-Based Modified Phasor Estimation Method Immune to the Effect of the DC Offsets," IEEE Trans. Power Delivery, vol. 24, no. 3, pp. 1104 - 1111, July 2009.

[8] IEEE Std C37.113-1999 IEEE Guide for Protective Relay Applications to Transmission Lines, pp. 55-57

저 자 소 개



이 동 규 (李東圭)

1977년 10월 4일생. 2002년 명지대 공대 전기공학과 졸업. 2004년 동 대학원 전기공학과 졸업(석사). 2004년~현재 동 대학원 박사과정

Tel : (031) 336-3280
 Fax : (031) 330-6816
 E-mail : d.g.lee@me.com



강 상 희 (姜相熙)

1962년생. 1985년 서울대 공대 전기공학과 졸업. 1987년 동 대학원 전기공학과 졸업(석사). 1993년 동 대학원 전기공학과 졸업(공학). 현재 명지대학교 공대 전기공학과 교수

Tel : (031) 330-6364
 Fax : (031) 330-6816
 E-mail : shkang@mju.ac.kr