

논문 2010-47SD-3-7

# WLAN 및 Mobile WiMAX를 위한 2.3-2.7 GHz 대역 이중모드 CMOS RF 수신기

( A 2.3-2.7 GHz Dual-Mode RF Receiver for WLAN and Mobile  
WiMAX Applications in 0.13 $\mu$ m CMOS )

이 성 구\*, 김 중 식\*, 김 영 조\*, 신 현 철\*\*

( Seongku Lee, Jongsik Kim, Youngcho Kim, and Hyunchol Shin )

## 요 약

IEEE 802.11n 기반 무선 LAN과 IEEE 802.16e 기반 Mobile WiMAX에 적용할 수 있는 이중모드 직접 변환 수신기를 0.13  $\mu$ m RF CMOS 공정을 이용하여 설계하였다. 설계된 직접 변환 수신기는 2.3-2.7 GHz의 주파수 범위에서 동작을 한다. 저잡음 증폭기에 Current Steering 기술을 사용하여 전체 이득의 크기를 3 단계로 조절이 가능하게 하였다. 플리커 잡음 영향을 낮추기 위해 믹서에 Current Bleeding 기술을 사용하였다. 믹서 LO를 위한 I/Q 위상 신호 발생을 위해 주파수 2-분주회로를 포함하였다. 제작된 직접 변환 수신기는 1.4 V의 공급 전원에서 LO 버퍼를 포함하여 56 mA를 사용하며, 32 dB의 전력이득과 4.8 dB의 잡음지수, 그리고 +6 dBm의 출력  $P_{1dB}$ 를 가진다.

## Abstract

A dual-mode direct conversion receiver is developed in 0.13  $\mu$ m RF CMOS process for IEEE 802.11n based wireless LAN and IEEE 802.16e based mobile WiMAX application. The RF receiver covers the frequency band between 2.3 and 2.7 GHz. Three-step gain control is realized in LNA by using current steering technique. Current bleeding technique is applied to the down-conversion mixer in order to lower the flicker noise. A frequency divide-by-2 circuit is included in the receiver for LO I/Q differential signal generation. The receiver consumes 56 mA at 1.4 V supply voltage including all LO buffers. Measured results show a power gain of 32 dB, a noise figure of 4.8 dB, a output  $P_{1dB}$  of +6 dBm over the entire band.

**Keywords :** RF Receiver, WLAN, WiMAX, CMOS

## I. 서 론

최근 유비쿼터스 무선 인프라 구축을 위한 고정형 및 이동형 무선 인터넷의 수요가 폭발적으로 증가하고 있다. 고정형 및 이동형 무선 통신 통합을 위해서 그의 핵심 기술인 IEEE 802.11n 기반의 무선 LAN (Wireless

Local Area Network: WLAN)과 이동 중 무선 인터넷 사용이 가능한 IEEE 802.16e 기반의 Mobile WiMAX가 새로운 무선 통신 환경으로 부상하고 있다. IEEE 802.11n의 WLAN은 2.4-2.5 GHz 대역을 지원해야 하며, IEEE 802.16e의 Mobile WiMAX는 2.3-2.4GHz 대역의 한국 WiBro와 2.5-2.7 GHz 대역의 미국 WiMAX를 지원해야 한다(그림 1). 또한 다양한 대역의 무선 통신 신호를 하나의 소형 저전력 RF 수신 칩을 통해 처리하고자 하는 필요성이 증가함에 따라 WLAN과 WiMAX를 동시에 지원할 수 있는 이중 모드 CMOS 수신 칩 개발이 필요하다<sup>[1]</sup>. 이러한 수신 칩은 저잡음, 높은 선형성, 낮은 전력 소모, 높은 집적도, 저가격으로

\* 학생회원, \*\* 평생회원, 광운대학교 전자공학과  
(Dept. of Wireless Communications Engineering,  
Kwangwoon University, Seoul, Korea)

※ 본 연구는 지식경제부 대학 IT 연구센터 지원사업  
(IITA-2009-C1090-0902- 0038) 및 서울시 R&BD  
프로그램의 지원으로 수행되었음.

접수일자: 2009년12월18일, 수정완료일: 2010년2월16일

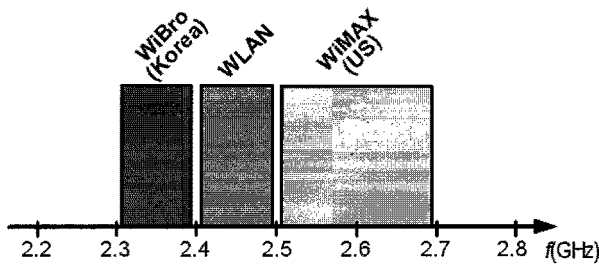


그림 1. WLAN과 WIMAX의 주파수 대역  
Fig. 1. Frequency band of WLAN and WIMAX.

구현되어야 한다. 따라서 기존의 대표적 RF 수신 구조인 헤테로다인(Heterodyne) 방식 대신 RF 입력 신호를 직접 기저 대역(Baseband)으로 주파수 변환하여 신호를 처리하는 직접 변환(Direct Conversion)방식에 대한 연구 개발이 활발하게 진행되고 있다. 직접 변환 수신기 구조는 헤테로다인 방식과 비교해서 중간주파수(IF) 처리 단계가 없는 간단한 구조를 가지며, 주파수 이미징 제거 문제가 발생하지 않아 부피가 큰 외장형 필터가 필요하지 않으므로 소형화가 가능하게 된다. 또한 수신기를 구성하는 블록 수가 적고, 신호 증폭이 기저대역에서 이루어지기 때문에 전력 소모가 적다는 장점이 있다<sup>[2]</sup>. 따라서 본 논문에서는 IEEE 802.11n 기반의 WLAN과 IEEE 802.16e 기반의 WiMAX 대역에서 동작하는 이중모드 직접 변환 수신기를 설계, 제작하였다.

본 논문은 다음과 같이 구성되어 있다. II장에서는 직접 변환 수신기의 구조와 동작에 대해 설명하였고, III장에서는 직접 변환 수신기의 제작 및 측정 결과를 기술하였다. IV장에서는 결론으로 논문을 마무리 하였다

## II. 구조 및 회로 설계

본 논문에서 구현된 직접 변환 수신기는 짝수차 왜곡 성분(Even-order Distortion) 문제를 해결하기 위해 I/Q 차동(I/Q Differential)의 구조로 설계하였다. 그림 2에 직접 변환 수신기의 구조를 나타내었다. RF 단일 입력 신호가 외부소자 발룬(Balun)을 통해 차동(Differential) 입력 신호로 변환이 된 후, 저잡음 증폭기를 통해 신호 증폭되어 다음 단의 I/Q 능동 믹서로 넘겨진다. LO 단일 입력 신호는 Single-to-Differential 변환 회로로 입력되어 차동 신호로 변환이 된 후, 주파수 2분주 회로를 통해 I/Q 차동 신호로 바뀐 후, 각각의 I/Q LO 버퍼로 입력된다. 그리고 커패시터뱅크(Capacitor Bank)를 사

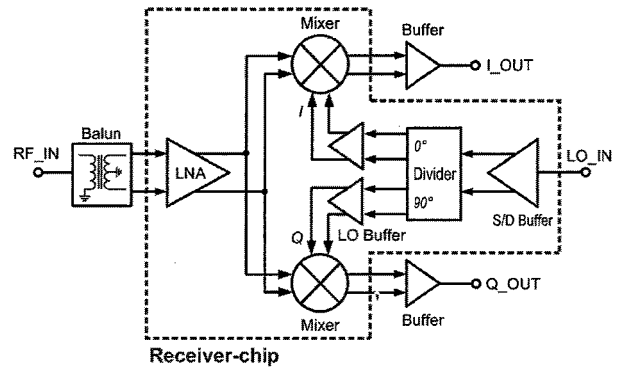


그림 2. 직접 변환 수신기의 구조  
Fig. 2. Direct conversion receiver architecture.

용한 LO buffer를 통해 안정화 된 LO 신호는 능동 믹서로 전달되어 RF 입력 신호를 하향 변환 시킨다.

### 1. 저잡음 증폭기 (LNA)

저잡음 증폭기는 2.3 GHz에서부터 2.7 GHz까지 일정한 이득과 낮은 잡음지수를 얻을 수 있도록 설계하였다. 설계된 저잡음 증폭기의 기본 구조는 차동 캐스코드(Differential Cascode) 구조이다(그림 3). 차동형 구조를 사용하면 전류소모나 사용 면적이 Single-ended 구조의 2배가 필요하지만 동상 잡음을 제거할 수 있고, 접지단의 Bond wire inductance와 같은 기생 성분에 의한 회로 성능 감소를 피할 수 있다. 또한 캐스코드 구조는 밀러 효과(Miller Effect)를 억제할 수 있으며, 입력과 출력의 격리도(Isolation)를 높일 수 있는 장점이 있

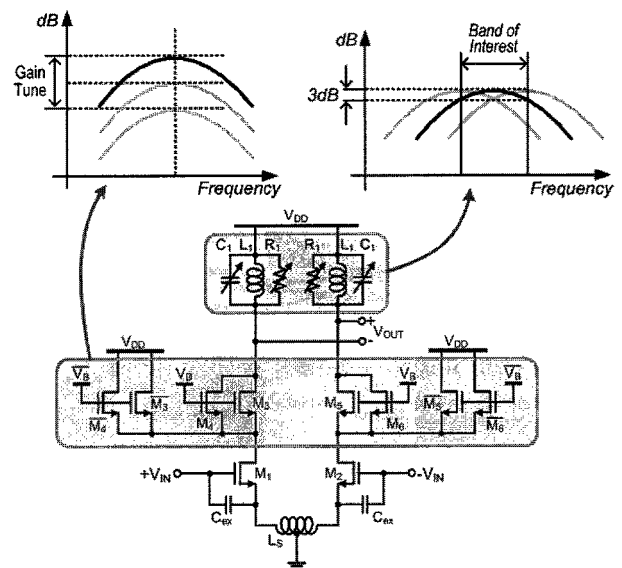


그림 3. 차동 캐스코드 저잡음 증폭기의 회로  
Fig. 3. Circuit schematic of differential cascode LNA.

다<sup>[3]</sup>. 그리고 낮은 잡음 지수와 입력 정합을 동시에 얻기 위해 저잡음 증폭기의 소스(Source)단에 인덕터를 사용하였다. 그런데 이 경우에 큰 값의  $C_{gs}$ 가 필요하게 되는데  $C_{gs}$ 를 키우기 위해서는 MOSFET의 게이트 폭을 늘려야 한다. 이렇게 게이트 폭을 늘리게 되면 전류 소모가 커지게 되기 때문에 저전력에는 불리하게 된다. 따라서, 게이트(Gate)와 소스(Suorce) 사이에 추가적인 커패시터( $C_{ex}$ )를 연결하여 전류소모를 줄이고 동시에 낮은 잡음 지수와 입력 임피던스 정합을 동시에 얻을 수 있게 하였다<sup>[4]</sup>. 본 논문에서는 추가적인 커패시터( $C_{ex}$ )로 MIM(Metal-Insulator-Metal) 형태의 커패시터를 사용하였지만, MIM 커패시터 대신 커패시턴스 변화가 가능한 Switched Capacitor Array나 MOS Varactor를 사용할 수도 있다. 이러한 경우에는 저잡음 증폭기의 외부 입력 매칭 네트워크를 고정시킨 상태에서 회로 내부적으로 입력 매칭을 가변시킬 수 있다<sup>[5~6]</sup>. 2.3 GHz에서부터 2.7 GHz까지의 광대역에서 일정한 이득을 얻기 위해 출력 부하단에 3 비트의 Switched Capacitor Array를 사용하였으며 이를 통해 커패시턴스를 가변하여 주파수에 따라 이득 조절이 가능하게 하였다. 또한 PMOS Switch 와 저항이 직렬로 구성되는 2 비트의 가변저항부를 적용하여 1~3 dB 의 이득 조절이 가능하게 하였다. 그리고 외부에서 큰 크기의 신호가 입력될 경우를 대비하여 3가지 단계로 전체 이득이 조절될 수 있도록 CG단에 Current Steering Technique 를 사용하였다<sup>[7]</sup>. 설계된 저잡음 증폭기는 모의실험 결과에서 21 dB의 전압이득, 0.9 dB의 잡음 지수, 그리고 -15 dB 미만의 입력 반사계수를 나타내었다.

## 2. 주파수 변환기 (Mixer)

직접 변환 수신기 구현에 사용된 믹서는 이득을 얻기 위해 능동형 믹서(Active Mixer)를 사용하였으며, 구조는 이중 평형 믹서(Double-balanced Mixer)이다. 이중 평형 구조의 믹서는 RF 신호와 LO 신호를 차동으로 동작 시키고, RF, LO 및 IF 신호 입력단들이 서로 분리되어 있기 때문에 각 입력단간의 격리도(Isolation)가 좋으며, 위상차에 의해 짝수 차수 고조파 성분이 상쇄되기 때문에 각종 스퓨리어스(Spurious)나 고조파 발생이 억제된다<sup>[8]</sup>.

입력 신호를 기저대역으로 하향 변환하여 처리하는 직접 변환 수신기는 믹서의 플리커 잡음 (Flicker Noise) 이 주요 고려사항이 된다. 플리커 잡음은 믹서의 LO 스위칭

단과 바이어스 전류생성부에 의해 결정되는데, LO 스위칭단에서 생성되는 플리커 잡음을 줄이기 위해 LO 신호의 진폭이 크거나 스위칭 소자 트랜지스터의 게이트 폭이 넓어져야 한다. 또한 잡음은 트랜지스터에 흐르는 바이어스 전류에 비례하기 때문에 LO 스위칭단에 흐르는 바이어스 전류를 줄여야 한다. 하지만 LO 스위칭단의 전류를 줄이면 밑에 있는 입력단의 전류도 같이 줄어들게 되어 이득과 선형성이 저하되는 결과가 나타나게 된다. 이러한 문제들을 해결하기 위해 Current Bleeding 기술을 사용하여 입력단의 바이어스 전류는 유지하면서 LO 스위칭단의 전류를 줄여 플리커잡음은 낮추고 전체 이득과 선형성은 유지할 수 있게 하였다. Current Bleeding 기술을 사용한 믹서 회로는 그림 4와 같다. PMOS로 구성된 Current Bleeding 회로로 인해 스위칭단의 Voltage Headroom 확보에도 유리하므로 부하저항을 증가시켜 믹서의 이득도 높일 수 있다. 또한 부하단에 저항과 함께 커패시터(Capacitor)를 병렬로 사용함으로써 출력단의 고조파 성분을 제거할 수 있도록 RC 필터(Filter)를 설계하여 선형성을 높이고자 하였다. 이러한 구조로 설계된 믹서는 모의실험으로부터 11 dB의 변환 전압이득, 5 dBm의 IIP3, 5 MHz에서 4 dB의 양측대역 잡음 지수(Double-sideband Noise Figure)를 나타내었다.

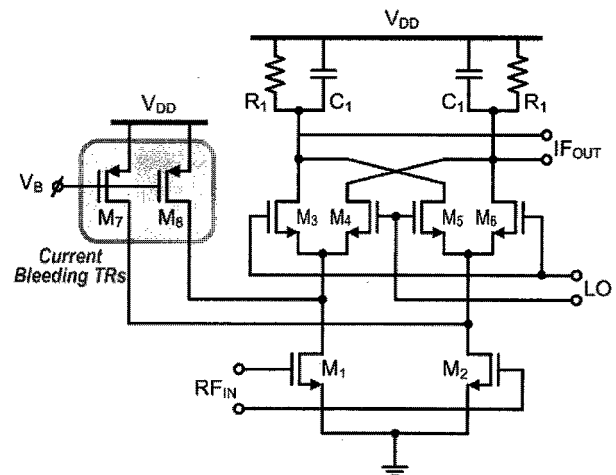


그림 4. Current bleeding 기법이 사용된 이중 평형 믹서의 회로도

Fig. 4. Schematic of the double-balanced mixer adopting current bleeding circuit.

## 3. 주파수 2분주회로 (Divide-by-2)

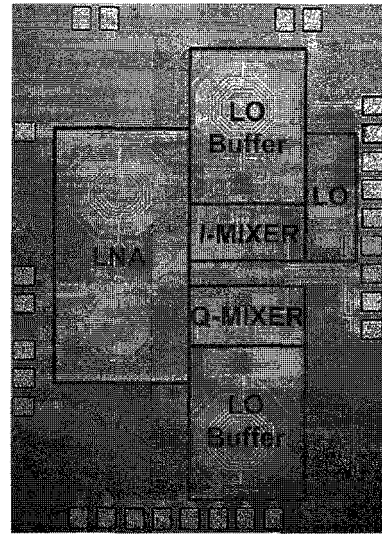
선형성 향상을 위해 I/Q 차동(Differential) 구조를 갖는 직접 변환 수신기는 RF 입력 신호를 기저대역으로 하

향 변환시키기 위해 I/Q 차동 LO 입력 신호가 필요하다. 일반적으로 이러한 I/Q LO 입력 신호를 전달하기 위해서는 2개의 신호원이 필요하다. 하지만 본 논문에서는 2개의 신호원을 사용하지 않고 하나의 신호원을 사용하여 수신기에 I/Q LO를 전달하기 위해서 주파수 2분주회로를 사용 하였다. 주파수 2분주회로를 사용하게 되면 출력 주파수는 입력주파수의 1/2만큼 낮은 주파수로 변환되어 직접 변환 수신기의 LO Leakage와 DC offset 문제가 해결되며 차동 입력 신호에 대하여 정확한 I/Q 차동 신호를 만들 수 있다는 장점이 있다<sup>[9]</sup>. 또한 CML (Current Mode Logic) 형태의 주파수 분주기는 고속 동작이 가능하기 때문에 2 GHz 대역의 직접 변환 수신기의 구조에 적합하다. 따라서 제작된 직접 변환 수신기는 CML 형태의 주파수 2분주회로를 사용하여 구성하였다.

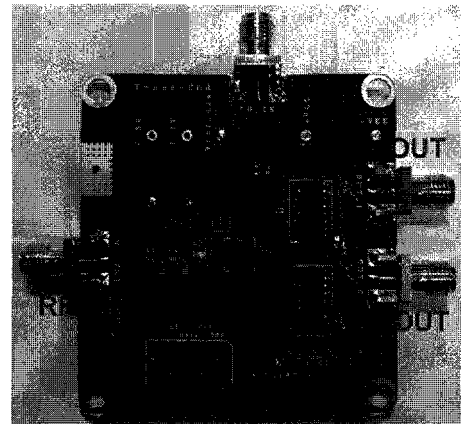
### III. 측정 결과

본 논문의 직접 변환 수신기는 0.13  $\mu\text{m}$  CMOS RF 공정을 통해 제작되었으며, 제작된 칩의 전체 면적은  $1380 \times 1890 \mu\text{m}^2$  이다. 그림 5(a)에 칩 사진을 나타내었다. 칩은 COB (Chip On Board)를 통해 PCB에 연결하였으며, 외부소자로는 칩의 RF 차동 입력 생성을 위한 발룬과 믹서의 출력을 받는 Opamp 버퍼가 사용되었다. 사용된 Opamp 버퍼는 차동의 신호를 단일 신호로 변환하기 때문에 직접 변환 수신기의 차동 출력 신호를 단일 신호로 측정하였다. 또한 주파수에 따른 성능 최적화를 위해 풀 커스텀으로 설계된 SPI (Serial Peripheral Interface)를 통하여 칩의 내부 소자 값을 디지털 제어하였다<sup>[10]</sup>. 그림 5(b)에 측정을 위한 PCB 사진을 나타내었다. 1.4 V의 공급 전압에서 LO 버퍼를 포함한 전체 전류 소모는 56 mA이며, LNA는 6.6 mA, 각각의 믹서는 12.2mA를 소모한다.

2.3-2.7 GHz 대역의 동작을 확인하기 위해 5가지의 대역으로 나누어 입력 정합을 하였다. 그림 6에 각 대역에서 측정된 입력 반사 계수( $S_{11}$ )를 나타내었으며, 전 대역에서 -15 dB이하의 값을 만족한다. WiBro 표준에서 Channel BW는 최대 10 MHz 이므로 직접 변환 수신기의 잡음지수를 0.7~10 MHz 의 범위에서 측정하였다. 측정된 양측대역 잡음 지수 (Double-sideband Noise Figure)는 그림 7과 같이 2 MHz에서 약 4.8 dB이고, 플리커잡음의 코너주파수는 약 1 MHz 로 측정되었다. 전체 수신기의 이득은 32 dB 이며, 이의 주파수에 따른 이



(a)



(b)

그림 5. 직접 변환 수신기 측정  
(a) 칩 사진, (b) 측정용 인쇄회로기판  
Fig. 5. Direct Conversion Receiver measurement.  
(a) Chip Micrograph, (b) printed circuit board.

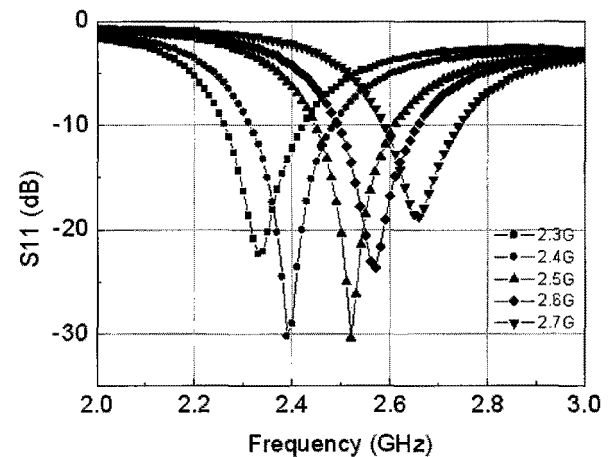


그림 6. 측정된 입력 반사 계수 ( $S_{11}$ )  
Fig. 6. Measured input return loss ( $S_{11}$ ).

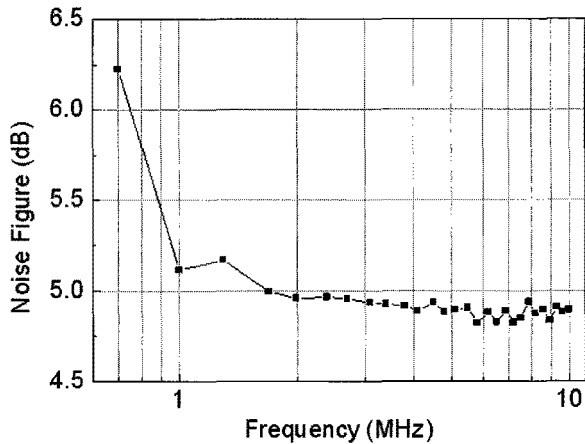


그림 7. 측정된 수신기 잡음 지수  
Fig. 7. Measured noise figure of receiver.

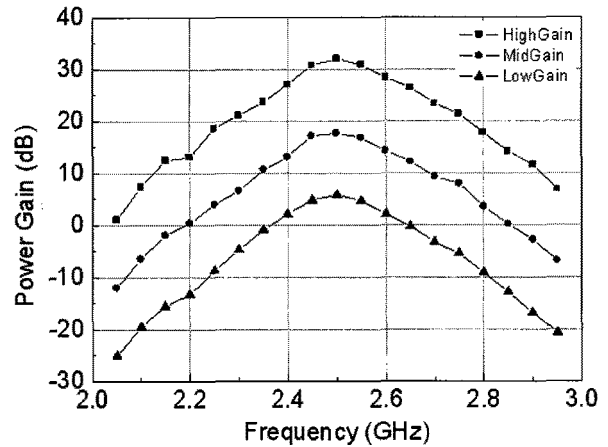


그림 10. 수신기 이득의 가변 특성 측정  
Fig. 10. Measured gain control characteristic.

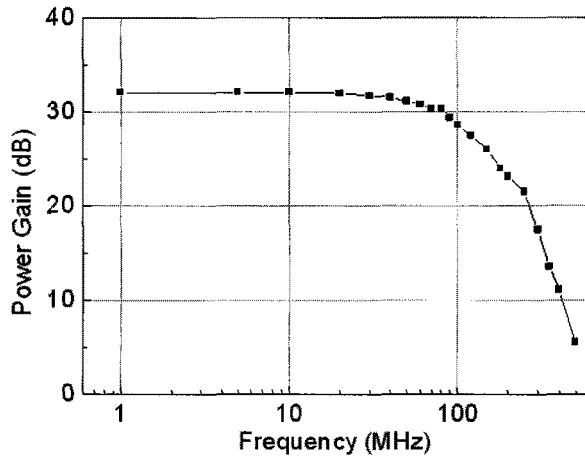


그림 8. 측정된 수신기 이득 특성  
Fig. 8. Measured gain response of receiver.

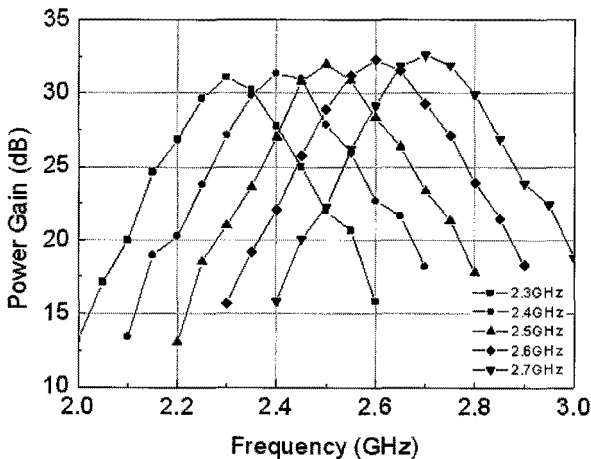


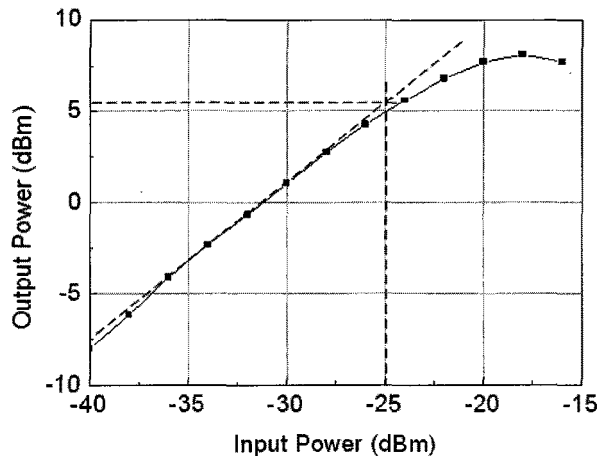
그림 9. 수신기 이득의 주파수 특성 측정  
Fig. 9. Measured frequency response of conversion gain.

표 1. 성능 요약  
Table 1. Performance summary.

Parameter	Unit	[11]	[12]	[13]*	This Work
Frequency	GHz	2.4	2.7/5.1	2.6/3.6 / 5.5	2.3~2.7
Gain	dB	26.5/9.5	33/31	32	32 / 17.6 / 5.8
$S_{11}$	dB	-8	<-15	<-13	<-15
NF(DSB)	dB	1.5	4.7/5.1	2.5/3.5 / 5.9	4.8
Input $P_{1dB}$	dBm	4.5	-	-	6
Current	mA	136 (LNA+Mixer)	24.8/30	25/25/26	56 (I/Q path)
Voltage	V	1.8	1.8	1.8	1.4
Technology		0.18- $\mu$ m CMOS	0.18- $\mu$ m CMOS	0.18- $\mu$ m CMOS	0.13- $\mu$ m CMOS

\*Simulation results only

특 특성을 그림 8에 나타내었다. 그림에서 보여지듯이 3 dB 차단주파수(Cut-off frequency)는 약 90 MHz 로 매우 광대역임을 알 수 있다. 5가지의 주파수 대역별 이득 특성을 그림 9에 나타내었으며 전체적으로 약 32 dB의 최대 이득을 갖는다. 저잡음 증폭기는 매우 큰 크기의 신호가 입력될 경우를 고려해서 전체 이득을 3가지 단계로 조절할 수 있도록 하였다. 이때 이득은 32 dB / 17.6 dB / 5.8 dB로 변화하였으며, 그림 10과 같다. 입력 주파수가 2500MHz이고 LO 주파수가 2495MHz 일 때, 입력 신호의 크기에 따른 5MHz의 출력 신호의 측정결과를 그림 11에서 보여주고 있다. 입력과 출력의  $P_{1dB}$  (1-dB compression point)는 각각 -25 dB, 6 dB가 측정되었다. 표 1에 제작된 직접 변환 수신기의 측정 결과를 정리하였

그림 11. 수신기  $P_{1dB}$  측정Fig. 11. Measured  $P_{1dB}$ .

다. 비슷한 주파수 대역의 참고문헌 [11]~[13] 결과와 비교했을 때, 대개 비슷한 성능을 보이지만 잡음지수가 상당히 안 좋게 측정되었는데, 이는 측정 환경으로부터 유입된 원하지 않는 신호의 효과적인 차단 및 입력 정합 회로의 최적 잡음지수로의 최적화를 통해 개선 할 수 있을 것으로 판단된다. 그럼에도 [11], [12]의 협대역 특성과 비교했을 때, 본 결과는 2.3에서 2.7 GHz 전체대역을 지원함으로써 WLAN과 WiMAX 이중모드 응용에 더욱 적합함을 알 수 있다.

#### IV. 결 론

IEEE 802.11n의 WLAN과 IEEE 802.16e의 WiMAX를 지원하는 이중 모드 직접 변환 수신기를 0.13  $\mu\text{m}$  CMOS RF 공정을 사용하여 설계 제작하였다. 제작된 직접 변환 수신기는 1.4 V의 공급전원에서 총 56 mA의 전류를 소모하며, 32 dB의 전력이득과 +6 dBm의 출력  $P_{1dB}$ 를 갖는다. 입력 반사 계수는 -15 dB 이하의 값을 만족하면서 4.8 dB의 잡음지수를 보였다.

#### 참 고 문 헌

[1] L. Lin *et al.*, "A Fully Integrated 2x2 MIMO Dual-Band Dual-Mode Direct-Conversion CMOS Transceiver for WiMAX/WLAN Applications," in *IEEE International Solid-State Circuits Conference Dig. Tech. Papers*, Feb. 2009, pp. 416-417.

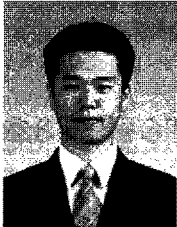
[2] B. Razavi, "Design Considerations for Direct-

Conversion Receivers," *IEEE Transaction on Circuits and Systems II: Analog and Digital signal Processing*, Vol. 44, no. 6, pp. 428-435, Jun. 1997.

- [3] T. Lee, *The Design Of CMOS Radio Frequency Integrated Circuits*, Cambridge Univ. Press, 1998.
- [4] T. Nguyen, C. Kim, G. Ihm, M. Yang, and S. Lee, "CMOS Low-Noise Amplifier Design Optimization Techniques," *IEEE Tran. Microwave Theory and Techniques*, vol. 52, no. 5, pp. 1433-1442, May 2004.
- [5] H. Song, H. Kim, K. Han, J. Choi, C. Park, and B. Kim, "A Sub-2 dB NF Dual-Band CMOS LNA for CDMA/WCDMA Applications," *IEEE Microwave and Wireless Components Letters*, vol. 18, no. 3, pp. 212-214, Mar. 2008.
- [6] S. Lee, H. Shin, "A Wideband CMOS LNA with Varactor Tuned Input Matching for WLAN/WiMAX Applications," in *Proc. International SoC Conference*, Busan, Korea, Nov. 2009, pp. 108-111.
- [7] S. K. Alam, J. DeGroat, "A CMOS Variable Gain Front-end for a WCDMA Receiver," in *Proc. IEEE International Symposium on Circuits and Systems*, May 2007, pp. 1457-1440.
- [8] K. L. Fong, R. G. Meyer, "Monolithic RF active mixer design," *IEEE Transaction on Circuits and Systems II: Analog and Digital signal Processing*, vol. 46, no. 3, pp. 231-239, Mar. 1999.
- [9] U. Singh, M. M. Green, "High-frequency CML clock dividers in 0.13- $\mu\text{m}$  CMOS operating up to 38 GHz," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 8, pp. 1658-1661, Aug. 2005.
- [10] 엄준현, 이언봉, 신재욱, 신현철 "CMOS RF 집적 회로 검증을 위한 직렬 주변 인터페이스 회로의 풀커스텀 설계," 대한전자공학회 논문지, 제46권 SD편, 제9호, pp. 68-73, 2009년 9월.
- [11] Z. Li, R. Quintal, K. K. O "A Dual-Band CMOS Front-End With Two Gain Modes for Wireless LAN Applications," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 11, pp. 2069-2073, Nov. 2004.
- [12] K. R. Rao, J. Wilson, and M. Ismail, "A CMOS RF Front-End for a Multistandard WLAN Receiver," *IEEE Microwave and Wireless Components Letters*, vol. 15, no. 5, pp. 321-323, May. 2005.
- [13] C. Garuda, and M. Ismail, "A Multi-band CMOS RF Front-end for 4G WiMAX and WLAN

Applications,” in *Proc. IEEE International Symposium on Circuits and Systems*, May 2006, pp. 3049-3052.

저 자 소 개



이 성 구(학생회원)  
2008년 광운대학교 전파공학과  
학사 졸업.  
2010년 광운대학교 대학원  
전파공학과 석사 졸업.  
2010년~현재 LG 디스플레이  
연구원

<주관심분야 : CMOS RF/Analog IC>



김 중 식(학생회원)  
2005년 광운대학교 전파공학과  
학사 졸업.  
2007년 광운대학교 대학원  
전파공학과 석사 졸업.  
2007년~현재 광운대학교 대학원  
전파공학과 박사과정

<주관심분야 : Wideband CMOS Transceiver/  
Linearization Method>



김 영 조(학생회원)  
2007년 광운대학교 전파공학과  
학사 졸업.  
2009년 광운대학교 대학원  
전파공학과 석사 졸업.  
2009년~현재 삼성전자  
반도체사업부 연구원

<주관심분야 : CMOS RF/Analog IC>



신 현 철(평생회원)  
1991년 KAIST 전기 및  
전자공학과 학사 졸업.  
1993년 KAIST 전기 및  
전자공학과 석사 졸업.  
1998년 KAIST 전기 및  
전자공학과 박사 졸업.  
1997년~1997년 독일 DaimlerBenz Research  
Center 연구원  
1998년~2000년 삼성전자 System LSI  
선임연구원  
2000년~2002년 미국 UCLA 박사후 연구원  
2002년~2003년 미국 Qualcomm RF/Analog  
IC Design 선임연구원  
2003년~현재 광운대학교 전파공학과 부교수  
<주관심분야> CMOS RF/Analog IC