

논문 2010-47SD-3-2

# 소스제어 4T 메모리 셀 기반 소신호 구동 저전력 SRAM

## ( Small-Swing Low-Power SRAM Based on Source-Controlled 4T Memory Cell )

정 연 배\*, 김 정 현\*\*

( Yeonbae Chung and Jung-Hyun Kim )

### 요 약

본 논문은 4-트랜지스터 래치 셀을 이용한 저전력형 신개념의 SRAM을 제안한다. 4-트랜지스터 메모리 셀은 종래의 6-트랜지스터 SRAM 셀에서 access 트랜지스터를 제거한 형태로, PMOS 트랜지스터의 소스는 비트라인 쌍에 연결되고 NMOS 트랜지스터의 소스는 두개의 워드라인에 각각 연결된다. 동작시 워드라인에 일정크기의 전압을 인가할 때 비트라인에 흐르는 전류를 감지하여 읽기동작을 수행하고, 비트라인 쌍에 전압차이를 두고 워드라인에 일정크기의 전압을 인가하여 쓰기동작을 수행한다. 이는 공급전압 보다 낮은 소신호 전압으로 워드라인과 비트라인을 구동하여 메모리 셀의 데이터를 저장하고 읽어낼 수 있어서 동작 소비전력이 적다. 아울러 셀 누설전류 경로의 감소로 인해 대기 소모전력 또한 개선되는 장점이 있다. 0.18- $\mu\text{m}$  CMOS 공정으로 1.8-V, 16-kbit SRAM test chip을 제작하여 제안한 회로기술을 검증하였고, 칩 면적은 0.2156 mm<sup>2</sup> 이며 access 속도는 17.5 ns 이다. 동일한 환경에서 구현한 종래의 6-트랜지스터 SRAM과 비교하여 읽기동작시 30 % 쓰기동작시 42 % 동작소비전력이 적고, 대기전력 또한 64 % 적게 소비함을 관찰하였다.

### Abstract

In this paper, an innovative low-power SRAM based on 4-transistor latch cell is described. The memory cells are composed of two cross-coupled inverters without access transistors. The sources of PMOS transistors are connected to bitlines while the sources of NMOS transistors are connected to wordlines. They are accessed by totally new read and write method which results in low operating power dissipation in the nature. Moreover, the design reduces the leakage current in the memory cells. The proposed SRAM has been demonstrated through 16-kbit test chip fabricated in a 0.18- $\mu\text{m}$  CMOS process. It shows 17.5 ns access at 1.8-V supply while consuming dynamic power of 87.6  $\mu\text{W}/\text{MHz}$  (for read cycle) and 70.2  $\mu\text{W}/\text{MHz}$  (for write cycle). Compared with those of the conventional 6-transistor SRAM, it exhibits the power reduction of 30 % (read) and 42 % (write) respectively. Silicon measurement also confirms that the proposed SRAM achieves nearly 64 % reduction in the total standby power dissipation. This novel SRAM might be effective in realizing low-power embedded memory in future mobile applications.

**Keywords :** SRAM, memory, 4-transistor cell, power dissipation

### I. 서 론

최근에 들어 모바일 기기의 보급에 따라 저전력 시스

템 설계의 중요성이 크게 강조되고 있다. SRAM은 데이터처리의 고속성, 낮은 소비전력, 간단한 주변회로와 아울러 로직 LSI와의 혼합 탑재가 가능하여, 프로세서, 디지털 로직 응용의 ASIC 및 시스템 LSI의 이상적인 내장형 메모리로 사용된다. 더욱이 2000년대에 접어들면서 SoC 기반 설계가 반도체 산업의 중요 이슈로 부각되고 있는 시점에서, SRAM은 SoC와 같은 고집적 시스템에서 중요한 IP 블록이며, 전체 칩 면적에서 많은 부분을 차지한다<sup>[1]</sup>. 주로 집적화된 디지털 모바일 기

\* 정회원, \*\* 학생회원, 경북대학교 전자전기컴퓨터학부 (School of Electrical Engineering and Computer Science, Kyungpook National University)

※ 이 논문은 2009년 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구이며 (2009-0070666), IDEC의 지원에 의해 수행되었음.

접수일자: 2009년8월30일, 수정완료일: 2010년1월19일

기에 구현되는 SRAM은 항상 제한된 에너지 자원을 갖는다는 점과 SoC 중 메모리 구동에 배당되는 에너지는 전체 자원에 비추어 일부이므로 SRAM의 저전력 구동은 필수적이다<sup>[2~11]</sup>.

본 논문은 4-트랜지스터(4T) 메모리 셀을 이용한 저전력향 신개념의 SRAM 회로설계에 대해 기술한다. 4T형 셀은 종래의 6-트랜지스터(6T) SRAM 셀에서 access 트랜지스터 없이 2개의 inverter가 상호 연결된 래치만으로 이루어진 구조로 아직 이론적인 기본 셀 아이디어만 제안된 상태이고<sup>[12]</sup>, 읽기 및 쓰기동작을 위한 구체적인 코어회로나 주변회로를 갖춘 완전한 메모리로 실현되지 않았다. 본 연구에서는 4T 셀의 access 방법을 새로이 제안하고, 메모리로 실현가능한 2차원 array로 배치하여, 전력소모가 작은 SRAM으로 구현하였다. 본 연구의 4T SRAM은 공급전압 보다 낮은 소신호 전압으로 메모리 셀을 구동하여 데이터를 저장하고 읽어낼 수 있어서, 기존의 6T SRAM에 비해 동작 소비전력이 적다. 아울러 셀 트랜지스터의 감소로 셀 내부의 누설전류 경로가 적다. 먼저 II장에서 4T 메모리 셀의 바이어스 방법과 읽기 및 쓰기동작에 대해 소개하고, III장에서는 제안한 방법을 이용한 1.8-V, 16-kbit SRAM test chip 회로설계에 대해 설명한다. 설계에는 0.18- $\mu$ m 로직 CMOS 공정을 적용하였다. IV장에서는 prototype 4T SRAM의 실험결과와 성능에 대해 기술하고, 마지막으로 V장에서 결론을 맺는다.

## II. 소스제어 4T 메모리 셀

그림 1에 4T 메모리 셀의 구조를 나타내었다. 이는 2개의 PMOS 트랜지스터와 2개의 NMOS 트랜지스터로 이루어진 latch로서, PMOS 트랜지스터의 소스는 비트라인 쌍(BL, /BL)에 연결되고 NMOS 트랜지스터의 소스는 두개의 워드라인(WL\_RW, WL\_W)에 각각 연결된다. 메모리 셀의 전원은 비트라인을 통해 공급받는다. 대기상태일 때 비트라인과 데이터라인(DL, /DL)은 각각  $V_{DD}$ 로 유지되고 2개의 워드라인은 ground에 연결된다. Data는 셀 내부의 데이터 노드(DN, /DN)에 저장된다. DN이 high 이고 /DN가 low 이면 data 1로 정의하고, 그 반대인 경우 data 0로 정의한다. 동작상태일 때는 PMOS 트랜지스터의 소스에 연결된 비트라인 쌍과 NMOS 트랜지스터의 소스에 연결된 WL\_RW라인 및 WL\_W라인에 전압을 인가하여, 메모리 셀의 데이터

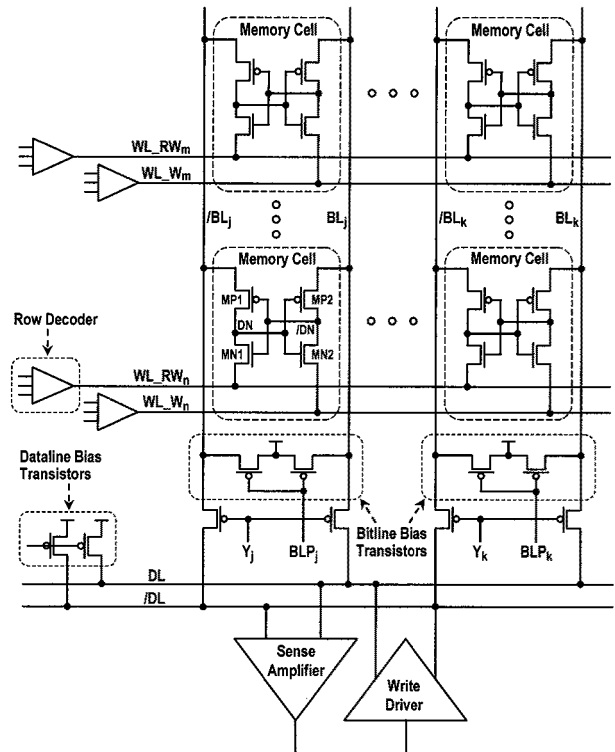


그림 1. 간략화된 4-트랜지스터 메모리 셀 배열구조 (WL\_RW: wordline for read and write, WL\_W: wordline for write only)

Fig. 1. Configuration of the simplified 4-transistor memory cell array. (WL\_RW: wordline for read and write, WL\_W: wordline for write only).

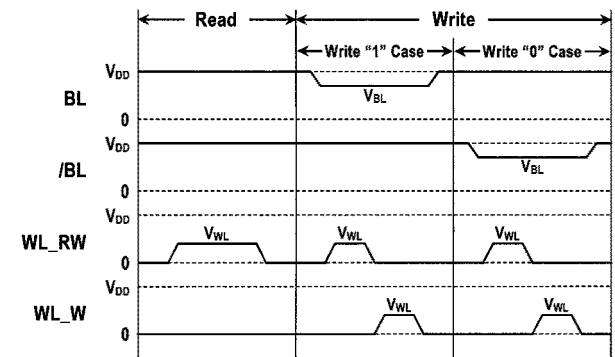


그림 2. 읽기 및 쓰기동작 셀 바이어스  
Fig. 2. Cell bias for read and write operation.

를 읽어 내거나 저장한다.

그림 2는 본 논문에서 제안하는 소스제어 4T latch 셀의 읽기와 쓰기를 위한 전압파형을 보여준다. Read 동작시 먼저 데이터라인 바이어스 트랜지스터를 off 시킨 후, 컬럼 선택신호 Y를 ground로 내린다. 이때 비트라인 바이어스 트랜지스터는 on 상태로 유지한다. 선택한 셀의 data를 읽기 위해서는 선택된 행의 WL\_RW

전압을  $V_{WL}$  레벨로 올리고 MP2와 MN2로 구성된 inverter에 흐르는 전류를 감지한다. 이때  $V_{WL}$  전압레벨은 셀 내부의 MN2 트랜지스터의 문턱전압( $V_{THN}$ ) 보다 높고 MP2와 MN2로 구성된 inverter의 logic threshold voltage ( $V_{LT}$ ) 보다 낮다. 선택한 셀의 데이터 노드 DN이 low 이고 /DN가 high 이면, 그 셀의 MP2와 MN1은 on 상태이고 MN2와 MP1은 off 상태이다. 따라서 WL\_RW 전압이 상승할 때 MN1이 on 상태이므로  $V_{WL}$  전압이 DN에 전달되어 MP2와 MN2를 동시에 on 시키므로 BL에서 WL\_W로 전류가 흐른다. 만약 DN이 high 이고 /DN가 low 이면, 그 셀의 MP2와 MN1은 off 상태이고 MN2와 MP1은 on 상태이다. WL\_RW이 상승할 때 MN1이 off 상태이므로  $V_{WL}$  전압이 DN에 전달되지 않아 셀 내부로 아무런 전류가 흐르지 않는다. 이로써 셀의 data 상태를 판별한다.

Write 동작시에는 데이터라인 바이어스 트랜지스터를 off 시킨 후, 컬럼 선택신호 Y를 ground로 내린다. 동시에 선택한 컬럼의 비트라인 바이어스 트랜지스터를 off 시킨 후, 저장할 데이터에 따라 write driver를 통해 선택한 컬럼의 비트라인 쌍에 서로 다른 전압을 인가한다. Data 1을 write하기 위해서는 선택된 컬럼의 BL 전압을  $V_{BL}$ 로 내리고 /BL 전압은  $V_{DD}$ 로 유지한다. 아울러 WL\_RW와 WL\_W에  $V_{WL}$  레벨의 pulse 전압을 순차적으로 인가한다. 이때 WL\_RW, WL\_W에 가해지는 전압은 BL에 연결된 셀 inverter의  $V_{LT}$  보다 높고 /BL에 연결된 셀 inverter의  $V_{LT}$  보다 낮다. 만약 선택된 셀의 DN이 low 이고 /DN가 high 이면 (초기 데이터 저장값이 0인 경우), 그 셀의 MN1과 MP2가 turn-on된 상태이고, 데이터 1을 write 하기 위해 BL에 가해지는  $V_{BL}$  전압은 inverter MP2-MN2의 trigger 전압을 낮춘 상태이다. 이때 WL\_RW에 인가되는  $V_{WL}$  전압은 turn-on된 MN1을 통해 DN node에 전달되어 cell의 latch를 flip 시킨다 (DN: low  $\rightarrow$  high, /DN: high  $\rightarrow$  low). 이로써 데이터 1 쓰기동작이 이루어진다. 연이어 WL\_W에 인가되는  $V_{WL}$  전압은 turn-on된 MN2를 통해 /DN node에 전달되지만  $V_{DD}$ 로 공급되는 /BL에 연결된 inverter MP1-MN1을 trigger 시키지 못한다. 만약 선택된 셀의 DN이 high 이고 /DN가 low 이면 (초기 데이터 저장값이 1인 경우), 그 셀의 MN1과 MP2가 turn-off된 상태이고, WL\_RW에 가해지는  $V_{WL}$  전압은 DN node에 전달되지 않아 그 셀의 데이터 값을 그대로 유지하게 된다 (DN: high  $\rightarrow$  high, /DN: low  $\rightarrow$  low).

또한 연이어 WL\_W에 인가되는  $V_{WL}$  전압은 turn-on된 MN2를 통해 /DN node에 전달되지만  $V_{DD}$ 로 공급되는 /BL에 연결된 inverter MP1-MN1을 trigger 시키지 못한다. Data 0을 write하기 위해서는 선택된 컬럼의 /BL 전압을  $V_{BL}$ 로 내리고 BL 전압은  $V_{DD}$ 로 유지한 채, WL\_RW와 WL\_W에  $V_{WL}$  레벨의 pulse 전압을 순차적으로 인가한다. Data write 동작 자체는 앞서 설명한 데이터 1 쓰기동작과 유사하다.

본 논문에서는 0.18  $\mu\text{m}$  공정의 트랜지스터 문턱전압 ( $V_{THN} = 0.42 \text{ V}$ ,  $V_{THP} = -0.48 \text{ V}$ )을 고려하여, 1.8 V 공급전원에서 0.8 V의 전압을 WL\_RW와 WL\_W에 인가하고 ( $V_{WL} = 0.8 \text{ V}$ ), write 동작시 1.5 V와 1.8 V의 전압을 비트라인 쌍에 인가하였다 ( $V_{BL} = 1.5 \text{ V}$ ).

### III. Test Chip 설계

#### 1. 메모리 셀

그림 3은 0.18- $\mu\text{m}$ , twin-well/1-polycide/4-metal CMOS 로직공정을 적용한 4T 메모리 셀의 레이아웃을 보여준다. PMOS 트랜지스터 소스는 세로 방향으로 이웃한 셀의 PMOS 트랜지스터 소스와 공유하고, NMOS 트랜지스터의 소스는 가로 방향으로 이웃한 셀의 NMOS 트랜지스터 소스와 공유한다. 비트라인(BL, /BL)은 metal-3로 연결하고, WL\_RW 및 WL\_W 라인은 metal-4로 각각 연결하였다. PMOS 트랜지스터의 W/L은 0.52- $\mu\text{m}$ /0.18- $\mu\text{m}$  이고 NMOS 트랜지스터의 W/L은 0.22- $\mu\text{m}$ /0.3- $\mu\text{m}$  이다. 셀 레이아웃 면적은 2.54

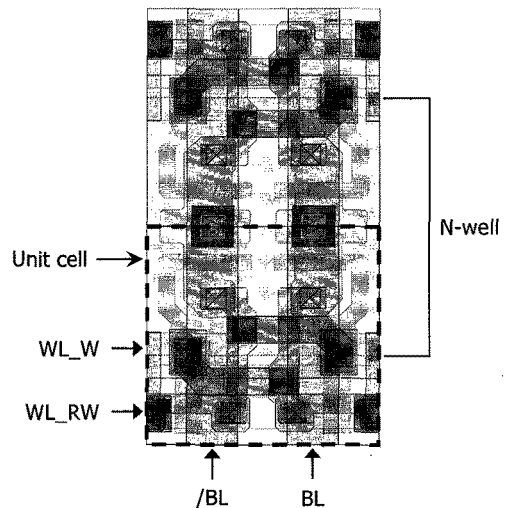


그림 3. 4T 메모리 셀 레이아웃 (1x2 셀)  
Fig. 3. 4T memory cell layout (1x2 cell).

× 2.435 μm<sup>2</sup> 이다. 이는 동일한 0.18-μm 공정을 적용하고 통상의 cell beta 비율((W/L)<sub>DRIVE</sub>/(W/L)<sub>ACCESS</sub> = 1.5)을 갖는 종래의 6T SRAM 셀 면적보다 5 % 작다.

2. SRAM Core 회로

그림 4에 4T 메모리 셀을 적용한 SRAM core 회로의 물리적 배치를 나타내었다. 16-kbit cell array는 두 개의 동일한 8-kbit block으로 구성하였다. 8-kbit block은 128개의 row와 64개의 column으로 구성된다. 데이터 sensing에 필요한 기준신호를 발생시키는 reference cell은 메모리 cell array의 위쪽에, 비트라인 바이어스 트랜지스터, column 게이트, column 디코더는 cell array 아래쪽에, row 디코더는 2개의 cell array block 가운데에 위치한다. I/O bit 수는 8이며, 각각 8개의 sense amplifier와 write driver를 cell array block 아래에 배치하였다.

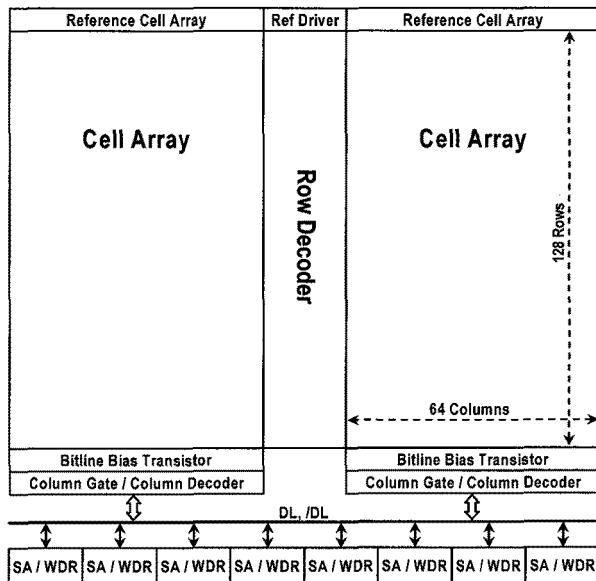


그림 4. SRAM core 회로 배치구조 (SA: sense amplifier, WDR: write driver)  
Fig. 4. Configuration of SRAM core block. (SA: sense amplifier, WDR: write driver).

3. Row Decoder

4T 메모리 셀의 선택을 위해서는 공급전압보다 낮은 레벨로 스위칭하는 row decoder가 필요하다. 즉 워드라인의 로직 high는 V<sub>WL</sub> 이고, 로직 low는 0 V 이다. 그림 5에 row decoder의 회로도도와 시뮬레이션 파형을 나타내었다. 회로는 static NAND 게이트와 전압분배기로 이루어진다. X1-X3는 decoding 신호이고, 전압분배를

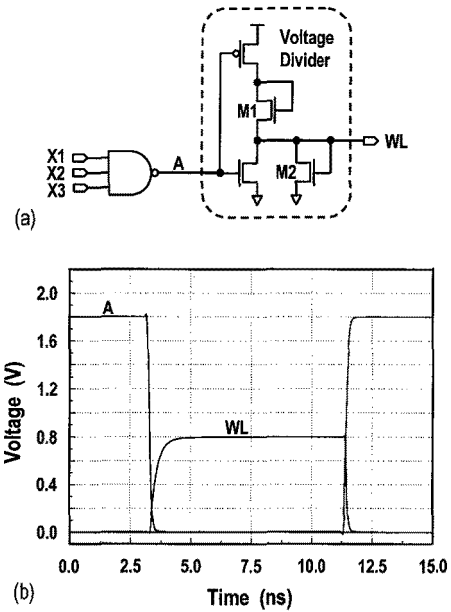


그림 5. Row decoder: (a) 회로도, (b) 시뮬레이션 파형  
Fig. 5. Row decoder: (a) circuit, (b) simulation waveforms.

위해 NMOS를 이용한 active 저항소자(M1, M2)를 사용하였다. 1.8 V 공급전압에서 V<sub>WL</sub>은 0.8 V이고, rising, falling time은 각각 2 ns, 0.5 ns 이다.

4. Reference Cell

4T 메모리 셀의 데이터를 읽기 위해서는 sense amplifier에 기준신호(reference signal)를 만들어 주는 reference 회로가 필요하다. 이러한 기준신호는 각 컬럼

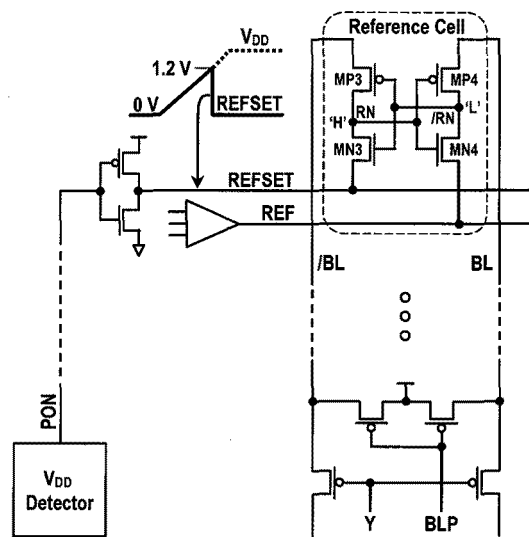


그림 6. Reference cell  
Fig. 6. Reference cell.

에 위치한 reference cell에서 생성되며 그림 6에 그 구조를 보였다. Reference cell은 4T 메모리 셀과 동일한 형태와 동일한 트랜지스터 size를 가지고, 그 내부 데이터노드는 미리 초기화된 데이터 값( $RN = high, /RN = low$ )을 저장하고 있다. Reference cell의 초기화는 power on 시에 이루어진다. Power on 시 칩 공급전압이 상승할 때, 비트라인 쌍과 REFSET 신호는 공급전압과 같이 상승하고 REF 신호는 ground를 유지한다. 이것은 RN 전압이  $V_{DD}$ 와 같게 만들고  $/RN$  전압은 ground 레벨이 되게 한다. 공급전압이 1.2 V 이상으로 상승할 때, 칩 내부의  $V_{DD}$  detector에서 생성되는 잠금 신호 PON에 의해 REFSET는 low로 set 된다. 그 결과 reference cell의 초기화가 이루어지며  $RN = high, /RN = low$ 로 preset 된다. 따라서 read 동작 시 REF라인에

WL\_RW와 동일한  $V_{WL}$  전압을 인가할 때 reference cell 내부의 inverter MP3-MN3를 통해  $/BL$ 라인에서 REFSET으로 data '0'을 저장한 셀에서 흐르는 전류와 동일한 크기의 전류가 흐른다.

5. Data Sense Amplifier

그림 7에 데이터 sensing과 관련된 read path 회로를 나타내었다. 데이터 감지증폭기는 셀 전류를 감지하는 전류감지 증폭기(CSA: current sense amplifier)와 그의 출력(CSO,  $/CSO$ ) 전압을 full CMOS 레벨로 증폭하는 전압감지 증폭기(VSA: voltage sense amplifier)로 구성하였다. CSA는 PMOS 트랜지스터 MP1~MP4와 NMOS 트랜지스터 MN1~MN4로 이루어진 current mirror 형태로, MP1~MP4의 게이트에는 CSPRE 신호

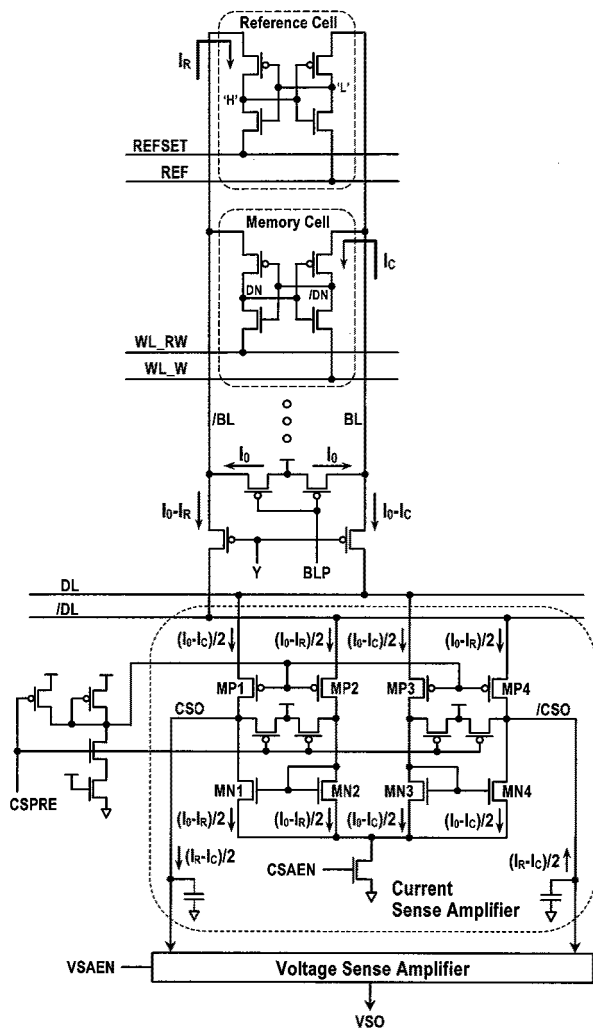


그림 7. Read path 회로  
Fig. 7. Read path circuits.

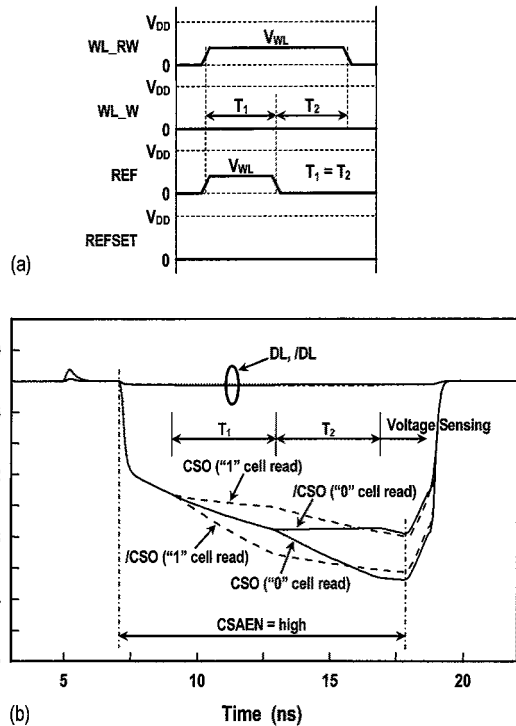


그림 8. 데이터 sensing:  
(a) 메모리 셀과 reference cell에 인가되는 전압, (b) 전류감지 증폭기의 출력파형  
Fig. 8. Data sensing: (a) applied voltage to memory cell and reference cell, (b) output waveforms of current sense amplifier.

가 high 일 때 saturation 영역에서 동작하도록 DC 바이어스 전압이 인가된다. Read 동작 시 비트라인 쌍의 전압레벨은 VDD와 거의 같아서 비트라인 바이어스 트랜지스터를 통해 같은 크기의  $I_0$  전류가 흐른다. 메모리 셀과 reference cell이 access 될 때, 메모리 셀에 흐르는 전류  $I_C$ 와 reference cell에 흐르는 전류  $I_R$ 에 의해 CSA 출력단의 한쪽 노드는  $(I_R - I_C)/2$  만큼 충전되고 다른 노드는  $(I_R + I_C)/2$  만큼 방전되어 CSO와 /CSO에 전압차가 나타난다. 그림 8에 read 동작 시 메모리 셀과 reference cell에 인가되는 전압파형과 CSA 출력단의 시뮬레이션 파형을 보였다. 데이터 sensing은 2단계로 나누어서 이루어진다. WL\_RW와 REF에 동일한 크기의  $V_{WL}$  전압이 인가되지만, WL\_RW에는  $T_1 + T_2$  시간 동안 REF에는 그것의 절반인  $T_1$  시간동안 전압을 각각 인가한다. 선택한 셀이 data 1 셀이면  $I_C = 0$  이므로  $T_1$  구간에서 CSO 노드는  $I_R/2$  만큼 충전되고 /CSO 노드는  $I_R/2$  만큼 방전된다. 연이은  $T_2$  구간에서는  $I_R$  또한 0이 되어 CSA 출력단은 충전 없이  $T_1$ 의 전압차를 유지한다. 만약 선택한 셀이 data 0 셀이면  $I_C = I_R$  이므로  $T_1$  구간에서는 CSO, /CSO 노드에 전압차가 없지만,  $T_2$  구간에서  $I_R = 0$  이므로 CSO 노드는  $I_C/2$  만큼 방전되고 /CSO 노드는  $I_C/2$  만큼 충전된 전압차가 나타난다. 이러한 CSA 출력단의 전압차를 입력으로 하여 differential 구조의 VSA는 데이터 신호를 full CMOS 레벨로 증폭한다.

## 6. Write Driver

II장에서 언급하였듯이 제안한 4T SRAM의 write 동작에는 데이터라인을 통해 선택한 컬럼의 비트라인에 공급전원보다 낮은 전압  $V_{BL}(1.5\text{ V @ } V_{DD} = 1.8\text{ V})$ 을 인가하는 회로가 필요하다. 그림 9에 write driver 회로와 시뮬레이션 파형을 보였다. 회로는 DC 바이어스 회로, switch(M1, M2), 초기방전 트랜지스터(M3, M4)로 구성된다. 초기방전 트랜지스터는 짧은 시간동안 turn-on 되어  $V_{DD}$ 로 충전된 데이터라인 전압레벨을 빨리 낮추는 역할을 한다. Write 동작 시 먼저 데이터라인 바이어스 트랜지스터를 off 시킨 후, switch M1, M2를 동시에 on 시켜  $V_{DD}$ 로 충전된 데이터라인 쌍을 DC 바이어스 회로에 연결한다. 아울러 입력데이터에 따라  $V_{BL}$  전압이 인가되어야 할 데이터라인에 연결된 초기방전 트랜지스터를 짧은 시간동안만 turn-on 하여 데이터라인 전압을 일차적으로 끌어 내린다. 동시에 DC 바

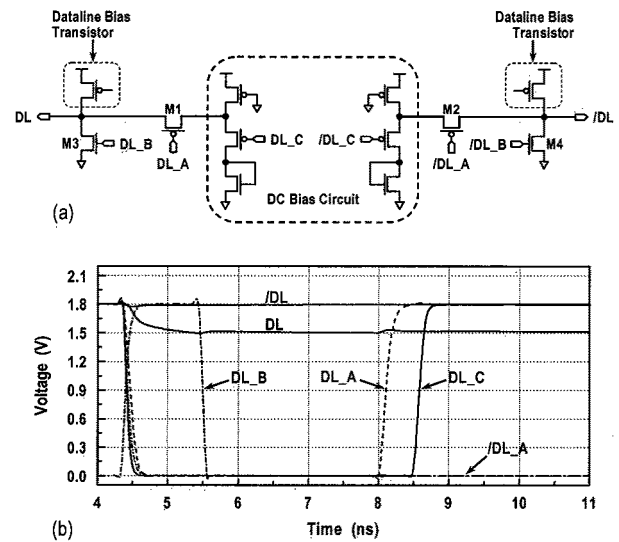


그림 9. Write driver: (a) 회로도, (b) 시뮬레이션 파형  
Fig. 9. Write driver: (a) circuit, (b) simulation waveforms.

이어스 회로를 구동하여 선택한 데이터라인의 전압을  $V_{BL}$ 로 유지시킨다. 이때  $V_{DD}$  전압이 인가되어야 할 데이터라인에 연결된 초기방전 트랜지스터와 DC 바이어스 회로는 구동하지 않는다. 시뮬레이션 파형에서 보는 바와 같이 데이터라인이 1.5 V로 falling 하는데 약 1.2 ns의 시간이 소요된다.

## IV. 결과 및 고찰

4T 메모리 셀 기반으로 설계된 SRAM 회로를 0.18  $\mu\text{m}$  CMOS 로직공정을 사용하여 칩으로 제작하였다. 그림 10은 2k-word  $\times$  8-bit 4T SRAM 칩 사진이다. Memory core는 좌우 대칭된 두개의 8-kbit 셀 block으로 구성하였으며, CS buffer, WE buffer, address buffer, Din/Dout buffer, predecoder,  $V_{DD}$  detector, control logic 등 기타 주변회로는 memory core의 아래에 배치하였다. 전체 macro 면적은  $440\ \mu\text{m} \times 490\ \mu\text{m} = 0.2156\ \text{mm}^2$  이다.

그림 11(a)는 1.8 V, 25  $^{\circ}\text{C}$ 에서 읽기동작의 시뮬레이

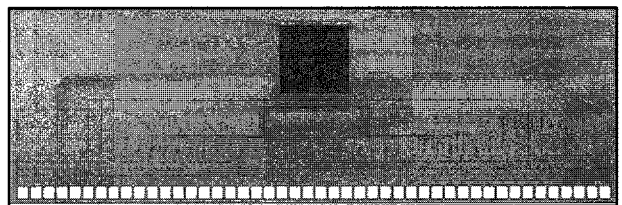
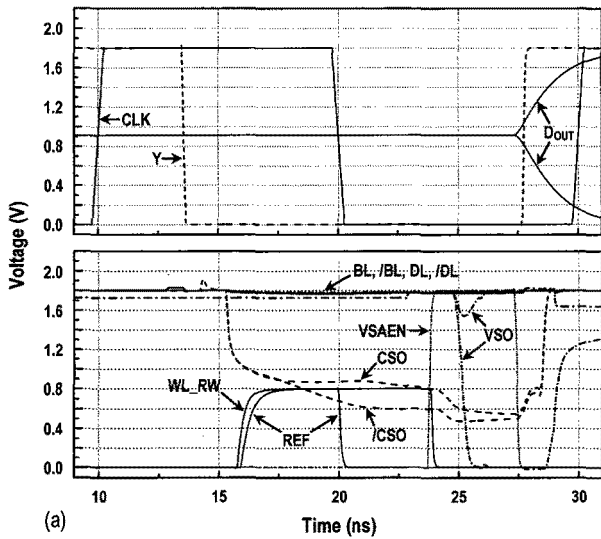
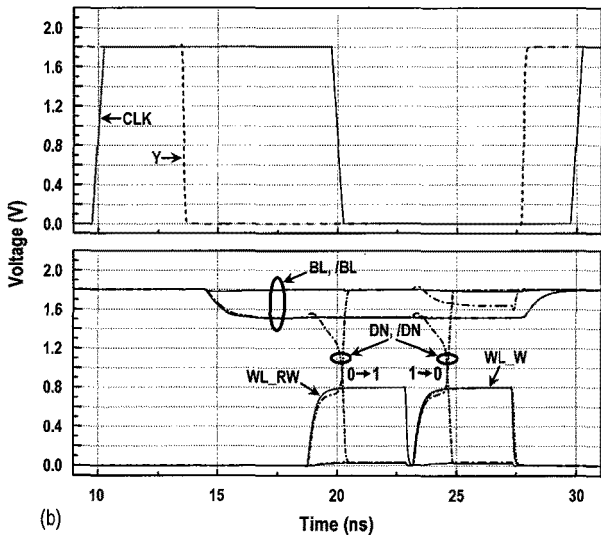


그림 10. 16-kbit 4T SRAM 칩 사진  
Fig. 10. Chip microphotograph of 16-kbit 4T SRAM.



(a)



(b)

그림 11. 시뮬레이션 파형 ( $V_{DD} = 1.8\text{ V}$ ,  $T_{Cyc} = 20\text{ ns}$ ): (a) 읽기동작, (b) 쓰기동작

Fig. 11. Simulation waveforms at 1.8 V and 20 ns cycle: (a) read cycle, (b) write cycle.

선 파형을 보여준다. 비트라인 쌍은  $V_{DD}$  전압을 유지하고, 0.8 V의 전압을 WL<sub>RW</sub>와 REF에 인가하여 셀에서 흐르는 전류를 sensing 한다. 그 결과 전류감지단의 CSO, /CSO의 전압차를 전압증폭단에서 full CMOS 레벨로 증폭한다. 전체 칩의 cycle time은 20 ns이며, 데이터 출력은 클럭(CLK)이 상승 후 17.5 ns의 시간이 소요된다. 그림 11(b)는 같은 조건에서의 쓰기동작 시뮬레이션 파형이며, 서로 다른 두 셀에서의 쓰기과정을 보였다. 입력데이터 값에 따라 비트라인 쌍에 1.8 V와 1.5 V를 각각 인가하고, WL<sub>RW</sub>와 WL<sub>W</sub>에 0.8 V의 전압을 번갈아 인가한다. WL<sub>RW</sub> 혹은 WL<sub>W</sub>가 상승 후 메모리 셀의 데이터 노드 쌍(DN, /DN)은 2 ns 안에

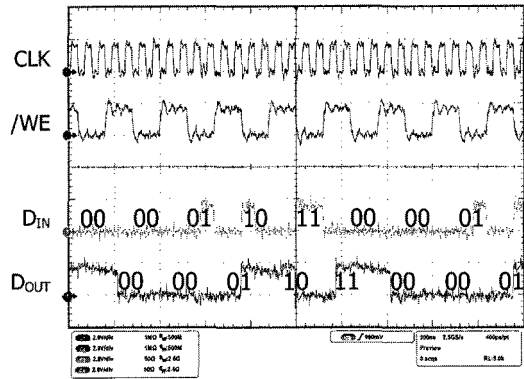


그림 12. 입출력 측정파형 ( $V_{DD} = 1.8\text{ V}$ , voltage: 2 V/div, time: 200 ns/div)

Fig. 12. Measured I/O waveforms ( $V_{DD} = 1.8\text{ V}$ , voltage: 2 V/div, time: 200 ns/div).

표 1. SRAM의 성능 비교

Table 1. Performance comparison of SRAM.

		6T SRAM	4T SRAM
Organization		2k-word × 8-bit	
Supply Voltage		1.8 V	
Technology		0.18- $\mu\text{m}$ CMOS Technology ( $V_{THN} = 0.42\text{ V}$ , $V_{THP} = -0.48\text{ V}$ )	
Macro Size		0.2242 mm <sup>2</sup>	0.2156 mm <sup>2</sup>
Access Time		12.5 ns	17.5 ns
Active Power	Read	126.0 $\mu\text{W}/\text{MHz}$	87.6 $\mu\text{W}/\text{MHz}$
	Write	120.2 $\mu\text{W}/\text{MHz}$	70.2 $\mu\text{W}/\text{MHz}$
Standby Power		210 nW	76 nW

반전이 일어난다. 쓰기동작의 cycle time 또한 20 ns 이며, 50 MHz 동작 주파수를 갖는다.

그림 12는 functional test 결과를 보여준다. /WE 신호가 low일 때 2 bit의 데이터를 입력하고 /WE 신호가 high 일 때 그 결과를 읽어내는 과정을 연속적으로 반복하여, 입력과 출력의 데이터 값이 서로 일치함을 확인하였다.

메모리의 성능은 메모리 셀의 구조와 동작방식, I/O interface 등에 따라 크게 달라진다. 제안한 4T SRAM 회로는 일반적인 8-bit wide low-power slow I/O interface 사양으로 설계되었으며, 표 1에 동일한 공정과 동일한 사양으로 종래의 6T 메모리 셀을 적용한 SRAM과 그 성능을 비교하였다. 4T SRAM은 동작속도가 느린 단점이 있다. 이는 그림 11에서 보는 바와 같이 읽기동작 시 비트라인에 흐르는 cell current가 작아 데이터 감지시간이 느리기 때문이며, 쓰기동작 또한

WL\_RW와 WL\_W에 pulse 전압을 순차적으로 인가해야 함으로 write 속도에도 제한이 따른다. 하지만 4T SRAM은 6T SRAM 대비 소비전력 면에서 우수한 특성을 보였다. 6T SRAM에서 비트라인, 데이터라인, 워드라인은 커패시턴스가 매우 큰 부분이고, 이러한 커패시턴스의 충전으로 인한 동작전력소모가 전체 SRAM 소비전력에서 많은 부분을 차지한다<sup>[3]</sup>. 본 연구에서 비교한 6T SRAM에서 write power가 read power 보다 적은 것은 I/O 비트 수가 8 이기 때문이며, SRAM의 I/O bit가 증가하면 (16 bit, 32 bit, 64 bit, 혹은 그 이상) write cycle 특성상 비트라인과 데이터라인이 full- $V_{DD}$ 로 swing 하기 때문에 write power가 더 크게 소모될 것이다<sup>[13]</sup>. 반면에 제안한 4T SRAM에서 비트라인과 데이터라인의 전압 swing은 읽기동작시 0 V 이고, 쓰기동작시 약 0.3 V 이다. 워드라인 swing 또한 0.5 $V_{DD}$  보다 작다. 이로 인해 동작 소비전력이 크게 줄어드는 장점을 지닌다.

그림 13에 SRAM 내부회로 block의 동작전력 모의실험 결과를 나타내었다. 시뮬레이션은 1.8 V, 20 ns 클럭 주기에서 수행하였다. Memory core에서 소비되는 전력은 비트라인, 데이터라인, 워드라인, decoder, sense amplifier, write driver에서 소비되는 전력을 포함한다. Memory core에서 확인한 전력감소로 인해 6T SRAM 대비 4T SRAM의 전체 동작전력은 읽기동작시 30 %, 쓰기동작시 42 % 적게 소비함으로 나타났다.

또한 대기모드 상태에서 SRAM 셀의 누설전류로 인한 전력소모는 SRAM 전체 대기전력소모의 대부분을 차지한다<sup>[7~11]</sup>. 그림 14에 본 논문에서 구현한 메모리

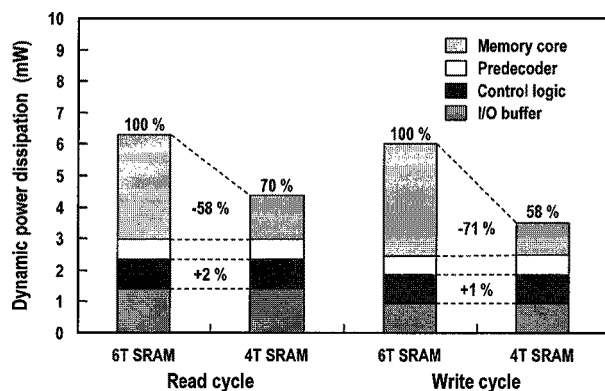


그림 13. 동작 소비전력 비교 ( $V_{DD} = 1.8 \text{ V}$ ,  $T_{CYC} = 20 \text{ ns}$ )  
 Fig. 13. Comparisons of dynamic power dissipation at 1.8 V and 20 ns clock period.

셀의 각 트랜지스터 size와 주요 누설전류 경로를 나타내었다. 180-nm 공정에서 게이트 tunneling과 junction leakage에 의한 누설전류는 매우 작아 subthreshold leakage에 의한 누설전류만 표시하였다. 저장된 데이터 노드의 로직값에 의해 off 상태인 트랜지스터를 통해 누설전류가 흐르게 되는데, 6T cell과 비교하여 4T cell은 access 트랜지스터를 통한 누설전류 경로가 없다. 아울러 6T cell의 subthreshold leakage는 NMOS drive 트랜지스터를 통해 가장 큰 누설전류가 흐르는데<sup>[9]</sup>, 이에 해당하는 4T cell의 NMOS 트랜지스터 W/L 비율이 6T cell의 그것보다 2.5배 작다. 그림 15에 1.8 V, 실온에서 picoammeter를 이용하여 SRAM의 대기전력 소비량을 측정된 결과를 보였다. 측정을 위해 cell array power와 주변회로 power를 분리하였다. 4T SRAM은 각 row 당 2개의 decoder가 소요되어 주변회로의 대기 전력소모가 다소 크지만, 셀 누설전류 경로의 감소와

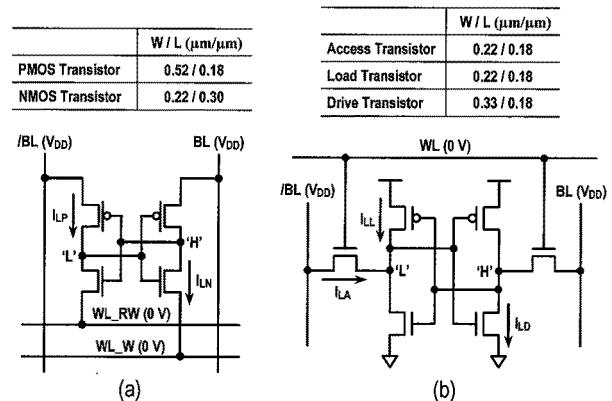


그림 14. Subthreshold 누설전류 경로:  
 (a) 4T cell, (b) 6T cell  
 Fig. 14. Subthreshold leakage current path:  
 (a) 4T cell, (b) 6T cell.

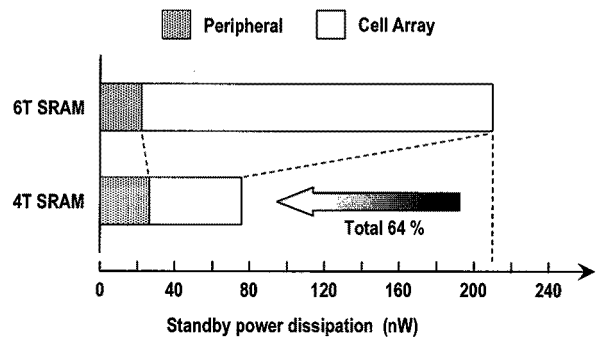


그림 15. 16-kbit SRAM 대기전력소모 비교 ( $V_{DD} = 1.8 \text{ V}$ ,  $T = 25 \text{ }^\circ\text{C}$ )  
 Fig. 15. Measured standby power dissipation of 16-kbit SRAM at 1.8 V and 25  $^\circ\text{C}$ .



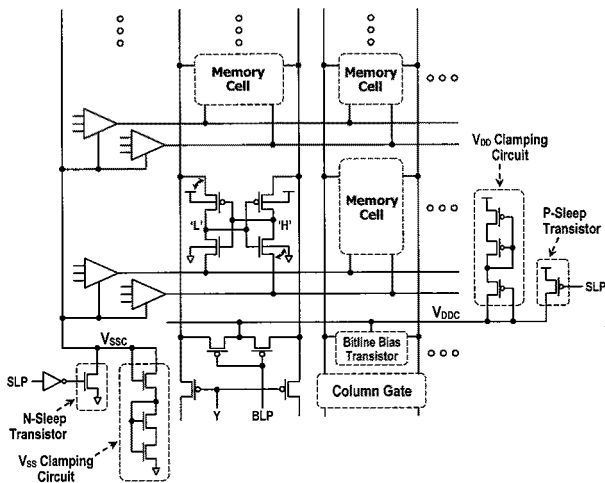


그림 16. 4T SRAM 셀 누설전류 억제회로  
Fig. 16. Cell array leakage reduction scheme in 4T SRAM.

아울러 셀 트랜지스터 sizing의 결과로 cell array에서의 대기전력 소비량은 6T SRAM에 비해 약 74 % 정도 적게 관찰되었으며, 이로 인해 전체 대기전력 소비량은 약 64 % 적게 소비함을 확인하였다.

뿐만 아니라 4T SRAM에서 메모리 셀을 구성하고 있는 트랜지스터의 소스가 비트라인 쌍과 WL\_RW라인 및 WL\_W라인에 연결되어 셀 트랜지스터의 추가 없이 소스전압을 제어하는 누설전류 억제기법<sup>[7~11]</sup>을 적용하기가 용이하다. 그림 16에 그 예를 보였다. 각 메모리 block의 셀 전원공급단에 diode-connected 트랜지스터를 이용한 clamping 회로를 사용하여 대기상태에서 메모리 셀의 누설전류를 억제할 수 있다. Sleep 신호 SLP가 'low'인 동작상태에서는 P/N-sleep 트랜지스터가 각각 on 되어 메모리 셀에  $V_{DD}$ 와 ground의 전원이 공급된다. SLP가 'high'인 대기상태인 경우 clamping 회로의 diode-connected 트랜지스터가 메모리 셀의 누설전류에 의해 weakly turn-on 됨으로, 가상전압  $V_{DDC}$ 는  $V_{DD}$  이하로 하강하고  $V_{SSC}$ 는 ground 레벨 이상으로 상승하게 된다. 따라서 메모리 셀의 PMOS와 NMOS에 body-effect에 의한 back-bias 효과가 나타나 실질적인 트랜지스터의 문턱전압이 상승하여 가상전압의 레벨에 따라 지수함수적으로 누설전류는 감소할 것이다.

## V. 결 론

본 논문에서는 4-트랜지스터 메모리 셀을 이용한 저전력향 신개념의 SRAM 회로설계에 대해 기술하였다.

메모리 셀은 두 inverter가 래치 형태로 상호 연결된 구조로, 읽기 및 쓰기동작은 셀 PMOS 트랜지스터 소스와 셀 NMOS 트랜지스터 소스의 전압을 제어하여 이루어진다. 이는 공급전압의 절반에도 미치지 않는 비트라인, 워드라인, 데이터라인의 voltage swing으로 읽기 및 쓰기동작이 이루어지므로, 기존의 6T SRAM에 비해 동작 소비전력이 적다. 또한 4T 메모리 셀의 구조상 6T SRAM에 비해 누설전류가 작고, PMOS 트랜지스터와 NMOS 트랜지스터의 소스전압을 제어하는 누설전류 제어기법을 적용하기가 쉽다는 장점이 있어 대기전력 제어에 유리하다. 0.18- $\mu\text{m}$  CMOS 공정으로 1.8 V, 16-kbit SRAM test chip을 제작하여 제안한 회로기술을 검증하였으며, 모의실험 및 측정결과 동일한 환경에서 구현한 종래의 6T SRAM과 비교하여 읽기동작시 30 % 쓰기동작시 42 % 동작소비전력이 적고, 대기전력 또한 64 % 적게 소비함을 확인하였다. 이는 향후 저전력 모바일 시스템의 SoC 내장형 메모리기술로 유용하게 적용될 수 있을 것으로 생각된다.

## 참 고 문 헌

- [1] <http://public.itrs.net>.
- [2] K. W. Mai, T. Mori, B. S. Amrutur, R. Ho, B. Wilburn, M. A. Horowitz, I. Fukushi, T. Izawa, and S. Mitarai, "Low-power SRAM design using half-swing pulse-mode techniques," *IEEE J. Solid-State Circuits*, vol. 33, no. 11, pp. 1659-1671, Nov. 1998.
- [3] B. -D. Yang and L. -S. Kim, "A low-power SRAM using hierarchical bit line and local sense amplifiers," *IEEE J. Solid-State Circuits*, vol. 40, no. 6, pp. 1366-1376, Jun. 2005.
- [4] R. E. Aly and M. A. Bayoumi, "Low-power cache design using 7T SRAM cell," *IEEE Trans. on Circuits and Systems-II: Express Briefs*, vol. 54, no. 4, pp. 318-322, Apr. 2007.
- [5] S. Cosemans, W. Dehaene, and F. Catthoor, "A low-power embedded SRAM for wireless applications," *IEEE J. Solid-State Circuits*, vol. 42, no. 7, pp. 1607-1617, Jul. 2007.
- [6] K. Kim, H. Mahmoodi, and K. Roy, "A low-power SRAM using bit-line charge recycling," *IEEE J. Solid-State Circuits*, vol. 43, no. 2, pp. 446-459, Feb. 2008.
- [7] M. Yamaoka, Y. Shinozaki, N. Maeda, Y. Shimazaki, K. Kato, S. Shimada, K. Yanagisawa, and K. Osada, "A 300-MHz

- 25- $\mu$ A/Mb leakage on-chip SRAM module featuring process variation immunity and low-leakage-active mode for mobile-phone application processor," *IEEE J. Solid-State Circuits*, vol. 40, no. 1, pp. 186-194, Jan. 2005.
- [8] K. Zhang, U. Bhattacharya, Z. Chen, F. Hamzaoglu, D. Murray, N. Vallepalli, Y. Wang, B. Zheng, and M. Bohr, "SRAM design on 65-nm CMOS technology with dynamic sleep transistor for leakage reduction," *IEEE J. Solid-State Circuits*, vol. 40, no. 4, pp. 895-901, Apr. 2005.
- [9] Y. Takeyama, H. Otake, O. Hirabayashi, K. Kushida, and N. Otsuka, "A low leakage SRAM macro with replica cell biasing scheme," *IEEE J. Solid-State Circuits*, vol. 41, no. 4, pp. 815-822, Apr. 2006.
- [10] M. Sharifkhani and M. Sachdev, "Segmented virtual ground architecture for low-power embedded SRAM," *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, vol. 15, no. 2, pp. 196-205, Feb. 2007.
- [11] Y. Wang, H. J. Ahn, U. Bhattacharya, Z. Chen, T. Coan, F. Hamzaoglu, W. M. Hafez, C. -H. Jan, P. Kolar, S. H. Kulkarni, J. -F. Lin, Y. -G. Ng, I. Post, L. Wei, Y. Zhang, K. Zhang, and M. Bohr, "A 1.1 GHz 12  $\mu$ A/Mb-leakage SRAM design in 65 nm ultra-low-power CMOS technology with integrated leakage reduction for mobile applications," *IEEE J. Solid-State Circuits*, vol. 43, no. 1, pp. 172-179, Jan. 2008.
- [12] T. -H. Joubert, E. Seevinck, and M. du Plessis, "A CMOS reduced-area SRAM cell," in *Proc. of IEEE Int. Symp. on Circuits and Systems*, vol. 3, pp. 335-338, 2000.
- [13] K. Kanda, H. Sadaaki, and T. Sakurai, "90% write power-saving SRAM using sense-amplifying memory cell," *IEEE J. Solid-State Circuits*, vol. 39, no. 6, pp. 927-933, Jun. 2004.

저 자 소 개



정 연 배(정회원)  
 1984년 한국항공대학교,  
 전자공학과 학사  
 1986년 한국과학기술원,  
 전기및전자공학과 석사  
 1995년 University of Florida,  
 전자공학과 박사

1986년~1990년 한국전자통신연구원, 연구원  
 1995년~2000년 삼성전자주식회사, 수석연구원  
 2000년~2002년 미국 Ramtron Int. Corp,  
 Design Project Manager  
 2002년~현재 경북대학교 전자전기컴퓨터학부  
 교수

<주관심분야: 임베디드 메모리, 아날로그 집적회  
 로, 고속/저전력 VLSI 시스템>



김 정 현(학생회원)  
 2003년 경북대학교,  
 전자전기컴퓨터학부 학사  
 2005년 경북대학교, 전자공학과  
 석사  
 2009년 경북대학교, 전자공학과  
 박사

2009년~현재 (주)하이닉스반도체, 선임연구원  
 <주관심분야: 메모리 IC 설계, DRAM 설계>