

논문 2010-47SD-4-11

싸이리스터와 다이오드 소자를 이용하는 입력 ESD 보호방식의 비교 연구

(A Comparison Study of Input ESD Protection schemes Utilizing
Thyristor and Diode Devices)

최진영*

(Jin Young Choi)

요약

표준 CMOS 공정에서 제작 가능한 보호용 싸이리스터 소자와 다이오드 소자를 사용하는 RF IC용 두 가지 입력 ESD 보호 회로 방식을 대상으로, 2차원 소자 시뮬레이터를 이용하는 DC 해석, 혼합모드 과도해석 및 AC 해석을 통해 보호용 소자내 격자온도 상승 및 입력버퍼단의 게이트 산화막 인가전압 측면에서의 HBM ESD 보호강도에 대한 심도있는 비교 분석을 시도한다. 이를 위해, 입력 ESD 보호회로가 장착된 CMOS 칩의 입력 HBM 테스트 상황에 대한 등가회로를 구성하고, 5가지 HBM 테스트 모드에 대해 최대 6개의 보호용 소자를 포함하는 혼합모드 과도 시뮬레이션을 시행하고 그 결과를 분석함으로써 실제 테스트에서 발생할 수 있는 문제점들에 대한 상세한 분석을 시도한다. 이 과정에서 보호용 소자 내 바이폴라 트랜지스터의 트리거를 수월케 하는 방안을 제안하며, 두 가지 보호회로 방식에서 내부회로의 게이트 산화막 파괴는 보호용 소자 내에 존재하는 NMOS 구조의 접합 항복전압에 의해 결정됨을 규명한다. RF IC용 입력 보호회로로서의 두 가지 보호방식의 특성 차이에 대해 설명하는 한편, 각 보호용 소자와 회로의 설계와 관련된 유용한 기준을 제시한다.

Abstract

For two input-protection schemes suitable for RF ICs utilizing the thyristor and diode protection devices, which can be fabricated in standard CMOS processes, we attempt an in-depth comparison on HBM ESD robustness in terms of lattice heating inside protection devices and peak voltages developed across gate oxides in input buffers, based on DC, mixed-mode transient, and AC analyses utilizing a 2-dimensional device simulator. For this purpose, we construct an equivalent circuit for an input HBM test environment of a CMOS chip equipped with the input ESD protection circuits, which allows mixed-mode transient simulations for various HBM test modes. By executing mixed-mode simulations including up to six active protection devices in a circuit, we attempt a detailed analysis on the problems, which can occur in real tests. In the procedure, we suggest to a recipe to ease the bipolar trigger in the protection devices and figure out that oxide failure in internal circuits is determined by the junction breakdown voltage of the NMOS structure residing in the protection devices. We explain the characteristic differences of two protection schemes as an input ESD protection circuit for RF ICs, and suggest valuable guidelines relating design of the protection devices and circuits.

Keywords : ESD protection, HBM, Thyristor, Diode, Mixed-mode simulation

I. 서론

CMOS 칩은 정전기 방전(Electrostatic discharge:

ESD) 문제에 상대적으로 취약하여 입력패드에 보호용 소자의 장착이 필수적이다. 하지만 정전기 방전 시 보호용 소자 자체의 열적 파괴를 방지하기 위해서는 큰 폭의 소자를 사용하여 방전 전류밀도를 줄이는 것이 중요하며, 이는 입력노드에 큰 기생 커패시턴스를 추가한다. 이러한 큰 기생성분의 추가는 RF IC에서 이득 감소나 잡음특성 저하와 같은 치명적인 성능 저하를 야기한다^[1]. 추가되는 커패시턴스를 줄이기 위해 여러 가지 방

* 정회원, 홍익대학교 전자전기공학과
(Department of Electronic & Electrical
Engineering, Hongik University)

※ 이 논문 2009학년도 홍익대학교 학술연구진흥비에
의하여 지원되었음.
접수일자: 2009년11월25일, 수정완료일: 2010년2월16일

법들이 제안되어 왔으나, 근원적인 방법은 보호용 소자 자체의 크기를 줄이는 것이며 그 예로서 싸이리스터 소자 또는 순방향 다이오드 소자를 이용하는 방법이 제안되어 사용되고 있다^[2-3].

본 논문에서는 표준 CMOS 공정의 사용을 가정하고 CMOS RF IC의 입력부에서 인체모델(Human-body model: HBM) 및 기계모델(Machine model: MM) 방전 대비용으로 사용되고 있는 싸이리스터 소자 또는 순방향 다이오드 소자를 이용하는 보호회로 방식을 소개한 뒤, HBM 테스트의 각종 방전모드에 대해 두 가지 보호 방식에 의한 방전 특성을 상세히 비교 분석해 본다.

MM 방전 특성은 기계와의 접촉저항이 작아 칩에 인가되는 전압파형에 oscillation이 발생한다는 점을 제외하면 정전기 방전경로가 HBM 경우와 동일하므로, HBM에 대한 ESD 강도로부터 MM에 대한 강도를 유추할 수 있는 것으로 알려져 있다. 따라서 본 논문의 내용은 HBM 테스트에 대한 분석만으로 제한한다.

본 논문에서 다루는 보호방식 외에도 다양한 변형들이 사용되고 있으나 본 논문에서 다루는 근원적 보호방식에서의 소자 파괴에 이르는 미커니즘의 규명은 대부분의 보호방식 설계에 가치 있는 정보를 제공한다는 면에서 의미가 있다. 선행 연구로는 NMOS 소자와 싸이리스터 소자를 사용하는 보호방식의 특성 비교연구^[4]가 있으며, 본 연구에서는 RF IC용으로 사용가능한 싸이리스터 소자와 다이오드 소자를 사용하는 보호방식의 비교 분석을 시도한다.

비교 분석을 위한 도구로는 열생성 모델을 포함하는 2차원 소자 시뮬레이터와 회로 시뮬레이터를 사용한다. 소자 시뮬레이터를 이용하는 분석은 시간적, 비용적 면에서의 장점뿐만 아니라 실제 제작 및 측정으로는 알 수 없는 보호용 소자 내부의 파괴 미커니즘의 규명을 가능케 한다는 장점이 있어 정전기 방전 분야에서도 널리 사용되며^[5-6] 그 결과의 신빙성이 인정되고 있는 분석 방법이다.

II장에서는 비교 분석에 사용할 ESD 보호용 소자들의 구조를 제시하고 DC 소자 시뮬레이션에 의한 소자 특성을 소개한다. DC 시뮬레이션 분석결과는 IV절에서 시행하는 혼합모드 과도 시뮬레이션 결과의 타당성을 설명하기 위해 사용된다. III장에서는 HBM 테스트의 방전모드에 대해 설명하고, 각 보호용 소자들을 이용하는 RF IC용 입력 보호회로를 제시한 뒤, 각 보호회로에서의 방전모드별 방전경로에 대해 설명한다. IV장에서는 능동 소자 시뮬레이션과 회로 시뮬레이션을 동시에

시행하는 혼합모드 과도 시뮬레이션 결과를 토대로 실제 방전 시의 취약모드를 규명하고, 입력버퍼의 게이트 산화막에 인가되는 최대전압, 보호용 소자내 최고온도 지점 등에 대해 상세한 분석 결과를 제시한다. V장에서는 AC 소자 시뮬레이션의 결과를 이용하여 제시한 보호회로를 사용하였을 경우 입력노드에 추가되는 기생 성분의 크기를 비교한다. VI장에서는 각 보호용 소자 설계 시 주의해야 할 사항들에 대해서 논의하고, VII절에서 결론을 맺는다.

II. 보호용 소자 구조 및 DC 특성

그림 1은 본 논문에서 가정한 보호용 NMOS 소자의 단면도를 보여준다. 이 소자는 비교 분석코자 하는 두 가지 보호방식에서 공통으로 $V_{DD}-V_{SS}$ 간 클램프 소자로 사용되며, 그림의 비교적 깊은 접합이 의미하듯이 n^+ 소스와 드레인에 ESD 이온주입을 시행한 보편적인 ESD 보호용 트랜지스터를 대변한다. HBM ESD 방전

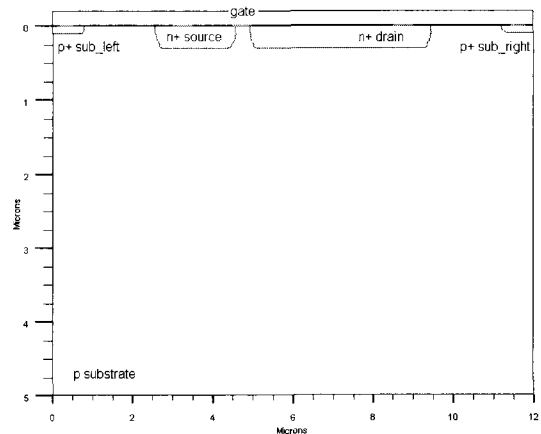


그림 1. 보호용 NMOS 소자의 단면도

Fig. 1. Cross section of the NMOS protection device.

표 1. 보호용 NMOS 소자의 주요 구조 파라미터

Table 1. Principal structure parameters of the NMOS protection device.

파라미터	값
게이트/유효채널 길이	0.50/0.38 μ m
게이트 산화막 두께	75Å
기판 도핑	$10^{16}/\text{cm}^3$
채널 피크 도핑	$2.35 \times 10^{17}/\text{cm}^3$
n^+ 소스/드레인 접합 깊이	0.3 μ m
p^+ 기판 접합 깊이	0.1 μ m
게이트-드레인 콘택 간격	3.5 μ m
게이트-소스 콘택 간격	1.0 μ m

시 NMOS 소자내 열발생에 의한 최고온도 지점은 게이트 쪽 드레인 접합에 나타나므로^[7], 이에 의한 드레인 콘택 용융 문제를 완화하기 위해 게이트와 드레인 콘택 간 거리를 3.5 μm 로 비교적 크게 한 구조를 가정하였다.

표 1에는 구조관련 주요 파라미터들을 정리하였다. n^+ 및 p^+ 확산영역의 도핑은 $1.2 \times 10^{20}/\text{cm}^3$ 의 피크농도를 갖는 가우시안 분포를 가정하였다.

그림 1의 상단 좌우 변에 위치한 p^+ 접합은 가드링 형태의 기판 콘택용 접합을 대변하며, p형 기판의 하단 노드에는 그림에는 표시하지 않았으나 원거리에 위치하는 기판 콘택까지의 분포저항을 고려하기 위해 $1\text{M}\Omega \cdot \mu\text{m}$ 의 저항을 직렬로 추가하였다.

2차원 소자 시뮬레이터 ATLAS^[8]를 이용하여 DC 시뮬레이션을 시행하였다. 시뮬레이션에는 충돌이온화 모델 등 필요한 모든 물리적 모델을 포함하였으며, 격자 온도 상승과 관련되는 모델로는 주열, 생성-결합 열, 펄터-툼슨 열 모델을 포함하였다. 소자내 열 방출이 실제적으로 리드프레임을 통해 일어나는 것을 감안하여 열방출 노드는 기판 노드로 지정하였다.

그림 2는 그림 1에 보인 보호용 NMOS 소자의 소스, 게이트 및 기판을 접지시킨 상태에서 드레인 전압 또는 전류를 증가시키며 시뮬레이션한 DC 특성을 반로그 스케일로 보여준다. 드레인 전압이 9.3V 정도에 이르면서 애벌랜치에 의한 접합의 항복이 일어난다. 9.4V에서의 횡방향 npn(n^+ 소스/p기판/ n^+ 드레인) 바이폴라 트랜지스터 트리거에 의해 그림 2의 'BJT trigger' 라고 표시한 부분에서 스넵백 현상이 발생한 후 드레인-소스간 전압은 4.6V 정도의 유지전압으로 감소한다. 그림 2의 2차 항복(2nd breakdown)은 드레인 전류가 1.3mA/ μm 를 초과

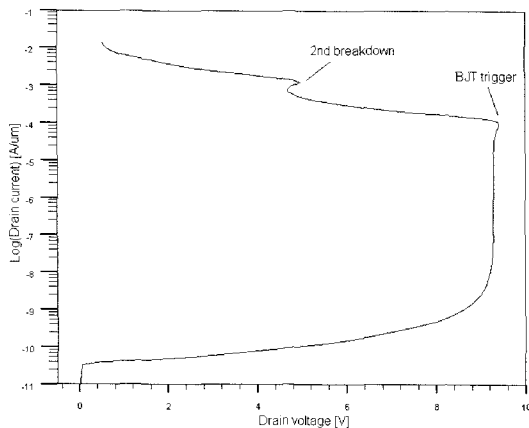


그림 2. 보호용 NMOS 소자의 드레인 전류-전압 특성
Fig. 2. Drain current-voltage characteristics of the NMOS protection device.

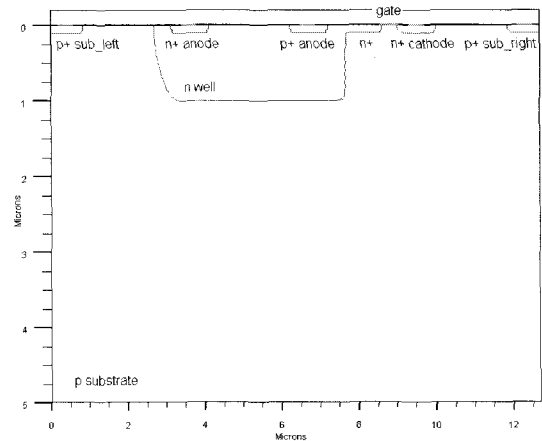


그림 3. 보호용 lvtr_thyristor 소자의 단면도
Fig. 3. Cross section of the lvtr_thyristor protection device.

표 2. 보호용 lvtr_thyristor 소자의 주요 구조 파라미터
Table 2. Principal structure parameters of the lvtr_thyristor protection device.

파라미터	값
p^+ 및 n^+ 접합 깊이	0.1 μm
n웰 깊이	1 μm
n^+ , p^+ 애노드 전극 간격	2.7 μm
NMOS 게이트/유효채널 길이	0.50/0.38 μm
NMOS 게이트 산화막 두께	75Å

하여 소자내 최고온도가 1100°K에 이르면서 발생하며, 이 경우 실제 소자에서는 드레인 콘택 용융과 관계되는 소자의 파괴가 발생한다. 보다 상세한 미케니즘은 [4]의 설명을 참고하기 바란다.

본 소자에서는 드레인 전압이 5V 미만인 구간에서는 MOS 채널을 따른 누설전류가 지배적이나 드레인 전압이 증가함에 따라 드레인 접합의 역방향 누설전류가 완만히 증가하다 드레인 전압이 9.3V 정도에 이르면서 애벌랜치에 의한 접합의 항복이 일어난다.

그림 3은 본 논문에서 가정한 보호용 lvtr_thyristor 소자의 구조를 보여준다. 이 소자는 [2]에서 스넵백 전압을 낮추기 위해 NMOS 트랜지스터를 조합시켜 제안된 pnpn 구조의 소자이다. lvtr_thyristor 소자는 표준 CMOS 공정에서 제작이 가능하며 소자내 NMOS 구조는 그림 1의 NMOS 소자와 유사하나 본 분석에서는 그림의 비교적 얇은 접합이 의미하듯이 ESD 이온주입을 시행하지 않은 소스 및 드레인 구조를 가정하였다.

표 2에는 lvtr_thyristor 소자의 구조관련 주요 파라미터들을 정리하였다. 그림 3의 n웰은 $10^{17}/\text{cm}^3$ 의 피크농도를 갖는 가우시안 분포를 가정하였고, 기판 도핑농

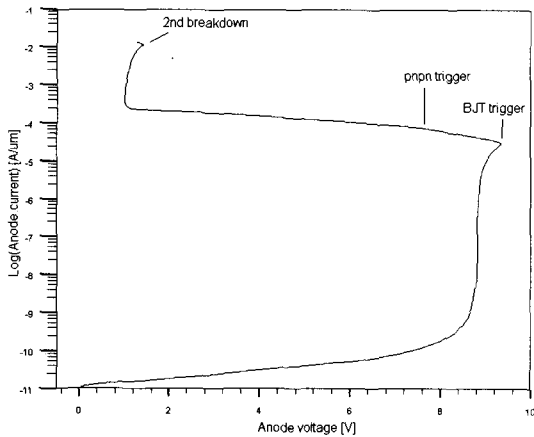


그림 4. 보호용 lvtr_thyristor 소자의 애노드 전류-전압 특성

Fig. 4. Anode current-voltage characteristics of the lvtr_thyristor protection device.

도, n^+ 및 p^+ 확산영역의 도핑 분포는 그림 1에서와 같다. 그림 3의 p형 기판 하단 노드에도 그림 1의 NMOS 소자에서와 같이 직렬저항을 추가하였다.

그림 4는 그림 3에 보인 lvtr_thyristor 소자의 NMOS 게이트, n^+ 캐소드, 기판을 접지시킨 상태에서 n^+ 애노드와 p^+ 애노드를 하나로 묶어 애노드 전압 또는 전류를 증가시키며 시뮬레이션한 특성을 보여준다.

lvtr_thyristor 소자 내에 포함되어 있는 NMOS 구조로 인해 off 상태의 특성은 그림 2의 NMOS 특성과 유사하게, 애노드 전압이 5V 미만에서는 n웰/ n^+ 캐소드 간 MOS 채널 누설전류가 지배적이며 애노드 전압이 증가함에 따라 전계의 세기가 가장 큰, n웰 우측의 n^+ 접합/p 기판 접합의 역방향 누설전류가 완만히 증가하다가 애노드 전압이 8.8V 정도에 이르면서 애벌랜치에 의한 접합의 항복이 일어난다. 이때 이 n웰 우측의 n^+ 접합은 NMOS 트랜지스터의 드레인 역할을 하며 항복전압은 그림 1에 보인 NMOS 소자에서의 접합과 형태가 달라 다소 낮게 나타난다.

9.4V에서의 횡방향 npn(n웰/p기판/ n^+ 캐소드) 바이폴라 트랜지스터 트리거에 의해 'BJT trigger' 라고 표시한 부분에서 스냅백 현상이 발생한 후, 다시 'pnpn trigger'라고 표시한 부분에서 pnpn 싸이리스터(p^+ 애노드/ n^+ 애노드/p기판/ n^+ 캐소드)가 트리거되면서 요구되는 애노드-캐소드 간 유지전압이 크게 감소하므로 애노드 전압의 보다 급격한 감소가 관찰된다. 결과적인 유지전압은 1V 정도의 값을 가지게 되며 이는 그림 2에 보인 NMOS 소자 경우에서의 유지전압 4.6V에 비해 현저히 낮다. 2차항복은 전류가 $12\text{mA}/\mu\text{m}$ 를 초과하여소자내 최고온도가 1100°K 에 이르면서 발생함을 확인하였다.

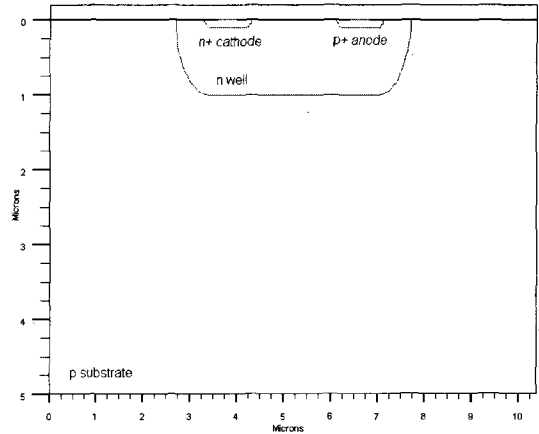


그림 5. 보호용 다이오드 소자의 단면도

Fig. 5. Cross section of the diode protection device.

그림 5는 본 논문에서 가정한 보호용 다이오드 소자의 단면도를 보여준다. 구조는 p^+ 애노드/n웰/ n^+ 캐소드로 이루어지며, 웰과 접합의 도핑은 lvtr_thyristor 소자 경우와 유사하며, p^+ 애노드와 n^+ 캐소드 콘택의 간격은 $2.4\mu\text{m}$ 로 지정하였다. n웰 내에 p^+ n 접합을 형성한 이유는 동일 소자를 입력패드- V_{SS} 간 뿐만 아니라 V_{DD} -입력패드 간 보호용 소자로도 사용하기 위함이다. 다른 소자 경우와 마찬가지로 기판 노드에 직렬 저항을 추가하였다.

기판과 p^+ 애노드를 접지시킨 상태에서 n^+ 캐소드를 양 또는 음의 전압을 인가하며 DC 순방향과 역방향 전류-전압 특성을 시뮬레이션하였다. 순방향 다이오드 전압강하는 전류가 $0.2\text{mA}/\mu\text{m}$ 일 때 0.95V 이고, 역방향 항복전압은 11.3V 정도임을 확인하였다. 보호용 소자의 주요 DC 특성을 정리하면 표 3과 같다.

표 3의 DC 특성은 IV절에서 다루는 과도 특성과 다소 차이가 있음을 주목할 필요가 있다. DC 시뮬레이션 경우는 소자에 해당 바이어스 상태가 지속적으로 인가되어 온도가 포화된 상태에서 흐르는 전류 값을 제시하므로, 과도 상태에서와 같이 인가전압이 빠르게 변할 경우에는 온도 상승에 지연이 발생하므로 전류-전압-온도 관계에 차이가 발생한다.

표 3. 보호용 소자의 주요 DC 특성

Table 3. Principal DC characteristics of the protection devices.

보호용 소자	유지전압	항복전압	스냅백전압
NMOS	4.6V	9.3V	9.4V
lvtr_thyristor	1.0V	8.8V	9.4V
다이오드	0.95V	11.3V	

III. 보호용 소자별 ESD 입력 보호회로

ESD 보호회로의 장착에 의해 입력패드에 추가되는 기생성분은 최소화되어야 하므로 입력패드에 연결되는 보호용 소자의 수는 적을수록 바람직하며, 소자 수를 줄이는 효과적인 방법은 V_{DD} - V_{SS} 클램프 NMOS 소자를 이용하는 것이다. 그림 6, 7은 추가되는 기생성분을 최소화하며 lvtr_thyristor 소자 또는 다이오드 소자를 이용하는, 본 논문에서 비교분석을 위해 선정된 RF IC 용 입력 ESD 보호회로 방식을 보여준다. 그림에는 칩 내부 입력버퍼의 예로서 CMOS 인버터를 포함하였다.

그림 6의 T_1 에는 그림 3의 lvtr_thyristor 소자를 사용하며 p^+ 및 n^+ 애노드는 패드에, p 기판 및 n^+ 캐소드는 V_{SS} 에 연결한다. T_1 내부의 NMOS 게이트도 정상 동작 시 오프상태 유지를 위해 V_{SS} 에 연결한다. 클램프 소자인 M_2 에는 그림 1의 NMOS 소자를 사용한다. 클램프 소자를 포함하여 모든 보호용 소자는 패드 근처에 위치하여 ESD 인가전압에 의한 입력버퍼단 게이트 전압의 상승이 최소화되도록 하는 것이 중요하다.

그림 7의 D_1 과 D_2 에는 그림 5의 다이오드 소자를 사

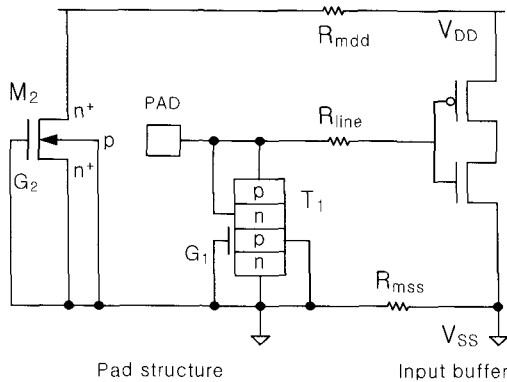


그림 6. lvtr_thyristor 소자를 이용하는 보호회로
Fig. 6. Protection circuit utilizing the lvtr_thyristor device.

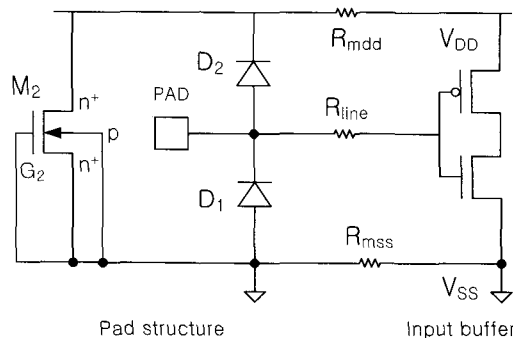


그림 7. 다이오드 소자를 이용하는 보호회로
Fig. 7. Protection circuit utilizing the diode device.

용한다. D_1 경우 n^+ 캐소드는 패드에, p 기판 및 p^+ 애노드는 V_{SS} 에 연결한다. D_2 경우에는 p^+ 애노드, n^+ 캐소드 및 기판은 각각 패드, V_{DD} , V_{SS} 에 연결한다.

입력 핀 HBM 테스트는 발생 가능한 모든 방전모드를 포함해야 하므로 다음에 정의하는 5가지 모드에 대해 테스트가 진행된다.

- 1) PS 모드: VSS 핀 접지상태에서 입력 핀에 $+V_{ESD}$ 인가
- 2) NS 모드: VSS 핀 접지상태에서 입력 핀에 $-V_{ESD}$ 인가
- 3) PD 모드: VDD 핀 접지상태에서 입력 핀에 $+V_{ESD}$ 인가
- 4) ND 모드: VDD 핀 접지상태에서 입력 핀에 $-V_{ESD}$ 인가
- 5) PTP 모드: 한개 입력 핀 접지상태에서 다른 입력 핀에 $+V_{ESD}$ 인가

lvtr_thyristor 소자를 이용하는 보호회로에서의 주 방전경로는 그림 8에서 볼 수 있듯이, PS 모드 경우에는 T_1 의 pnpn 싸이리스터가 주 방전경로가 되고, NS 모드 경우에는 T_1 의 p기판/ n^+ 애노드 순방향 다이오드가 주 방전경로가 된다. PD 모드 경우에는 T_1 의 pnpn 싸이리스터와 M_2 의 p기판/ n^+ 드레인 순방향 다이오드가 직렬로 주 방전경로를 형성하고, ND 모드 경우에는 M_2 의 바이폴라 트랜지스터와 T_1 의 p기판/ n^+ 애노드 순방향 다이오드가 직렬로 주 방전경로를 형성한다.

소자내 온도 상승은 전류밀도와 전계의 곱에 비례하므로 pnpn 싸이리스터나 순방향 다이오드에 비해 유지 전압이 높은 바이폴라 트랜지스터 방전경로에서 온도 상승의 문제가 발생할 수 있다. 따라서 ND 모드를 대

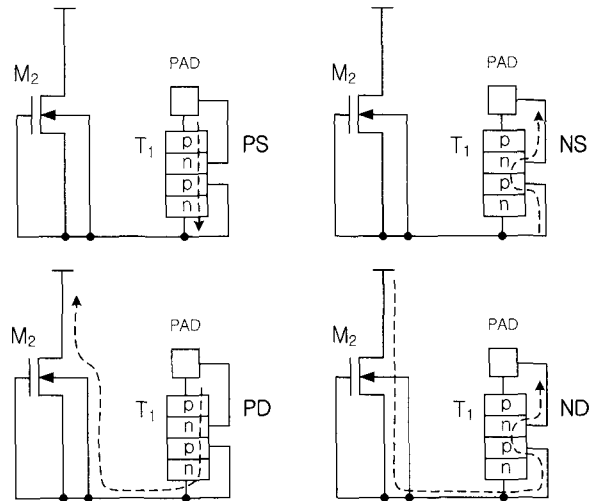


그림 8. lvtr_thyristor 소자를 이용하는 보호회로의 네 가지 테스트 모드별(PS, NS, PD, ND) 주 방전경로
Fig. 8. Main discharge paths for four test modes in the protection circuit utilizing the lvtr_thyristor device.

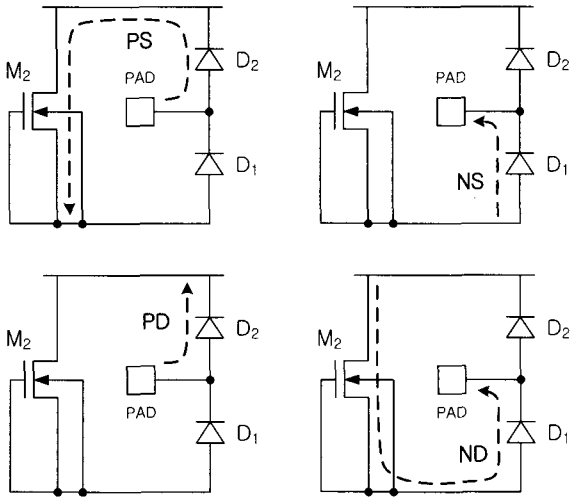


그림 9. 다이오드 소자를 이용하는 보호회로 경우 네 가지 테스트 모드별(PS, NS, PD, ND) 주 방전 경로

Fig. 9. Main discharge paths for four test modes in the protection circuit utilizing the diode device.

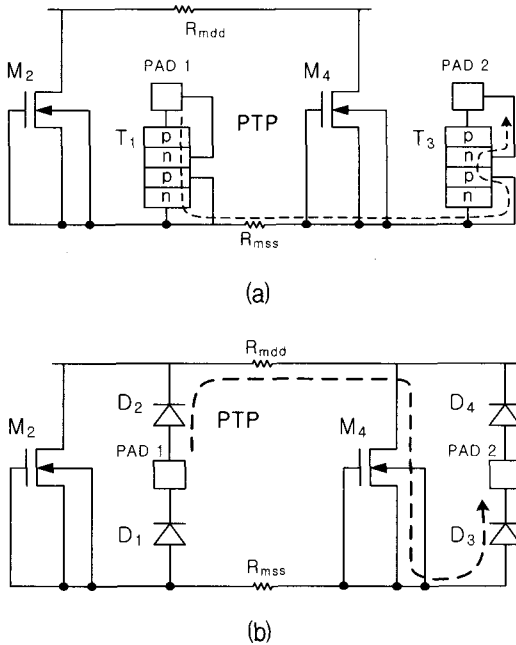


그림 10. (a) lvtr_thyristor 소자와 (b) 다이오드 소자를 이용하는 보호회로 경우 PTP 모드에서의 주 방전 경로

Fig. 10. Main discharge path for the PTP mode in the protection circuits utilizing (a) the lvtr_thyristor device and (b) the diode device.

비하여 M_2 에 충분한 소자폭을 지정하여야 한다.

그림 9는 다이오드 보호방식에서의 주 방전경로를 보여준다. PS 모드 경우에는 D_2 의 순방향 다이오드와 M_2 의 npn 바이폴라 트랜지스터가 직렬로 방전 경로를 제공하고, NS 모드에서는 D_1 의 순방향 다이오드가 방전 경로를 제공한다. PD 모드에서는 D_2 의 순방향 다이

오드가 주 방전경로가 되고, ND 모드에서는 M_2 의 npn 바이폴라 트랜지스터와 D_1 의 순방향 다이오드가 직렬로 방전 경로를 제공한다. 순방향 다이오드에서의 열 발생은 상대적으로 적어 다이오드 소자의 폭은 작게 지정할 수 있으나, PS와 ND 모드를 대비하여 M_2 에 충분한 소자폭을 지정하여야 한다.

그림 10은 PTP 모드에서의 주 방전경로를 보여준다. lvtr_thyristor 보호방식 경우에는 그림 10(a)에서 볼 수 있듯이, T_1 의 prnpn 싸이리스터와 다른 입력패드에 위치한 T_3 의 p기판/n⁺애노드 순방향 다이오드가 직렬로 pad 1에서 pad 2로의 주 방전경로를 형성한다. 다이오드 보호방식 경우에는 그림 10(b)에서 볼 수 있듯이, 순방향 다이오드 D_2 , D_3 와 M_4 의 npn 바이폴라 트랜지스터가 직렬로 주 방전경로를 제공한다.

IV. HBM 혼합모드 과도 시뮬레이션

HBM 테스트 상황은 그림 11의 등가회로로 모델될 수 있다^[4]. 그림의 등가회로는 PS 모드를 가정한 것이며, 'Test environment'라고 표시된 부분은 테스트 장비의 연결 상황에 대한 등가회로에 해당된다. C_{ESD} 와 R_{ESD} 는 각각 인체의 커패시턴스와 접촉저항을 의미하며 국제표준에 의해 100pF과 1.5kΩ로 지정하였다. C_s , C_t , L_s 는 테스트 장비와 칩 사이에 존재하는 작은 기생요소들로서 이들에 대한 전형적인 값인 1pF, 10pF, 5μH^[9]를 각각 지정하였다. 그림의 V_{ESD} 는 ESD 인가전압에 해당되며 스위치 S_1 , S_2 의 온오프 전환에 의해 커패시터 C_{ESD} 에 충전된 전하의 방전이 시작된다. 시뮬레이션 시 스위치 절환 시간은 매우 짧게 0.15ns로 가정하였고 이에 따라 S_2 우측 노드의 전압은 0s에 0V, S_2 단락 시점

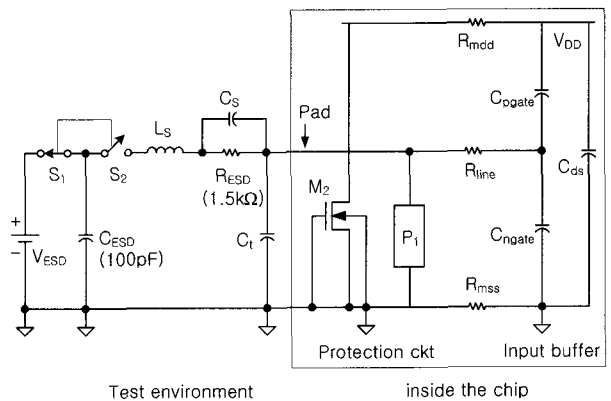


그림 11. HBM 테스트 등가회로

Fig. 11. An equivalent circuit of the HBM test.

인 0.15ns에 V_{ESD} 전압(예: 2000V)으로 상승하면서 방전이 시작된다. 그림에서 칩 내부의 패드 부분에는 $V_{DD}-V_{SS}$ 클램프 NMOS 소자와 보호용 소자 P_1 을 보호회로의 예로서 도시하였다. 다이오드 보호방식 경우에는 V_{DD} -패드 사이에 다이오드 소자가 추가된다.

칩 내부의 입력버퍼로는 CMOS 인버터를 가정하고 등가회로를 그림에서와 같이 커패시터로 모델링하였다. C_{ngate} , C_{pgate} , C_{ds} 는 각각 입력버퍼단의 NMOS 게이트 산화막 커패시터, PMOS 게이트 산화막 커패시터, n웰/p기판 간 접합 커패시터를 대변하며 각각 0.1pF, 0.1pF, 0.01pF의 보편적인 값을 가정하였다. 이와 같이 간단한 모델링 방법을 선택한 이유는 인버터의 NMOS와 PMOS 게이트에 인가되는 방전전압에 의한 게이트 산화막 파괴문제를 분석코자 하는 본 혼합모드 시뮬레이션의 의도에 근거한다.

R_{line} , R_{mdd} , R_{mss} 는 각각 입력 신호선 저항, V_{DD} 및 V_{SS} 금속배선 저항을 의미한다. 본 논문에서는 ESD에 보다 취약한, 패드에 가까이 위치한 입력버퍼 경우를 가정하여 $R_{line}=R_{mss}=R_{mdd}=5\Omega$ 으로 비교적 작게 지정하였다. 패드에서 멀리 위치한 입력버퍼 경우에는 R_{line} , R_{mss} , R_{mdd} 증가에 따른 RC 지연에 의해 입력버퍼에 상대적으로 낮은 전압이 인가되어 게이트 산화막 파괴 문제가 작아진다.

그림 11의 HBM 테스트 등가회로를 사용하여, 그림 6, 7의 두 가지 보호회로를 사용하는 각각의 경우에 대해 혼합모드 과도 시뮬레이션을 시행하였다. 혼합모드 시뮬레이션 시 그림 11의 회로에 대해 회로 시뮬레이션이 수행되는 것과 동시에, 보호용 소자에 대해서는 소자 시뮬레이션이 연동되어 수행된다. 따라서 시뮬레이션 결과로부터 그림 11의 각 노드 전압 및 마디 전류의 시간에 따른 변화뿐만 아니라, 측정으로는 알 수 없는 보호용 소자내 전위, 전류, 격자온도 등 시간에 따른 모든 소자내 변화도 확인할 수 있다. 그림 10(b)의 PTP 모드에 대한 혼합모드 시뮬레이션 시에는 총 6개의 보호용 소자에 대한 소자 시뮬레이션이 이루어지므로 시뮬레이션 시간이 가장 긴 경우가 된다.

모든 혼합모드 과도 시뮬레이션에 대해 V_{ESD} 는 일반적으로 요구되는 2000V로 지정하였다. 또한 보편성 있는 비교를 하기 위해서는 서로 다른 두 가지 보호회로에서 보호용 소자 내 열발생이 동일한 수준이 되도록 하는 것이 필요하다. 따라서 혼합모드 시뮬레이션 시 보호용 소자 내 최고온도가 각각 500°K 정도가 되도록 수차례의 시뮬레이션을 거쳐 보호용 소자의 폭을 조정

하였고, 그 결과 소자폭은 클램프 NMOS 소자 경우 250 μ m, lvtr_thyristor 소자 경우 20 μ m, 다이오드 소자 경우 15 μ m가 되었다.

혼합모드 시뮬레이션 결과의 예로서, 그림 12는 lvtr_thyristor 보호회로를 사용할 경우 그림 8의 ND 모드에서 주방전 경로(M_2 , T_1 직렬 경로) 상에 있는 NMOS 소자 M_2 에서의 시간에 따른 드레인 전류 변화를 보여준다. 최대 전류는 1.37A에 이르며 그림 11의 등가회로에서 추정할 수 있듯이 대략적으로 $R_{ESD}C_{ESD}=1.5k\Omega \times 100pF=0.15\mu s$ 의 시정수에 의한 방전특성이 관찰된다.

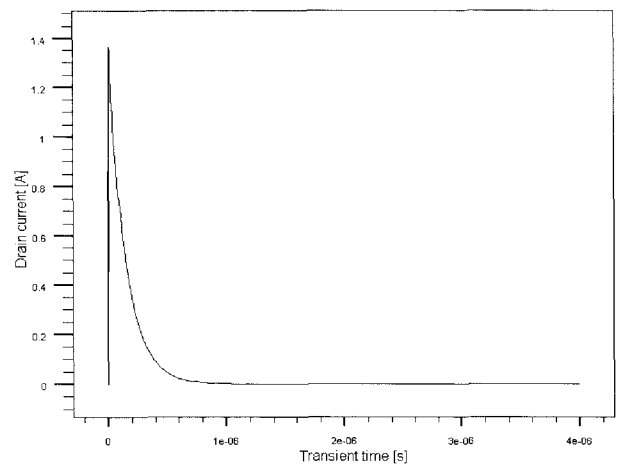


그림 12. lvtr_thyristor 보호회로 사용 경우 ND 모드에서 M_2 의 드레인 전류 변화

Fig. 12. Variation of the drain current of M_2 in the ND mode in case of using the lvtr_thyristor protection circuit.

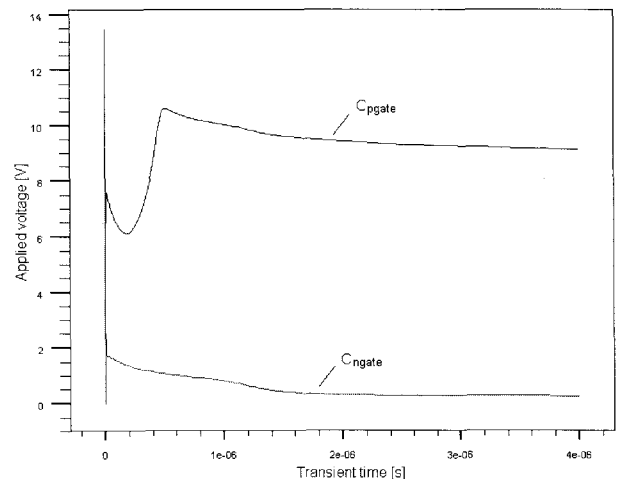


그림 13. lvtr_thyristor 보호회로 사용 경우 ND 모드에서의 C_{ngate} 및 C_{pgate} 인가전압의 변화

Fig. 13. Variations of the voltages developed on C_{ngate} and C_{pgate} in the ND mode in case of using the lvtr_thyristor protection circuit.

그림 13은 동일한 시뮬레이션 결과로부터 시간에 따른 입력버퍼단의 C_{ngate} 및 C_{pgate} 인가전압 변화를 보여 준다. 여기서 패드전압은 C_{ngate} 인가전압과 거의 차이가 나지 않아 도시하지 않았다.

여기서 주방전 경로에 있는 M_2 의 전류-전압 특성은 그림 2의 DC 특성으로부터 어느 정도 예측이 가능하다. 방전 개시에 의해 소자에 인가되는 전압이 상승하여 9.3V의 항복전압에 이르면 방전전류가 증가하여도 소자간 전압은 항복전압으로 제한되며, 이후 방전전류의 지속적 증가에 의해 바이폴라 트랜지스터가 트리거되면서 소자간 전압은 4.6V 정도로 감소할 것이다(소자가 2차항복에 들어가지 않을 경우). 바이폴라 트랜지스터를 통한 방전이 진행된다면 그림 11의 C_{ESD} 충전전하 감소로 인해 소자를 통한 방전전류가 감소하여 바이폴라 트랜지스터가 off되는 시점에는 소자간 전압이 9.4V까지 상승할 것이며, 이후 방전전류가 감소하여도 소자간 전압은 9.3V의 항복전압으로 유지될 것이다. 이후 방전전류가 지속적으로 감소하면서 소자는 항복모드를 벗어나 역방향 누설모드에서 동작하여 소자간 인가전압은 서서히 0으로 감소하며 방전이 종료될 것임을 예측할 수 있다.

DC 특성에 의한 예측을 이용하여 그림 13의 시간에 따른 전압 변화를 분석해 보자. 그림 13에서 방전 초기 패드- V_{DD} 간 전압(C_{pgate} 인가전압과 동일)이 10.8V로 상승하는 시점(S_2 단락 후 0.72ns)에 NMOS 소자 M_2 내 바이폴라 트랜지스터가 먼저 트리거되나 이와 직렬로 방전경로를 제공하는 싸이리스터 T_1 의 순방향 다이오드 트리거는 이보다 늦어 패드- V_{DD} 간 전압이 13.5V로 상승하는 시점(S_2 단락 후 0.83ns 경과 시점)에 이루어진다. 이때 순방향 다이오드에 인가되는 최대전압은 7.7V에 이름을 확인하였다. 여기서 M_2 및 T_1 의에 인가되는 최대전압은 소자의 트리거 소요시간으로 인해 DC 특성에 의한 예측과는 큰 차이가 발생함을 알 수 있다.

T_1 의 순방향 다이오드 트리거 후 패드- V_{DD} 간 전압은 바이폴라 유지전압(5V)과 다이오드 순방향 전압강하(2V)의 합인 7V 정도로 감소하며 M_2 의 바이폴라 트랜지스터와 T_1 의 순방향 다이오드를 통한 주방전이 진행된다. 여기서 각 소자간 인가전압은 온도의 차이로 인해 DC 특성과는 차이가 발생하며, T_1 의 다이오드 순방향 전압강하는 큰 방전전류로 인해 비교적 커진다.

방전전류가 M_2 의 바이폴라 유지전류 이하로 감소하는 $0.5\mu s$ 정도에 바이폴라 동작에 의한 주방전이 종료되면서 C_{pgate} 인가전압은 10.6V 정도로 재상승하여 오

랜 시간 유지됨을 알 수 있다. 이 전압은 M_2 의 항복전압(9.5V)과 T_1 의 순방향 다이오드 전압강하(1.1V)의 합에 해당된다. M_2 의 항복전압은 역시 온도 차이로 인해 DC 특성과는 차이가 나나 드레인 접합의 항복전압에 해당되며, 바이폴라 동작이 종료된 이후의 방전은 본 접합의 항복모드 누설전류($1.6 \times 10^{-4} A/\mu m$ 미만)에 의해 장시간 지속된다. 추가의 시뮬레이션에 의해 C_{pgate} 인가전압이 5V까지 감소하는 데 소요되는 시간은 $434\mu s$, 3V까지 감소하는 데 소요되는 시간은 1.05ms에 이름을 확인하였다.

종합해보면 방전 후기 C_{pgate} 에는 최대 10.7V 정도의 전압이 인가되며, C_{ngate} 인가전압은 T_1 에 인가되는 전압과 동일하므로 C_{pgate} 인가전압 대비 낮게 유지된다.

그림 14는 다이오드 보호회로를 사용할 경우 그림 9의 PS 모드에서 입력버퍼단의 C_{ngate} 인가전압과 C_{pgate} 인가전압의 변화를 보여준다. 주방전 경로 상에 있는 다이오드(그림 7의 D_2)의 애노드 전류 변화는 그림 12와 유사함을 확인하였다.

C_{ngate} 및 C_{pgate} 인가전압의 변화 유형은 그림 13의 싸이리스터 보호회로 사용 시의 ND 모드 경우와 유사하며 방전 미케니즘 또한 유사하다. 방전 초기 패드- V_{SS} 간 전압(C_{ngate} 인가전압과 동일)이 10.9V로 상승하는 시점(S_2 단락 후 0.72ns)에 NMOS 소자 M_2 내 바이폴라 트랜지스터가 먼저 트리거되나 다이오드 D_2 의 순방향 트리거는 이보다 늦어 패드전압이 13.4V 정도로 상승하는 시점(S_2 단락 후 0.81ns 경과 시점)에서 이루어지며

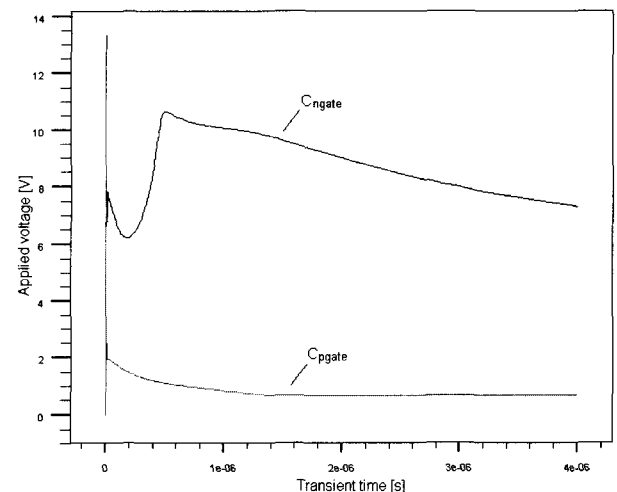


그림 14. 다이오드 보호회로 사용 경우 PS 모드에서의 C_{ngate} 및 C_{pgate} 인가전압의 변화

Fig. 14. Variations of the voltages developed on C_{ngate} and C_{pgate} in the PS mode in case of using the diode protection circuit.

이때 다이오드에 인가되는 최대전압은 7.5V에 이를을 확인하였다. D_2 의 순방향 트리거 후 패드전압이 다이오드 순방향 전압강하(2V)와 바이폴라 트랜지스터 유지전압(5V)의 합인 7V 정도로 감소하며 D_2 의 순방향 다이오드와 M_2 의 바이폴라 트랜지스터를 통한 주방전이 진행된다.

방전전류가 M_2 의 바이폴라 유지전류 이하로 감소한 $0.50\mu s$ 정도에 바이폴라 동작에 의한 주방전이 종료되면서 C_{ngate} 인가전압은 10.6V 정도로 재상승함을 볼 수 있다. 이 전압은 D_2 의 순방향 전압강하(1.1V)와 M_2 의 항복전압(9.5V)의 합에 해당된다. M_2 의 항복전압은 드레인 접합의 항복전압에 해당되며, 바이폴라 동작이 종료된 이후의 방전은 본 접합의 항복모드 누설전류에 의해 장시간 지속된다. 그림 14에서 C_{pgate} 인가전압은 D_2 에 인가되는 전압과 동일하므로 C_{ngate} 인가전압 대비 낮게 유지된다.

1. 방전 초기 입력버퍼단 게이트 산화막 인가전압

시도한 모든 테스트 모드 분석 결과, 방전초기 M_2 의 바이폴라 트랜지스터, lvtr_thyristor 소자의 pnpn 싸이리스터 및 다이오드 소자의 순방향 다이오드의 트리거에 소요되는 시간은 각각 0.72ns, 0.77ns 및 0.81ns에 이르며, 이 소요시간으로 인해 S_2 단락 직후 보호용 소자에는 순간적으로 스냅백전압이나 순방향 다이오드 전압보다 높은 전압이 유기되어 그림 13과 14에서 볼 수 있는 바와 같이 방전초기 패드 및 입력버퍼단 게이트 산화막에 높은 전압이 인가됨을 확인하였다.

테스트 모드에 따라 방전 초기 입력버퍼단의 게이트 산화막에 인가되는 최대전압은 C_{ngate} 또는 C_{pgate} 에 나타나며, 각 모드별로 시행한 혼합모드 시뮬레이션 결과로부터 방전 초기 최대전압이 인가되는 테스트 모드를 취약모드로 정의하여 최대전압의 크기 및 인가 위치, 시점을 정리하면 표 4와 같다.

표 4. 방전 초기 입력버퍼단 게이트 산화막 인가 최대전압

Table 4. Peak voltage applied to the input-buffer gate oxides in the early stage of discharge.

보호회로 방식	취약 모드	최대전압[V]		시점[ns]
		C_{ngate}	C_{pgate}	
lvtr_thyristor	PS	12.8		0.77
	PD		13.3	0.66
	ND		13.5	0.83
다이오드	PS	13.4		0.81
	ND		13.3	0.81

표 4의 최대전압은 과도한 것으로 생각될 수도 있으나, 이러한 전압이 예를 들어 10V 이상 인가되는 기간은 최대 0.3ns 미만일 정도로 매우 짧아, 방전 초기의 인가전압으로 인한 입력버퍼단 게이트 산화막의 손상은 발생하지 않을 것으로 판단된다^[10].

문제가 된다면 이러한 순간적 전압 상승은 NMOS 소자의 항복전압을 낮춰 바이폴라 트리거 전압을 낮춤으로써 억제할 수 있다. 이를 위한 방법으로 게이트결합 NMOS 구조(gcNMOS)^[11]를 채택함으로써 트리거 전압을 off 상태 DC 항복전압보다 낮게 하는 것이 가능하다. 이는 게이트-드레인 간에 결합 커패시터(C_c)를 연결하여 양의 ESD 펄스가 드레인에 인가될 경우 게이트 전압도 함께 상승하여 NMOS 트랜지스터를 즉시 on 시키고, 게이트와 V_{SS} 노드 간 저항(R_G)을 추가하여 게이트 노드의 방전을 잠시 지연시키는 원리를 이용하는 기술이다. 이때 NMOS 트랜지스터의 on 기간은 $R_G C_c$ 시정수에 의해 결정된다. NMOS 트랜지스터를 on 시키는 것은 상대적으로 낮은 드레인-소스 간 전압에서 충동이온화에 의한 정공의 생성을 증가시켜 항복전압을 낮추는 효과를 가져 온다.

보호용 NMOS 소자 구조에는 이미 게이트-드레인 오버랩 커패시턴스(C_{gd})가 존재하므로 입력노드에 추가의 커패시턴스를 부가함 없이 간단히 게이트- V_{SS} 간에 직렬저항만을 추가함으로써 유사한 효과를 얻을 수 있다. lvtr_thyristor 소자 경우에도 동일한 NMOS 구조가 존재하므로 동일한 방법의 사용이 가능하다.

설명한 바와 같이 게이트 노드에 직렬저항을 추가함으로써 방전초기의 순간적 전압상승의 억제를 확인하기 위해 추가의 다이오드 보호회로 사용시 PS 모드에 대한 시뮬레이션을 시행하였다. 250 μm NMOS 소자의 게이트(그림 7의 G_2)- V_{SS} 간에 10k Ω 의 저항을 추가하여 NMOS 트랜지스터를 5ns 정도 기간 동안 on 시키는 것은 NMOS의 바이폴라 트랜지스터 트리거 전압을 8.7V로 낮추기에 충분하였다. 이 경우 바이폴라 트리거 시점은 0.5ns로 감소하며 이때 게이트 전압은 1.45V까지 상승함을 확인하였다. 결과적으로 C_{ngate} 에 인가되는 방전초기 최대전압은 10.1V로 감소하여 방전 후기의 최대전압(10.7V)에 비해 낮게 제한할 수 있음을 확인하였다. 50k Ω 이상의 저항을 사용하여 NMOS 트랜지스터를 30ns 이상 on 시키는 것은 주방전 전류가 보다 장시간 표면 채널로 집중되게 하여 오히려 열발생을 증가시키는 악영향을 가져올 수 있음도 확인하였다.

20 μm lvtr_thyristor 소자 경우에는 NMOS 소자 대

비 소자폭이 1/12.5이므로 동일한 시정수를 얻기 위해 125kΩ의 저항을 게이트(그림 6의 G_1)- V_{SS} 간에 연결함으로써 PS 모드에서 C_{ngate} 에 인가되는 방전초기 최대전압을 12.8V에서 8.7V로 감소시킬 수 있음을 확인하였다. 이때 게이트 전압은 0.65ns에 1.1V 정도만 상승하나 원하는 효과를 얻기에 충분하였다. 게이트에 유도되는 전압이 낮은 이유는 lvtr_thyristor 소자 경우 n^+ 애노드에서 n웰 우측의 n^+ 접합에 이르는 n웰 저항으로 인한 직렬 전압분배로 인해 게이트에 유기되는 전압이 감소하기 때문이다.

2. 방전 후기 입력버퍼단 게이트 산화막 인가전압

방전 후기 입력버퍼단 게이트 산화막에 걸리는 최대전압 역시 테스트 모드에 따라 C_{ngate} 또는 C_{pgate} 에 나타나며, 각 모드별 시행한 혼합모드 과도 시뮬레이션 결과로부터 방전 후기 최대전압이 인가되는 테스트 모드를 취약모드로 정의하여 최대전압의 크기를 정리하면 표 5와 같다.

방전 후기의 패드전압은 방전 초기와 달리 장시간 유지되므로 입력 버퍼단 게이트 산화막의 파괴를 야기할 수 있다. lvtr_thyristor 보호회로 사용 경우 ND 모드에서 C_{pgate} 에 10.6V의 최대전압이 인가된다. 이 전압은 앞서 설명한 바와 같이 클램프 NMOS 소자(M_2)의 드레인 항복전압과 lvtr_thyristor 소자(T_1)내 다이오드 순방향 전압강하의 합에 해당된다. C_{ngate} 에는 PD 모드 경우 7.6V의 최대전압이 인가된다. 이 전압은 그림 8의 PD 모드에서 알 수 있듯이 방전 후기 lvtr_thyristor 소자(T_1)에 인가되는 전압(7.6V)에 해당되며 이는 표 3의 DC 항복전압(8.8V)보다 작다. 이는 pnpn 싸이리스터를 통한 주방전 시간(0.9μs)이 NMOS 소자내 바이폴라 트랜지스터 경우(0.5μs)에 비해 길어 싸이리스터 off 후 방전전류가 $3.5 \times 10^{-9} A/\mu m$ 미만으로 극히 작아져 이미

표 5. 방전 후기 입력버퍼단 게이트 산화막 인가 최대전압
Table 5. Peak voltage applied to the input-buffer gate oxides in the later stage of discharge.

보호회로 방식	취약모드	최대전압[V]	
		C_{ngate}	C_{pgate}
lvtr_thyristor	PD	7.6	
	ND		10.6
다이오드	PS	10.6	
	ND		10.6
	PTP	10.8	10.8

항복모드를 벗어나 역방향 누설모드에서 동작함에 기인하는 것으로 판단된다.

다이오드 보호회로 사용 경우에는 PS 모드와 ND 모드에서 각각 C_{ngate} 와 C_{pgate} 에 10.6V의 최대전압이 인가되며, 이는 NMOS 소자(M_2)의 드레인 항복전압과 다이오드 소자(D_2 또는 D_1)내 순방향 전압강하의 합에 해당된다. PTP 모드 경우에는 C_{ngate} 와 C_{pgate} 에 각각 10.8V의 최대전압이 인가되며, 이는 그림 10(b)에서 알 수 있듯이 NMOS 소자(M_4)의 드레인 항복전압과 다이오드 소자(D_2 또는 D_3)내 순방향 전압강하의 합에 해당된다.

표 5의 방전 후기 게이트 산화막에 인가되는 최대전압을 기준으로 볼때 lvtr_thyristor 보호회로 경우 최고 취약모드는 ND 모드이며 입력버퍼단의 PMOS 게이트 산화막이 상대적으로 취약함을 알 수 있다. 다이오드 보호회로 경우 최고 취약모드는 PTP 모드이며 NMOS와 PMOS 게이트 산화막이 동일한 수준으로 취약함을 알 수 있다.

표 5의 취약모드에서 입력버퍼단의 게이트 산화막에 인가되는 최대전압은 보호회로 방식 간에 큰 차이가 없음을 알 수 있다. 이는 취약모드에서의 최대전압이 주로 $V_{DD}-V_{SS}$ 클램프 NMOS 소자의 드레인 항복전압에 의해 결정되기 때문이다. 항복전압은 게이트결합 기술로도 낮출 수 없으므로 이를 낮추기 위해서는 접합 엔지니어링이 필수적이라 할 수 있으나, 본 연구에서는 이를 위한 시도는 시행하지 않았다.

3. 열적파괴 측면의 취약모드 및 최고온도 위치

다이오드 보호회로 경우 PS 모드에서의 주 방전경로는 순방향 다이오드 D_2 와 M_2 내 바이폴라 트랜지스터로 이루어지는 직렬경로이며 최고온도는 M_2 소자에서 나타난다. 그림 15는 시간에 따른 M_2 소자내 최고온도의 변화를 보여준다. 바이폴라 동작 기간 중인 30ns 정도에 최고 495°K까지 상승 후 방전전류의 감소에 따라 서서히 감소한다. 소자내 2차원 온도 분포를 조사한 결과 최고온도 지점은 게이트 쪽 n^+ 드레인 접합임을 확인하였다. 소자 폭이 15μm으로 지정된 D_2 내 최고온도는 45ns 정도에 최고 485°K까지 상승하며 최고온도 지점은 n^+ 캐소드 접합임을 확인하였다.

싸이리스터 보호회로 경우 PS 모드에서의 주 방전경로는 T_1 이므로 최고온도는 T_1 소자에서 나타난다. 0.9ns 정도에 잠시 최고 473°K까지 상승 후 pnpn 싸이리스터가 트리거되면서 유지전압 감소와 동시에 330°K까지 감소한 후 방전전류의 증가와 더불어 재상승하여 47

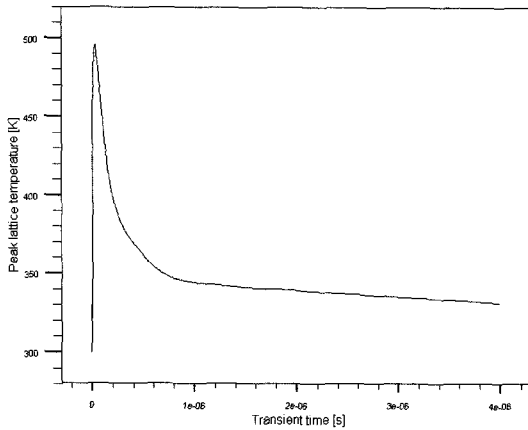


그림 15. 다이오드 보호회로 사용 경우 PS 모드에서의 NMOS 소자(M₂)내 최고온도 변화
 Fig. 15. Variation of the peak temperature inside the NMOS device(M₂) in the PS mode in case of using the diode protection circuit.

ns에 421°K까지 상승한 뒤 방전전류의 감소에 따라 서서히 감소한다. 0.9ns에서 최고온도 지점은 높은 전계가 인가되어 항복이 발생하는 n웰 우측의 n⁺ 접합이고, 47 ns에서 최고온도 지점은 전류가 집중되는 n⁺ 캐소드 접합임을 확인하였다.

보호용 소자내 온도 상승이 가장 높은 모드를 취약모드로 정의할 경우, 각 보호회로 방식별 취약모드, 소자내 최고온도 위치 및 시점은 표 6과 같다.

두 가지 보호회로 방식에 공통으로 사용되는 NMOS 소자에서의 최고온도 지점은 모두 게이트 쪽 드레인 접합이며, 이러한 현상이 그림 1에서 게이트/드레인 콘택 간격을 크게 지정하는 이유가 된다.

lvtr_thyristor 보호회로 경우 T₁ 소자에서의 최고온

표 6. 보호회로 방식별 취약모드, 최고온도 위치 및 시점

Table 6. Weak modes, peak temperature locations and times depending on the protection scheme.

보호회로 방식	취약모드	최고온도 [°K]	최고온도	
			위치	시점 [ns]
lvtr_thyristor	PS	473	T ₁ 의 n웰 우측 n ⁺ 접합	0.9
		421	T ₁ 의 n ⁺ 캐소드 접합	47
	ND	495	M ₂ 의 게이트 쪽 드레인 접합	33
다이오드	all	485	D ₁ 또는 D ₂ 의 n ⁺ 캐소드 접합	43~48
	PS, ND	495	M ₂ 의 게이트 쪽 드레인 접합	32, 34

도 지점은 n웰 우측의 n⁺ 접합이나, 본 접합에는 콘택이 없어 콘택 용융에 의한 문제발생의 우려는 작다고 할 수 있다.

표에서 볼 수 있듯이 lvtr_thyristor 소자내 두 번째 최고온도 지점은 n⁺ 캐소드 접합이며, 이 접합을 보완하기 위해 접합면적의 증가 또는 ESD 이온주입 등의 접합 엔지니어링을 고려할 수 있겠다. 하지만 n⁺ 캐소드는 패드에 연결되지 않으므로 입력노드에 추가되는 커패시턴스는 증가하지 않는다.

다이오드 보호회로 경우 D₁ 또는 D₂ 소자에서의 최고온도 지점은 n⁺ 캐소드 접합이며, 이 접합을 보완하기 위해 lvtr_thyristor 소자 경우와 유사한 접합 엔지니어링을 고려할 수 있겠다. 하지만 n⁺ 캐소드는 n웰 내에 위치하므로 n웰의 크기가 증가하지 않는 한 입력노드에 추가되는 커패시턴스는 증가하지 않는다.

V. AC 소자 시뮬레이션

본 절에서는 앞서 비교한 그림 6, 7의 두 보호회로 방식을 사용할 경우 입력패드에 추가되는 기생성분의 양을 AC 소자 시뮬레이션에 의해 계산해 본다.

그림 3의 lvtr_thyristor 소자를 패드에 연결할 경우 n⁺ 애노드와 p⁺ 애노드가 패드에 함께 연결되므로 이들을 제외한 모든 노드들을 접지한 상태에서 애노드에 AC 전압을 인가하였다. D₁ 경우에는 n⁺ 캐소드를 제외한 모든 노드를 접지한 상태에서 n⁺ 캐소드에 AC 전압을 인가하였고, D₂ 경우에는 p⁺ 애노드를 제외한 모든 노드를 접지한 상태에서 p⁺ 애노드에 AC 전압을 인가하였다. 이때 소자 특성의 비교를 단순화하기 위해 모든 노드의 DC 전압은 0V로 지정하였다.

개략적인 기생성분의 크기 비교를 위한 보호용 소자의 AC 등가회로는 직렬 RC 형태가 적절하며^[12], [12]에서의 방법에 따라 AC 소자 시뮬레이션에 의해 주파수 함수로 구한 어드미턴스 값과 AC 등가회로에 의한 어드미턴스 값과의 fitting을 통해 얻은 모델 파라미터

표 7. 보호용 소자별 기생성분
 Table 7. Parasitics of each protection device.

보호용 소자	C [F/μm]	R [Ω·μm]
lvtr_thyristor	3.10×10 ⁻¹⁵	1.4×10 ⁴
다이오드(D ₁)	2.35×10 ⁻¹⁵	3.5×10 ⁵
다이오드(D ₂)	0.97×10 ⁻¹⁵	4.0×10 ³
다이오드(D ₁ /D ₂)	3.32×10 ⁻¹⁵	1.7×10 ⁵

표 8. 보호회로 방식별 입력노드 추가 기생성분
Table 8. Parasitics added to the input node in each protection scheme.

보호회로 방식	C [F]	R [Ω]
lvtr_thyristor(20 μ m)	6.20×10^{-14}	700
다이오드(15 μ m)	4.98×10^{-14}	1.1×10^4

R과 C의 값은 표 7과 같다. 표의 수치는 소자폭이 1 μ m 인 소자의 R, C 값에 해당된다. 표 7에서 다이오드 (D_1/D_2)는 D_1 과 D_2 의 병렬 조합을 의미한다.

표 7의 커패시턴스 값을 주목해 보자. lvtr_thyristor 소자의 주 커패시턴스는 그림 3에서 알 수 있는 바와 같이 n웰/p기판 접합 커패시턴스와 n웰 우측의 n⁺접합/p기판 접합 커패시턴스의 병렬합성이다. 다이오드 소자 D_1 의 주 커패시턴스는 그림 5에서 알 수 있는 바와 같이 n웰/p기판 접합 커패시턴스와 p⁺ 애노드와 관련된 접합 커패시턴스인 반면, D_2 의 주 커패시턴스는 p⁺ 애노드/n웰 접합 커패시턴스뿐이다. 따라서 D_1 의 커패시턴스가 D_2 에 비해 크게 나타난다.

표 8은 입력패드에 추가되는 기생성분을, 표 7의 결과로부터 소자폭(괄호 안에 표기)을 감안하여 계산한 결과이다. 다이오드 보호회로 경우에 상대적으로 작은 소자폭을 사용함으로써 추가되는 커패시턴스의 양이 다소 감소할 수 있음을 알 수 있다. 하지만 NMOS 보호회로를 이용할 경우에 추가되는 커패시턴스 양^[4]에 비하면 1/18 이하로 현저히 작아 RF IC용 입력 보호회로로 사용할 경우 두 보호회로의 장점은 크게 부각된다.

VI. 추가 논의

1. lvtr_thyristor 소자 설계 시 주의 사항

추가된 혼합모드 과도 시뮬레이션을 통해 lvtr_thyristor 소자에서 p형 기판 콘택을 가까이 배치하지 않을 경우 아래와 같은 사유로 인해 ESD 보호강도에 문제가 발생할 수 있음을 발견하였다.

NS 및 ND 모드 경우 그림 6의 패드에 연결되는 소자 T_1 이 pn(p형기판/n⁺애노드) 순방향 다이오드로 동작하는 상황에서 npn(n⁺애노드/p기판/n⁺캐소드) 바이폴라가 동작되어 T_1 의 n⁺ 캐소드 온도가 크게 상승하는 문제가 발생한다. 동일한 이유로 인해 ND 모드 경우에는 입력버퍼단 PMOS 게이트 산화막에 T_1 과 M_2 내 바이폴라 유지전압의 합이 장시간 인가되어 산화막 파괴를 야기할 수 있다. 따라서 그림 3에 보인 바와 같이 p형

기판 콘택을 가능한 가까이 배치하는 것이 중요하다. 이러한 문제는 보호용 NMOS 소자에서도 마찬가지로 발생하며 그림 1에 보인 바와 같이 p형 기판 콘택을 가능한 가까이 배치하는 것이 역시 중요하다^[4].

2. 다이오드 소자 설계 시 주의 사항

그림 5의 다이오드 소자에는 p형 기판 콘택을 가까이 배치하지 않았다. 추가된 시뮬레이션을 통해 p형 기판 콘택을 가까이 배치할 경우 PS 모드에서 심각한 문제가 발생할 수 있음을 확인하였다.

그림 5의 다이오드 소자의 상단 우측에 추가된 p⁺ 기판 콘택을 가까이 배치했다고 가정해 보자. 이때 p⁺ 기판 콘택의 전위는 0임을 주목하자. 그림 9의 PS 모드에서 D_2 의 p⁺애노드/n⁺캐소드 다이오드가 순방향 on될 경우 p⁺애노드/n웰/p⁺기판콘택으로 이루어지는 횡방향 기생 바이폴라가 트리거되어 큰 전류를 야기하고, 이는 p⁺ 기판 콘택 근처의 온도를 크게 상승시킨다. 그림 5의 구조를 사용한 경우에도 p⁺애노드/n웰/p형기판콘택으로 이루어지는 수직방향 기생 바이폴라가 트리거될 수 있으나 기판의 분포저항에 의해 바이폴라 전류의 양이 제한되어 온도 상승의 문제는 발생하지 않음을 확인하였다. 따라서 다이오드 소자 경우에는 p형 기판 콘택을 가까이 배치하는 않는 것이 매우 중요하다.

3. 클램프 NMOS 소자의 위치

그림 6, 7에 사용되는 클램프 NMOS 소자 M_2 는 소자폭이 커야 하므로 입력패드마다 사용할 경우 큰 면적을 소모하게 된다. 따라서 V_{DD} 나 V_{SS} 패드 구조 내의 V_{DD}/V_{SS} 버스 사이에 위치시키는 것을 고려할 수 있다. 이럴 경우에도 클램프 소자는 설명한 바와 동일한 방전 경로를 제공할 수 있으나, 큰 방전전류가 흐를 경우 V_{DD} 또는 V_{SS} 버스에서의 전압강하에 의해 입력버퍼단 게이트에 인가되는 전압을 상승시킬 수 있다. 특히 다이오드 보호회로를 사용하는 PTP 모드에서는 V_{DD} 와 V_{SS} 버스 전압강하의 합이 추가되므로 보다 위험한 상황이 된다. 따라서 칩 크기가 가장 큰 이슈가 아닐 경우에는 클램프 소자 M_2 를 모든 입력패드에 위치시키는 것이 현명한 방법이다.

VII. 결론

lvtr_thyristor 소자 또는 다이오드 소자를 사용하는 CMOS RF IC용 입력 ESD 보호회로 방식을 대상으로,

2차원 소자 시뮬레이터를 이용하는 DC, 혼합모드 과도 및 AC 해석을 통해 HBM 방전 특성에 대한 심도있는 비교 분석을 시도하였다.

입력 ESD 보호회로가 장착된 CMOS 칩의 HBM 테스트 상황에 대한 등가회로를 구성하여, 5가지 테스트 모드에 대해 최대 6개의 보호용 소자를 포함하는 혼합 모드 과도 시뮬레이션을 시행하고 그 결과를 분석함으로써 측정만으로는 알 수 없는, 실제 HBM 테스트에서 발생할 수 있는 문제점들에 대한 상세한 분석을 시도하였다. 본 논문의 기여사항을 요약하면 다음과 같다.

1) 입력버퍼단의 게이트 산화막에 인가되는 최대전압 측면에서의 취약모드를 규명하였다. 게이트 산화막의 파괴는 방전후기의 전압에 의해 결정되며 이 전압은 NMOS 소자와 lvtr_thyristor 소자 내에 존재하는 NMOS 접합의 항복전압에 해당됨을 설명하였다.

2) NMOS 게이트와 V_{SS} 노드 사이에 간단히 직렬저항을 추가하여 방전초기의 패드전압 상승에 의한 게이트 산화막 파괴의 위험성이 완화될 수 있음을 보였다.

3) ESD 보호회로 방식별로 보호용 소자내의 온도 상승 측면에서의 취약 테스트 모드를 규명하는 한편, 보호용 소자내의 최고온도 지점을 규명하였다.

4) 보호회로 방식별로 입력노드에 추가되는 기생성분의 크기를 정량적으로 비교하여, RF IC용 입력 ESD 보호방식으로서의 lvtr_thyristor 보호방식과 다이오드 보호방식의 장점을 확인하였다.

5) 보호용 소자 자체의 온도 상승 및 입력버퍼단 게이트 산화막에 인가되는 전압을 최소화하기 위한 보호용 소자별 설계 기준을 제시하였다.

소자를 이용하는 입력 ESD 보호방식의 비교 연구,” 전기전자학회논문지, 제 13권, 제 1호, pp. 19-29, 2009년 3월

[5] H. Feng, G. Chen, R. Zhan, Q. Wu, X. Guan, H. Xie, and A. Z. H. Wang, “A mixed-mode ESD protection circuit simulation-design methodology,” *IEEE J. Solid-State Circuits*, vol. 38, pp. 995-1006, June 2003.

[6] B. Fankhauser, and B. Deutschmann, “Using device simulations to optimize ESD protection circuits”, in *Proc., IEEE EMC Symp.*, 2004, pp.963-968.

[7] S. Aur, A. Chatterjee, and T. Polgreen, “Hot-carrier reliability and ESD latent damage.” *IEEE Trans. Electron Devices*, vol. 35, pp. 2189-2193, Dec. 1988.

[8] ATLAS II Framework, Version 5.10.2.R, Silvaco International, 2005.

[9] C. H. Diaz, S. M. Kang, and C. Duvvury, *Modeling of electrical overstress in integrated circuit*, Kluwer Academic Publishers, 1995.

[10] Z. H. Liu, E. Rosenbaum, P. K. Ko, C. Hu, Y.C. Cheng, C. G. Sodini, B. J. Gross, T.P. Ma, “A comparative study of the effect of dynamic stressing on high-field endurance and stability of reoxidized-nitrided, fluorinated and conventional oxides,” in *IEDM Tech. Dig.*, 1991, pp. 723-726.

[11] G. Chen, H. Fang, and A. Wang, “A systematic study of ESD protection structures for RF ICs,” in *Proc., IEEE Radio Frequency Integrated Circuit Symp.*, 2003, vol. 46, pp. 347-350.

[12] 최진영, “정전기 보호용 소자의 AC 모델링에 관한 연구,” 전기전자학회논문지, 제 8권, 제 1호, pp. 136-144, 2004년 7월

참 고 문 헌

[1] P. Leroux and M. Steyaert, “High-performance 5.2GHz LNA with on-chip inductor to provide ESD protection,” *Electronics Letters*, vol. 37, pp. 467-469, Mar. 2001.

[2] A. Chatterjee and T. Polgreen, “A low-voltage triggering SCR for on-chip ESD protection at output and input pads,” *IEEE Electron Devices Lett.*, vol. 12, pp. 21-22, Aug. 1991.

[3] E. R. Worley, R. Gupta, B. Jones, R. Kjar, C. Nguyen, M. Tennyson, “Sub-micron chip ESD protection schemes which avoid avalanching junctions,” in *Proc., EOS/ESD Symp.*, 1995, pp. 13-20.

[4] 최진영, “NMOS 트랜지스터와 싸이리스터 보호용

저 자 소 개



최진영(정회원)

1979년 서울대학교 전기공학과 학사

1986년 플로리다대학교 대학원 전기공학과 석사

1991년 플로리다대학교 대학원 전기공학과 박사

1992년~현재 홍익대학교 전자전기공학과 교수
 <주관심분야 : 반도체 소자 모델링, ESD 보호회로 설계, RF 집적회로 설계>