

논문 2010-47SD-4-9

# 세그먼트 부분 정합 기법 기반의 10비트 100MS/s 0.13um CMOS D/A 변환기 설계

( A 10b 100MS/s 0.13um CMOS D/A Converter Based on A Segmented  
Local Matching Technique )

황 태 호\*, 김 차 동\*\*, 최 희 철\*\*\*, 이 승 훈\*\*\*\*

( Tae-Ho Hwang, Cha-Dong Kim, Hee-Cheol Choi, and Seung-Hoon Lee )

## 요 약

본 논문에서는 주로 소면적 구현을 위하여 세그먼트 부분 정합 기법을 적용한 10비트 100MS/s DAC를 제안한다. 제안하는 DAC는 비교적 적은 수의 소자로도 요구되는 선형성을 유지하면서 고속으로 부하저항의 구동이 가능한 세그먼트 전류 구동 방식 구조를 사용하였으며, 제안하는 세그먼트 부분 정합 기법을 적용하여 정합이 필요한 전류 셀들의 숫자와 크기를 줄였다. 또한, 전류 셀에는 작은 크기의 소자를 사용하면서도 높은 출력 임피던스를 얻을 수 있도록 이중-캐스코드 구조를 채용하였다. 시제품 DAC는 0.13um CMOS 공정으로 제작되었으며, 유효 면적의 크기는 0.13mm<sup>2</sup>이다. 시제품 측정 결과, 3.3V의 전원전압과 1V<sub>P-P</sub>의 단일 출력 범위 조건에서 50Ω의 부하저항을 구동할 때 DNL 및 INL은 각각 -0.73LSB, -0.76LSB 수준이며, SFDR은 100MS/s의 동작 속도에서 최대 58.6dB이다.

## Abstract

This work proposes a 10b 100MS/s DAC based on a segmented local matching technique primarily for small chip area. The proposed DAC employing a segmented current-steering structure shows the required high linearity even with the small number of devices and demonstrates a fast settling behavior at resistive loads. The proposed segmented local matching technique reduces the number of current cells to be matched and the size of MOS transistors while a double-cascode topology of current cells achieves a high output impedance even with minimum sized devices. The prototype DAC implemented in a 0.13um CMOS technology occupies a die area of 0.13mm<sup>2</sup> and drives a 50Ω load resistor with a full-scale single output voltage of 1.0V<sub>P-P</sub> at a 3.3V power supply. The measured DNL and INL are within 0.73LSB and 0.76LSB, respectively. The maximum measured SFDR is 58.6dB at a 100MS/s conversion rate.

**Keywords :** CMOS, DAC, current-steering, segmented local matching, double-cascode

## I. 서 론

무선 통신 및 영상 신호 처리 등 다양한 응용분야의

출력 단에 주요 아날로그 블록으로 광범위하게 사용되는 고속 고해상도 D/A 변환기 (digital-to-analog converter : DAC)는 통상 다중 채널로 사용되므로 시스템-온-칩 응용을 고려할 때, 통상 DAC의 면적이 칩 전체의 가격 경쟁력을 결정짓는 중요한 요소 중의 하나가 된다.

일반적으로 고속 DAC는 부하 저항을 고속으로 구동하기 위하여 전류 구동 방식 구조를 채택한다<sup>[1-2]</sup>. 전류 구동 방식 DAC에서는 전류 원이 가장 넓은 면적을 차지하고 해상도와 요구되는 수율이 높아짐에 따라 전류 원의 부정합에 의한 성능 저하를 최소화하고 전류 셀의 출력 임피던스를 높이기 위하여 긴 채널 길이

\* 정회원, \*\*\*\* 평생회원, 서강대학교 전자공학과  
(Dept. of Electronic Engineering,  
Sogang University)

\*\* 정회원, 서강대학교 전자공학과, 동부하이텍  
(Dept. of Electronic Engineering,  
Sogang University, Dongbu HiTek Co., Ltd)

\*\*\* 정회원 애플티나 코리아  
(Aptina Korea)

※ 본 연구는 반도체설계교육센터(IDECE)에 의해 지원  
되었음.

접수일자: 2010년1월11일, 수정완료일: 2010년2월5일

(L)와 넓은 채널 폭 (W)을 갖는 MOS 트랜지스터를 필요로 하므로 전체 칩 면적이 기하급수적으로 증가한다<sup>[3~4]</sup>.

한편, 전류 구동 방식 DAC에서 단위 전류 셀로 모든 전류 셀 배열 (current cell array : CCA)을 구성하는 온도계 코드 구조를 사용하는 것이 우수한 선형성을 갖지만 디지털 입력을 온도계 코드로 변환하는 디코더 회로의 복잡도 및 도선의 면적이 증가하는 단점이 있다. 그 반면, 이진 가중치 구조를 사용할 경우 칩 구현은 간단하지만 코드 변화에 따라 발생하는 큰 글리치 에너지가 DAC의 전체 성능을 저하시킨다<sup>[5~6]</sup>. 따라서 고해상도 DAC의 구현에는 통상 그림 1과 같이 상위 비트 (most significant bit : MSB)는 선형성을 유지하기 위하여 온도계 코드로, 하위 비트 (least significant bit : LSB)는 디지털 회로의 복잡도를 고려하여 이진 가중치 구조로 구성하는 세그먼트 구조가 주로 사용된다.

기존의 DAC에서는 위와 같이 선형성 특성과 복잡도 및 면적을 고려하여 세그먼트 구조를 선택해도 모든 전류 원이 동일한 채널 길이를 가지므로 세그먼트의 구조에 따라 디지털 회로 및 연결선의 면적이 변화할 수는 있지만 가장 큰 면적을 차지하는 전류 원의 크기에는 변함이 없다. 결국 해상도와 요구되는 수율 및 성능에 따라 전체 면적이 결정되고 고해상도 구현을 위해서는 넓은 면적이 필요하게 된다. 또한, 전류 원들이 넓은 영역에 분포됨에 따라 전류 부정합의 분포 범위도 확대되고 오차의 누적으로 선형 특성이 제한된다. 전류 정합 특성을 향상시키기 위한 연구 결과로 무작위 스위칭<sup>[6~7]</sup>, 전류 부

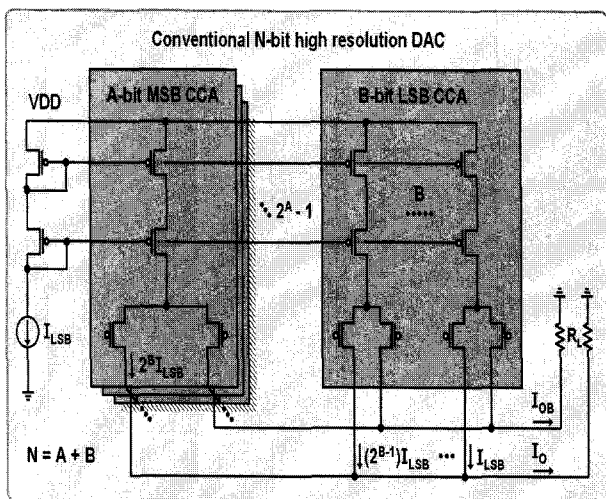


그림 1. 기존의 고해상도 전류 구동 방식 기반의 DAC  
Fig. 1. Conventional high-resolution current-steering DAC.

정합 보정 기법<sup>[1, 8~9]</sup> 및 동적 요소 정합 기법<sup>[10]</sup> 등의 다양한 기법들이 제안되었지만 이와 같은 기법들을 사용할 경우 디지털 블록 및 도선의 복잡도와 면적이 증가하는 단점이 있다.

또한, 기존의 고해상도 DAC에서는 전류 원이 넓은 영역에 걸쳐 분포하게 되므로 연결도선의 기생 저항으로 인한 전원전압 강하현상이 심화되어 전류 원의 게이트-소스 전압 차이에 따른 전류 부정합이 야기된다. 이러한 문제를 해결하기 위하여 넓은 폭의 전원전압 금속선을 사용하기도 하지만 이는 또 다른 면적 증가의 요인으로 작용한다. 위와 같이 해상도의 증가에 따라 커지는 전류 원의 크기는 전류 구동 방식 DAC의 기하급수적인 면적 증가를 야기하는 주요 원인이 된다.

본 논문에서는 각 CCA의 전류 원을 부분적으로 정합시킬 수 있는 세그먼트 부분 정합 (segmented local matching : SLM) 기법 및 이중-캐스코드 구조를 사용하여 전류 셀의 크기를 줄임으로써 전체 칩 면적을 줄였다.

본 논문의 II 장에서는 제안하는 DAC의 전체 구조, III 장에서는 제안하는 DAC의 주요 설계 기법에 대하여 설명한다. IV 장에서는 시제품의 제작 및 성능 측정 결과를 요약하며, V 장에서 결론을 맺는다.

## II. 제안하는 10비트 100MS/s DAC 전체 구조

제안하는 10비트 100MS/s DAC는 전류 구동 방식으로 전체 구조는 그림 2와 같으며, MSB와 중간 비트 (intermediate significant bit : ISB)는 4비트의 온도계 코드, LSB는 2비트의 이진 가중치 코드로 구성하였다.

제안하는 SLM 기법을 칩으로 구현하기 위하여 우선 각 CCA에 상호 독립적인 기준 전류를 공급하는

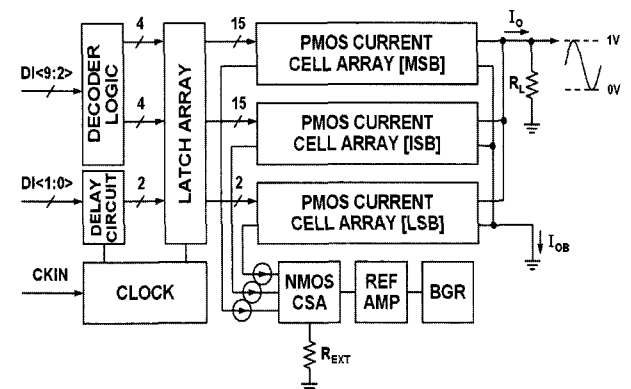


그림 2. 제안하는 10비트 100MS/s 0.13um CMOS DAC  
Fig. 2. Proposed 10b 100MS/s 0.13um CMOS DAC.

NMOS 전류 원 배열 (current source array : CSA)이 존재하며, MSB와 ISB CCA에는 이중-캐스코드 전류 셀이 사용되며, LSB CCA에는 캐스코드 전류 셀이 사용되었다. 밴드 갭 기준 회로 (band-gap reference : BGR)에서 생성되는 0.7V의 기준 전압과 외부 저항 REXT에 의하여 NMOS CSA에 전류가 공급되며, 응용 분야의 특성에 따라 REXT를 조정하여 출력 전압의 범위 및 출력 전류의 최대 값을 변경할 수 있다. 한편, 제안하는 DAC는 0.13um CMOS 공정으로 구현되었지만 0~1.0V의 단일 출력 범위를 고려하여 일반적인 1.2V 전원전압 및 1.2V용 MOS 트랜지스터를 사용하는 대신 3.3V의 전원전압과 0.13um CMOS 공정에서 사용 가능한 3.3V용 MOS 트랜지스터를 기본적으로 사용하였다.

### III. 제안하는 DAC 주요 설계 기법

#### 1. 소면적 구현을 위한 세그먼트 부분 정합 기법

전류 구동 방식의 DAC는 온도계 코드 구조를 가정하였을 때, 요구되는 해상도와 수율에 따라 잘 알려진 식 (1) 및 식 (2)와 같이 단위 전류 원 MOS 트랜지스터의 채널 길이와 폭을 결정한다<sup>[3~4]</sup>. 식 (1) 및 (2)에서 전류 원의 게이트-소스 전압, 최대 출력 전류 및 요구되는 LSB 전류의 표준 편차를 각각  $V_{GS}$ ,  $I_{FS}$  및  $\sigma(I)/I$ 로 나타내었으며, MOS 트랜지스터의 면적 WL에 따른 전류와 문턱전압  $V_{TH}$ 의 오차를 나타내는 상수는 각각  $A_\beta$ 와  $A_{V_{TH}}$ 로 나타내었다.

$$WL = \left( A_\beta^2 + \frac{4A_{V_{TH}}^2}{(V_{GS} - V_{TH})^2} \right) / 2 \left( \frac{\sigma(I)}{I} \right)^2 \quad (1)$$

$$\frac{W}{L} = \frac{1}{(2^N - 1)} \cdot \frac{2I_{FS}}{\mu C_{ox} (V_{GS} - V_{TH})^2} \quad (2)$$

또한, 전류 구동 방식의 DAC는 유한한 출력 임피던스  $Z_O$ 에 의하여 integral non-linearity (INL)와 spurious-free dynamic range (SFDR) 등의 성능이 제한되므로 잘 알려진 식 (3) 및 식 (4)의 조건 역시 만족해야 한다<sup>[11~12]</sup>. 이때,  $I_{LSB}$ 와  $M$ 은 각각 단위 전류와 단위 전류 원의 수를 나타낸다.

$$INL = \frac{I_{LSB} R_L^2 M^2}{4Z_O} \quad (3)$$

$$SFDR = 20 \log \left( \frac{4Z_O}{MR_L} \right) \quad (4)$$

기존의 DAC에서는 위와 같이 결정된 채널 길이를 모든 전류 원에서 동일하게 사용하고 하나의 바이어스 회로가 모든 전류 원들을 구동하므로 전류 원들의 채널 폭은 LSB 전류 원의 지수배로 결정된다. 따라서 이진 가중치 구조 혹은 세그먼트 구조를 적용하여도 온도계 코드 구조와 비교하였을 때 전류 원의 면적은 거의 차이가 없다. 그 반면, 그림 3에서 제안하는 SLM 기법을 적용할 경우 MSB 및 ISB CCA의 단위 전류 원의 채널 폭이 LSB 전류 원의 지수배가 될 필요가 없으며 각 세그먼트의 전류 원 채널 길이를 다르게 사용할 수도 있다. 그림 3에서 볼 수 있듯이 SLM 기법을 적용하면 NMOS CSA로부터 정확히 지수배로 정합된 독립적인 기준 전류가 각 CCA에 공급되므로 MSB와 ISB 및 LSB CCA의 전류 원 채널 폭이 지수 관계가 아니어도 전류 셀에 흐르는 전류는 자동적으로 지수 관계가 될 수 있다.

또한, 각 CCA 별로 전류 원의 채널 길이를 다르게 사용할 수 있으므로 식 (1)~(4)의 조건을 만족하는 범위 내에서 전류 원이 차지하는 면적을 최소화할 수 있다. 그러나 SLM 기법 적용 시 각 CCA로 공급되는 기준 전류가 정확한 배수 관계가 되지 않으면 DAC의 선형성이 심각하게 저하될 수 있으므로 본 논문에서는 NMOS CSA를 단위 전류 원으로 배열하여 구현하는 동시에 센트로이드 구조를 적용하여 전류 부정합을 최소화하였다.

한편, 기존의 DAC에서는 모든 전류 원이 동일한 연결 도선으로부터 전원전압을 공급받으므로 전원전압 연결

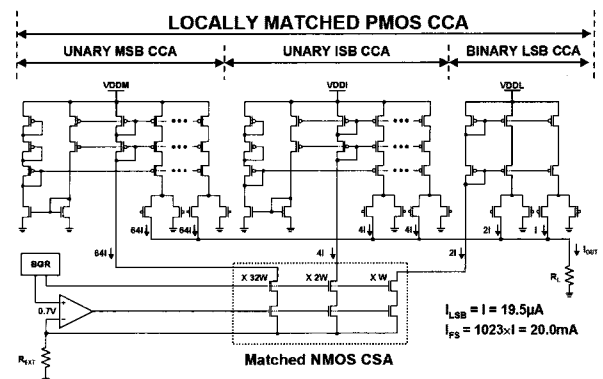


그림 3. 제안하는 SLM 기법 기반의 10비트 100MS/s DAC

Fig. 3. 10b 100MS/s DAC based on the proposed SLM technique.

도선의 길이가 길어지고 이에 따른 전원전압 강하 현상이 전류 원의 전류 부정합을 야기하므로 요구되는 해상도 범위 내에서 매우 넓은 폭의 전원전압 도선을 사용하였다. 한편, 제안하는 DAC에서는 전원전압 연결도선을 칩 내부에서 VDDM, VDDI 및 VDDL 등으로 각각 나누어 도선의 길이를 줄이고 얇은 폭의 연결도선을 사용함으로써 면적을 가능한 만큼 줄였다.

2. 높은 출력저항을 가진 이중-캐스코드 전류 셀

전류 구동 방식 DAC는 식 (3) 및 식 (4)와 같이 전류 셀의 유한한 출력 임피던스에 의해 성능이 제한되므로 고해상도 DAC에서는 통상 높은 출력 임피던스를 얻기 위하여 캐스코드 구조의 전류 셀을 사용하고 수 um 수준의 긴 채널 길이를 갖는 큰 크기의 MOS 트랜지스터를 전류 원으로 사용한다. 이 때, 큰 크기의 전류 셀에 의해 발생하는 기생 커패시터 성분은 높은 주파수에서의 동적 성능을 제한한다<sup>[12]</sup>. 제안하는 DAC에서 구현된 LSB CCA의 경우 전류 셀에 흐르는 전류가 매우 적으므로 캐스코드 구조를 사용하여 작은 크기의 소자로도 충분한 출력 임피던스를 얻을 수 있어 동적 성능을 제한하지 않는다.

반면에 MSB와 ISB CCA의 경우, LSB 전류 셀에 비하여 각각 1/64, 1/4의 출력 임피던스만이 요구되지만 그만큼 흐르는 전류가 많으므로 요구되는 출력 임피던스를 만족시키기 위해서는 큰 크기의 소자가 필요하게 된다. 본 논문에서는 작은 크기의 소자로 전류 셀을 구현하여 면적을 줄이는 동시에 기생 커패시터 성분에 의한 고속 동작에서의 성능저하를 막기 위하여 MSB 및 ISB CCA에 이중-캐스코드 전류 셀을 사용하였다.

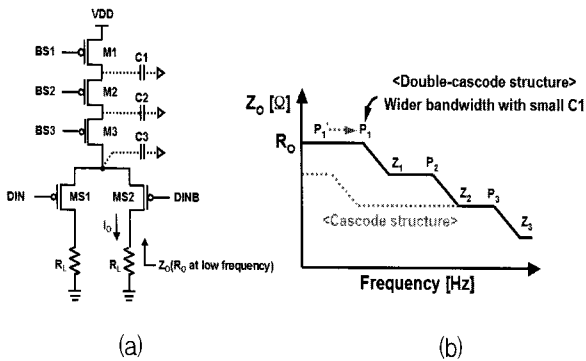


그림 4. (a) 이중-캐스코드 전류 셀 및 (b) 출력 임피던스 주파수 응답  
 Fig. 4. (a) Double-cascode current cell and (b) frequency response of the output impedance.

그림 4는 설계된 회로와 출력 임피던스의 주파수 응답을 나타낸다. 전류 셀의 MOS 트랜지스터 크기는 M1, M2, M3 순이므로  $C1 > C2 > C3$  이고, 낮은 주파수에서의 출력 임피던스 및 출력 임피던스의 폴 (pole)과 제로 (zero)는 식 (5) 및 식 (6)으로 정의된다. 식 (5)에서 낮은 주파수에서 전류 셀의 출력 임피던스  $R_0$ 는 세 개의  $g_m r_o$  항과 전류 원의  $r_o$  으로 구성되므로 작은 크기의 MOS 트랜지스터로도 큰 출력 임피던스를 얻을 수 있으며 기생 커패시터 C1이 작아짐에 따라 그림 4(b)와 식 (6)에서 확인할 수 있듯이 출력 임피던스의 대역폭을 넓힐 수 있다.

$$R_0 = g_{m2} r_{o2} g_{m3} r_{o3} g_{m2} r_{o2} r_{o1} \quad (5)$$

$$P_1 = \frac{1}{2\pi r_{o1} C1}, Z_1 = \frac{g_{m2}}{2\pi C1}$$

$$P_2 = \frac{1}{2\pi r_{o2} C2}, Z_2 = \frac{g_{m3}}{2\pi C2}$$

$$P_3 = \frac{1}{2\pi r_{o3} C3}, Z_3 = \frac{g_{m2}}{2\pi C3} \quad (6)$$

3. 작은 글리치 에너지를 갖는 디지털 래치

전류 구동 방식의 DAC에서 전류 셀 스위치의 두 디지털 입력이 교차하는 순간 발생하는 글리치는 동적 성능을 저하시킨다. 전류 셀 스위치 입력의 동기 오차는 더욱 큰 글리치를 발생시키므로 통상 DAC 전류 셀 스위치의 구동을 위해서 전류 셀 바로 앞에 래치가 사용된다. 이 때 PMOS 트랜지스터의 입력 단을 갖는 전류 셀에서 입력신호의 동기 오차가 발생하여 DIN, DINB가 모두 "HIGH"가 될 경우 순간적으로 전류 원에 전류가 흐르지 않아 큰 글리치가 발생할 수 있으므로 DIN, DINB의 교

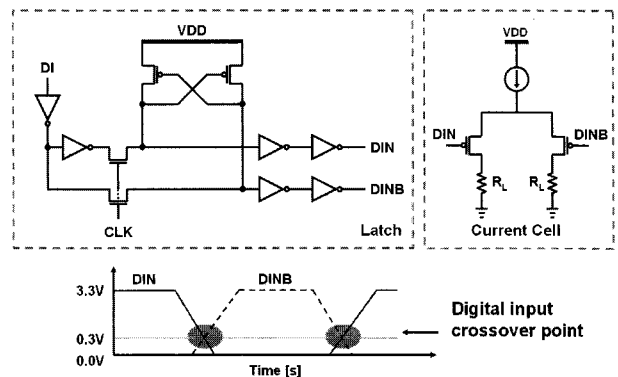


그림 5. 작은 글리치 에너지를 가지는 디지털 래치  
 Fig. 5. Digital latch with a low glitch energy.

차지점을 전원전압의 중간 값보다 낮게 설계하여 전류 셀의 입력 단이 동시에 꺼지지 않게 하는 것이 일반적이며, 본 논문에서는 그 값을 모의실험을 통하여 가장 적절한 성능을 보여주는 0.3V로 결정하였다. 제안하는 DAC는 그림 5와 같은 래치를 사용하였으며, PMOS의 크기를 적절히 조절하여 DIN, DINB의 교차지점을 전원전압의 중간 값보다 낮도록 하였다.

IV. 시제품 DAC 제작 및 성능 측정 결과

제안하는 10비트 100MS/s DAC는 0.13um CMOS 공정으로 제작되었으며, 입력 및 출력 도선과 패드를 제외한 칩 면적은 0.13mm<sup>2</sup>로 칩 사진은 그림 6과 같다. 시제품 DAC는 3.3V의 전원전압을 인가하고 단일 출력 범위

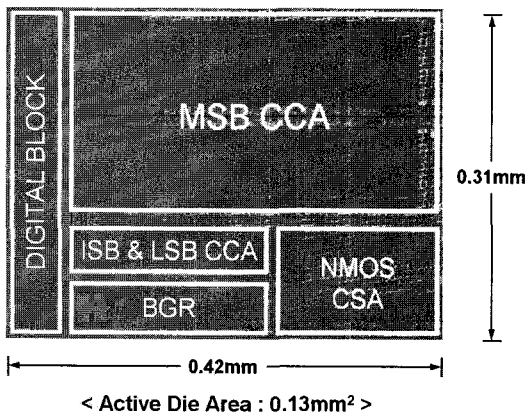


그림 6. 제안하는 시제품 DAC의 칩 사진  
Fig. 6. Chip micrograph of the proposed DAC prototype.

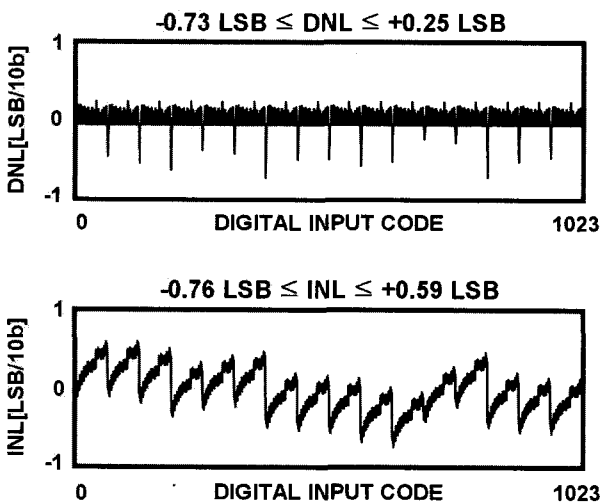


그림 7. 시제품 DAC의 측정된 DNL 및 INL  
Fig. 7. Measured DNL and INL of the prototype DAC.

가 1V<sub>P-P</sub>일 때, 50Ω의 부하 저항을 구동하는 조건에서 측정 및 성능평가가 이루어졌다. 측정 결과, 그림 7과 같이 differential non-linearity (DNL) 및 INL은 각각 최대 -0.73LSB, +0.25LSB 수준이다.

그림 8은 5MHz 출력 주파수 및 100MS/s의 동작 속도에서 측정된 아날로그 출력 신호의 스펙트럼으로 최대 SFDR은 58.6dB이다. 제안하는 시제품 DAC의 주요 성능 측정 결과 및 측정 조건을 표 1에 요약하였다.

최근까지 발표된 10~11비트의 해상도와 200MS/s 수준의 동작 속도를 갖는 DAC와 면적 등 성능을 비교

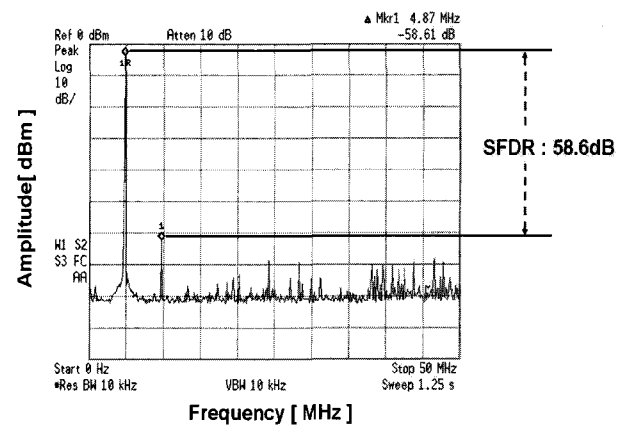


그림 8. 시제품 DAC의 측정된 FFT 스펙트럼  
Fig. 8. Measured FFT spectrum of the prototype DAC.

표 1. 제안하는 DAC의 시제품 성능 요약  
Table 1. Performance summary of the prototype DAC.

Resolution	10bits
Conversion Rate	100MS/s
Process	Dongbu Hitek 0.13um CMOS
Supply Voltage	3.3V
SFDR (at fout = 5MHz)	58.6dB
DNL	-0.73LSB / +0.25LSB
INL	-0.76LSB / +0.59LSB
Load Resistor	50Ω
Full-scale Output Current	20.0mA
Power Dissipation	75.9mW (Analog) + 6.0mW (Digital)
Active Die Area	0.13mm <sup>2</sup> (=0.42mm × 0.31mm )

표 2. 제안하는 DAC의 시제품 성능 요약  
Table 2. Performance summary of the prototype DAC.

	[13]	[14]	[15]	This work
Resolution (bits)	10	10	11	10
Conversion Rate (MS/s)	200	250	160	100
Process	0.35 $\mu$ m/ 0.18 $\mu$ m	0.18 $\mu$ m	0.18 $\mu$ m	0.13 $\mu$ m
Supply Voltage (V)	2.5/ 1.8	1.8	1.35	3.3
Full-scale Output Current (mA)	0.2	10.0	2.5	20.0
Active Die Area (mm <sup>2</sup> )	0.26	0.35	0.22	0.13

한 결과를 표 2에 정리하였다. 최대 출력 전류가 커지면 DAC의 면적도 증가함을 고려할 때 제안하는 DAC의 면적이 상당히 작은 것을 알 수 있다.

## V. 결 론

본 논문에서는 주로 소면적 구현을 위하여 다음과 같은 기법들을 적용한 10비트 100MS/s DAC를 제안하였다. 제안하는 DAC는 전류 구동 방식 DAC에서 가장 큰 면적을 차지하는 CCA의 면적을 줄이기 위하여 각 CCA에 독립적인 기준전류를 공급하는 NMOS 기반의 전류 원을 구현함에 따라 MSB 및 ISB CCA의 전류 원 채널 폭이 LSB 전류 원의 지수배가 될 필요가 없는 SLM 기법을 채택하였다. 또한, 전류 셀을 이중-캐스코드 구조로 구현하여 작은 크기의 MOS 트랜지스터로 높은 출력 저항을 얻도록 하여 전류 셀의 면적을 추가적으로 줄였다. 집적된 시제품 DAC의 면적은 0.13mm<sup>2</sup>이며, 측정 결과 DNL 및 INL이 각각 최대 -0.73LSB, -0.76LSB 수준이고, 100MS/s 동작 속도에서 SFDR은 최대 58.6dB이다.

## 참 고 문 헌

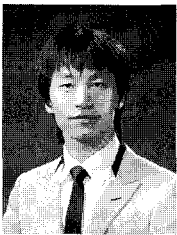
- [1] T. Chen and G. G. E. Gielen, "A 14-bit 200-MHz current-steering DAC with switching-sequence post-adjustment calibration," *IEEE J. Solid-State Circuits*, vol. 42, no. 11, pp. 2386-2394, Nov. 2007.
- [2] A. van den Bosch, M. Borremans, M. Steyaert, and W. Sansen, "A 10-bit 1-GSample/s Nyquist current-steering CMOS D/A converter," *IEEE J. Solid-State Circuits*, vol. 36, no. 3, pp. 315-324, Mar. 2001.
- [3] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, "Matching properties of MOS transistors," *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433-1439, Oct. 1989.
- [4] A. Van den Bosch, M. Steyaert, and W. Sansen, "The extraction of transistor mismatch parameters : The CMOS current-steering D/A converter as a test structure," in *Proc. IEEE Int. Symp. on Circuits and Systems(ISCAS)*, pp. 745-748, May 2000.
- [5] J. Bastos, A. M. Marques, M. Steyaert, and W. Sansen, "A 12-Bit intrinsic accuracy high-speed CMOS DAC," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1959-1969, Dec. 1998.
- [6] C. Lin and K. Bult, "A 10-b 500-MSample/s CMOS DAC in 0.6mm<sup>2</sup>," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1948-1958, Dec. 1998.
- [7] G. Van der Plas, J. Van den bussche, W. Sansen, M. Steyaert, and G. G. E. Gielen, "A 14-bit intrinsic accuracy Q<sup>2</sup> random walk CMOS DAC," *IEEE J. Solid-State Circuits*, vol. 34, pp. 1708-1718, Dec. 1999.
- [8] A. R. Bugeja and B. S. Song, "A self-trimming 14-b 100-MS/s CMOS DAC," *IEEE J. Solid-State Circuits*, vol. 35, pp. 1841-1852, Dec. 2000.
- [9] Y. Cong and R. L. Geiger, "A 1.5-V 14-bit 100-MS/s self-calibrated DAC," *IEEE J. Solid-State Circuits*, vol. 38, pp. 2051-2060, Dec. 2003.
- [10] K. L. Chan, J. Zhu, and I. Galton, "A 150MS/s 14-bit segmented DEM DAC with greater than 83dB of SFDR across the Nyquist band," in *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 200-201, June, 2007.
- [11] B. Razavi, *Principles of Data Conversion System Design*. New York: IEEE Press, 1995.
- [12] A. Van den Bosch, M. Steyaert, and W. Sansen, "SFDR-bandwidth limitations for high-speed high-resolution current-steering CMOS D/A converters," in *Proc. IEEE Int. Conf. Electronics, Circuits and Systems(ICECS)*, pp. 1193-1196, Sept. 1999.
- [13] B. Nejadi and L. Larson, "An area optimized 2.5V 10-b 200-MS/s 200-uA CMOS DAC," in *Proc. IEEE Custom Integrated Circuits*

Conference (CICC), pp. 161-164, Sept. 2006.

[14] J. Deveugele and M. Steyaert, "A 10-bit 250-MS/s binary-weighted current-steering DAC," *IEEE J. Solid-State Circuits*, vol. 41, pp. 320-329, Feb. 2006.

[15] O. Matsumoto, H. Harada, Y. Morimoto, T. Kumamoto, T. Miki, and M. Hotta, "An 11-bit 160-MS/s 1.35-V 10-mW D/A converter using automated device sizing system," in *Proc. Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp. 809-814, Jan. 2005.

저 자 소 개



황 태 호(정회원)  
 2008년 한국기술교육대학교 정보  
 기술공학부 학사.  
 2008년~현재 서강대학교  
 전자공학과 석사과정.  
 <주관심분야 : 고속 데이터 변환  
 기(A/D, D/A) 설계 등>



김 차 동(정회원)  
 2008년 서강대학교 전자공학과  
 학사.  
 2010년 서강대학교 전자공학과  
 석사.  
 2010년~현재 동부하이텍 연구원

<주관심분야 : 고속 데이터 변환 기(A/D, D/A)  
 설계 등>



최 희 철(정회원)  
 1994년 서강대학교 전자공학과  
 학사.  
 1996년 서강대학교 전자공학과  
 석사.  
 1996년~2005년 삼성전자 Analog  
 CMOS 설계 책임 연구원.

2006년~2009년 서강대학교 전자공학과  
 박사과정.  
 2009년~현재 Aptina Korea, Regional Manager  
 <주관심분야 : CMOS Image Sensor, 고속 데이  
 타 변환기(A/D, D/A) 설계 등>



이 승 훈(평생회원)  
 1984년 서울대학교 전자공학과  
 학사.  
 1986년 서울대학교 전자공학과  
 석사.  
 1991년 미 Illinois 대 (Urbana-  
 Champaign) 공학박사.

1986년 KIST 위촉 연구원.  
 1987년~1990년 미 Coordinated Science Lab  
 (Urbana) 연구원.  
 1993년~현재 서강대학교 전자공학과 교수.  
 <주관심분야 : 집적회로 설계, 데이터 변환기  
 (A/D, D/A) 설계 등>