

논문 2010-47SD-4-5

0.18 μm CMOS 공정을 이용한 SoC용 정전 용량형 멀티 채널 터치 센싱 ASIC의 설계

(A Design of Multi-Channel Capacitive Touch Sensing ASIC for SoC Applications in 0.18 μm CMOS Process)

남 철**, 부 영 건*, 박 준 성*, 홍 성 화*, 허 정***, 이 강 윤***

(Chul Nam, Young-Gun Pu, Joon-Sung Park, Seong-Hwa Hong, Jeong Hur, and Kang-Yoon Lee)

요 약

본 논문은 SoC 응용에 가능한 멀티 채널 용량형 터치 센서 유닛과 간단한 공통프로세스 유닛, 스위치 어레이를 포함하여 C-T 방법으로 터치 입력을 처리하는 ASIC을 제안하였다. 본 터치 센서 ASIC은 작은 전류와 칩 면적의 장점을 갖는 C-T 변환 방식에 기반 하여 설계하였으며, 최소 센싱 해상도는 한 카운터 당 41 fF이며, 외부 부품 없이 동작하기 위해 내부 발진기 및 LDO 레귤레이터, I²C를 내장하였다. 본 ASIC은 0.18 μm CMOS공정으로 구현되어 있으며, 1.8 V와 3.3 V 전원을 사용한다. 전체 소비 전력은 60 μA 이고, 면적은 0.26 mm^2 이다.

Abstract

This paper presents a multi-channel capacitive touch sensing unit for SoC applications. This unit includes a simple common processing unit and switch array to detect the touch sensing input by capacitive-time(C-T) conversion method. This touch sensor ASIC is designed based on the Capacitive-Time(C-T) conversion method to have advantages of small current and chip area, and the minimum resolution of the unit is 41 fF per count with the built-in sensing oscillator, LDO regulator and I²C for no additional external components. This unit is implemented in 0.18 μm CMOS process with dual supply voltage of 1.8 V and 3.3 V. The total power consumption of the unit is 60 μA and the area is 0.26 mm^2 .

Keywords : Multi-channel, Capacitive touch Sensing, Common processing unit, sensing resolution, SoC

I. 서 론

커패시터 감지는 가속도, 각속도, 힘, 위치, 압력 등 물리량을 검출하기 위한 방법으로 많은 연구가 되어 왔다^[1-2]. 특히 용량 형 검지 방법은 저항막 방식의 단점인 멀티 터치를 지원하기 때문에 최근 터치 센싱 모

바일 기기에 입력 장치로서 많은 주목을 받고 있다. 용량형 터치 센싱 방법에는 C-V변환 (Capacitive Voltage Conversion)방식과 C-T변환(Capacitive Time Conversion)방식이 있는데, C-V 변환 방식은 C-T 변환 방식에 비해 전하 전송(Charge Transfer)의 유사한 방법으로 채용 되어 왔으나, 외부 노이즈나 전원 노이즈를 방지하기 위한 추가적인 방법이 요구된다. 최근 RC 시정수(RC Time)를 이용한 디지털 변환 방법^[3]이 소개 되었으나, 이 방법은 각 채널당 동일한 회로가 반복적으로 들어가야 하므로, 멀티채널 사용에는 큰 칩 면적을 차지하는 단점이 있다. 또한 복잡한 처리 알고리즘으로 인해 로직 사이즈가 비대해 짐에 따라, 작은 칩 면적을 요구하는 SoC 요구에 적합하지 않다.

* 학생회원 ** 정회원 *** 평생회원,
건국대학교 전자정보통신공학부
(Department of Electronic Engineering,
Konkuk University)

※ 이 논문은 2009년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업입(No.2009-0068457).

접수일자: 2009년12월28일, 수정완료일: 2010년3월1일

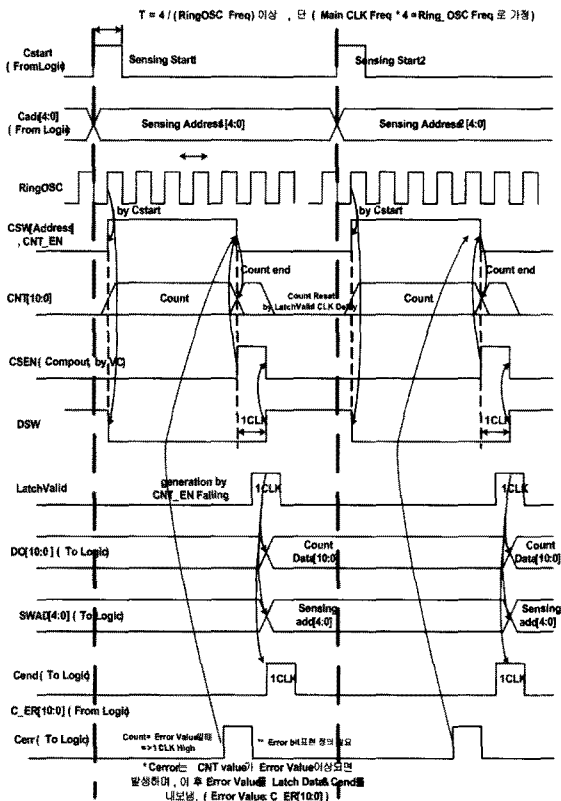


그림 3. 용량형 센싱 유닛의 타이밍도
Fig. 3. Timing diagram of Capacitive Sensing Unit.

사용함에 따라, 입력 수용 능력에 대한 유연성을 확보할 수 있다.

그림 3은 용량형 센싱 유닛과 제어부간의 제어 신호의 타이밍 관계를 보여 준다. 이 제어 신호는 멀티채널 터치 입력을 하나의 공통 처리 유닛이 순차적으로 처리하기 위해서 필요하다. 터치 입력에 따른 커패시턴스의 변화는 C-T 변환 방식으로 진행되며, 제어부로부터 시작 신호인 Cstart와 채널 선택 신호, Cadr[4:0]을 받아서 시작된다. 이 신호를 시작으로 선택된 터치 채널에 전류가 충전이 되게 되며, 동시에 충전 시간을 측정하기 위한 계수기의 동작 신호, CNT_EN이 계수기의 클럭(fosc)과 동기 되어 HIGH가 된다. 충전이 시작되어 터치 채널에 충전 전압(Vc)이 기준 전압(VREF)에 도달하게 되면 비교기(U2)가 출력이 "HIGH"로 바뀌고 그 신호는 CSEN로 제어부로 충전이 완료된 것을 알려 준다. 충전이 완료 된 후에 다음 터치 채널로 이동하기 전에 충전 된 전압을 방전하기 위해, 제어부에서는 CSEN으로부터 DSW신호를 fosc의 하강 엣지에서 발생 시킨다. CSEN과 DSW는 한 클럭($1 \cdot \text{fclk}$)이하의 주기를 갖는다. 최종 계수값(D[10:0])은 제어부에 LatchValid구간에

전달되며, 이 LatchValid신호는 또한 CNT_EN의 하강 엣지에서 만들어 진다. 이 계수 값이 전달 될 때 동시에 현재 선택된 채널 어드레스(SWAD[4:0]) 정보를 같이 보낸다. LatchValid구간에 제어부가 계수 값과 어드레스 값을 취득한 후 용량형 센싱 유닛은 Cend신호로 모든 컨버전 작업을 완료된 것을 알려 주며, 제어부는 비로써 다음 채널로 이동하게 된다. 센서 유닛은 채널 별로 작업이 순차적으로 진행되기 때문에 만약에 채널에 오염이나 오동작 등으로 센싱 커패시터가 클 경우, 센싱 시간이 많이 길어 져서 전체 채널 스캔 시간이 많이 길어져 문제가 될 수 있는데, 이런 문제를 방지하기 위해, 제어부는 센싱 유닛에게 정해진 임계값 이상의 계수 값에 대해서 에러로 처리할 값을 정한다. 이 값은 제어부에서 C_ER[10:0]으로 전달하며, 센싱 유닛은 현재 계수 값과 C_ER[10:0]과 비교하여 클 경우 에러 신호(Cerr)로 제어부에 전달하여 이상 유무를 전달한다. 제어부는 이 에러신호를 받을 경우 계수를 중지하고, 다음 스캔 시에서 해당 채널을 스캔하지 않게 하며, 보통의 경우에는 초기 전원을 공급하고 각 채널의 초기 커패시턴스를 보정하고 채널 이상 유무를 점검하는 것이 일반적이다.

III. 각 구성 블록

커패시터 센싱 유닛은 입력 스위치 어레이, 전하 센

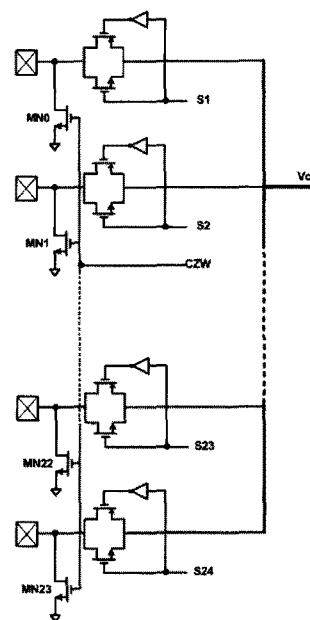


그림 4. 스위치 어레이 블록도
Fig. 4. Block diagram of Switch array.

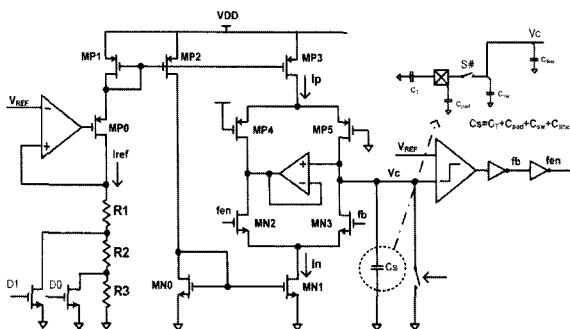
싱 유닛, 전압제어 링 발진기, 밴드 갭 기준전압 회로로 구성되며 각각의 동작은 다음과 같다.

1. 입력 스위치 어레이

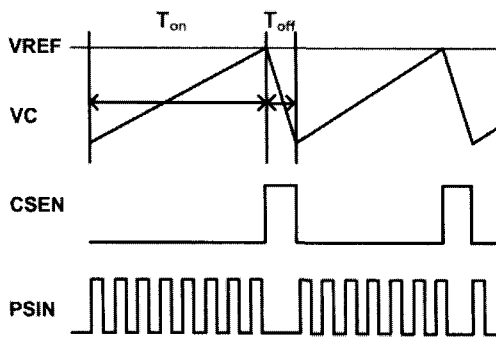
입력 스위치 어레이는 각 입력 채널을 선택할 수 있게 트랜스미션 게이트를 사용하며, 트랜스미션 게이트는 입력 신호에 따른 지연 요소를 작게 온 저항을 작도록 설계하였다. 터치에 의한 입력 커패시턴스 외에 패드 등에 생길 수 있는 기생 커패시턴스에 의한 부유 전하를 초기화하기 위해서, 각 입력 채널에서 초기화 스위치(MN0 - MN23)를 설치하여, CZW신호에 의해 초기화 하도록 하였다.

2. 전하 센싱 유닛

충전 센싱 유닛은 터치 센싱 커패시턴스(C_{Tn})외에 기생 커패시턴스를 함께 센싱 한다. 기생 커패시턴스는 그림 5에서와 같이 본딩 패드에 의한 커패시턴스(C_{pad}), 입력 스위치 어레이에 의한 커패시턴스(C_{SW}), 배선에 의한 커패시턴스(C_{line})로 이뤄진다. 노드 Vc에서 보이는



(a)



(b)

그림 5. 전하 센싱 유닛 (a) 블록도 (b) 타이밍도
Fig. 5. Charge Sensing Unit.
(a) Block diagram (b) Timing Diagram

전체 커패시턴스는 식 (1)과 같이 표현 된다.

$$C_s = C_{Tn} + C_{pad} + C_{SW} + C_{line} \quad (1)$$

단, C_{Tn} 은 n 번째 채널의 입력 터치 센서 커패시턴스이다. 커패시턴스 센싱은 기준 전류 회로(Reference Current Circuit), 전하 펌프(Charge Pump), 비교기(Comparator)로 구성된 회로에 의해서 이뤄진다. 기준 전류 발생기는 밴드 갭 기준 회로에서 발생된 기준 전압(V_{REF})를 받아서 기준 전류를 발생하며, 기준 전류는 충전 시간을 조정하기 위해서 저항(R_1, R_2, R_3)을 제어 신호(D1, D0)에 의해 선택함으로써 조정하게 만들었다. 이 기준 전류는 식 (2)와 같이 표현 된다.

$$I_{ref} = I_p = V_{REF}/R_T \quad (2)$$

단, $R_T = R_1 + R_2 \cdot D_1 + R_3 \cdot D_2 \cdot D_1$ 이다.

이 기준 전류는 MP3, MP4, MP5, U2, MN2, MN3, MN1로 구성된 전하 펌프에 전류를 공급하며, 전하 펌프의 상단 전류(I_p)와 하단 전류(I_n)에 미러링되며 전하 펌프의 버퍼(U2)는 상단 전류와 하단 전류를 불일치를 개선하기 위해서 노드 Vc와 Vc' 사이에 추가 되어 있다. 전하 펌프에 의한 충전 동작은 초기에 fb(fen)가 LOW(HIGH) 상태이므로, 이 상태에서 트랜지스터 MN3이 OFF가 되어, 상단 전류(I_p)가 MP5를 통해서 C_s 에 충전하게 된다. 하단 전류(I_n)는 버퍼(U2)가 MN2를 통해서 흘러준다.

노드(Vc)에 전류가 충전됨에 따라 충전된 전압이 증가 하게 되고, 그 충전 전압(Vc)이 기준 전압(V_{REF})에

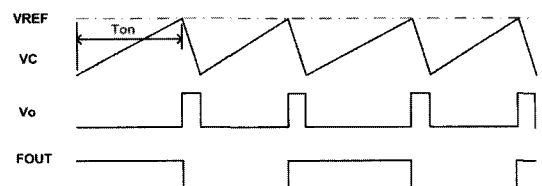
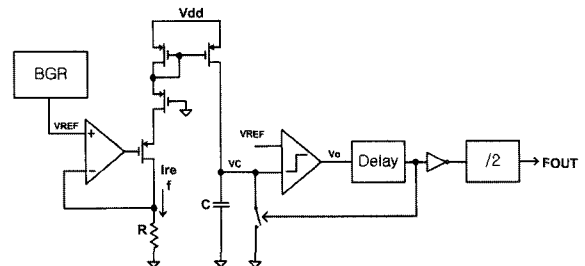


그림 6. RC 발진기
Fig. 6. RC Oscillator.

도달하게 되는데, 비교기(U3)의 출력 상태가 HIGH에서 LOW로 바뀌게 되며, fb(fen)는 LOW(HIGH)에서 HIGH(LOW) 상태로 바뀌어 MN3가 ON이 됨에 따라 상당 전류(Ip)는 더 이상 Cs에 충전하기 않게 된다.

이 충전시간을 그림 5(b)에서 보는 바와 같이 VREF이 르기까지 상승하게 되며, 이 구간을 Ton이라고 할 때 이 구간은 식 (3)과 같이 기준전압에 비례하지 않는 Cs 값에 비례하는 값이 된다.

$$T_{on} = C_s \cdot V_{REF} / I_{ref} = R_t \cdot C \tag{3}$$

Ton 구간 동안에는 계수기 클럭만큼을 계수하게 되어 이 값이 결국 터치 센싱 값과 등가가 되며, 이때의 최대 계수 값은 식 (4)과 같이 계수 클럭과 Ton의 곱이 된다.

$$CNT[10:0]_{max} = T_{on} \cdot f_{osc} \tag{4}$$

단, 여기서, fosc는 계수기 클럭 주파수 이다.

최대 계수기 값은 계수기의 용량에 의존 하므로 입력 커패시턴스가 클 경우에는 계수기의 용량 크게 하여, 계수기 값이 Overflow가 나지 않도록 설계를 해야 한다.

노드 전압 Vc는 Ton 구간 이후에 Toff 구간동안에 방전을 하며 Toff 구간은 각 게이트의 지연 요소에 의해 결정되어 Ton 보다는 짧은 시간으로 (Ton >> Toff), 실제 전체 충전 시간을 Ton 에 가깝다고 볼 수 있다.

3. RC 발진기

제어 부에서 사용되는 메인 클럭의 주파수는 외부에서 공급되지 않고, 내부에서 자체적으로 발생하여 사용하는데, 그 구조는 수동 소자의 R,C에 의해 결정하게 되어 있다. RC 발진기의 구조는 용량형 커패시터 센싱 유닛의 구조와 거의 동일하다. 다만 RC발진기는 기준 값이 되는 C 값을 MiM 커패시터를 사용하였으며, 메인 클럭의 주기비율(Duty)을 50 %로 하기 위해 발진기 출력에 이분주기를 추가하였다.

발진 주파수가 수동 소자의 비에만 결정되기 위해 기준 전류 회로 및 비교기의 기준 전압을 밴드 갭 기준전압(VREF)을 사용하였다.

4. 전압 제어 링 발진기

커패시터 센싱 유닛의 계수기에 빠른 클럭을 공급하

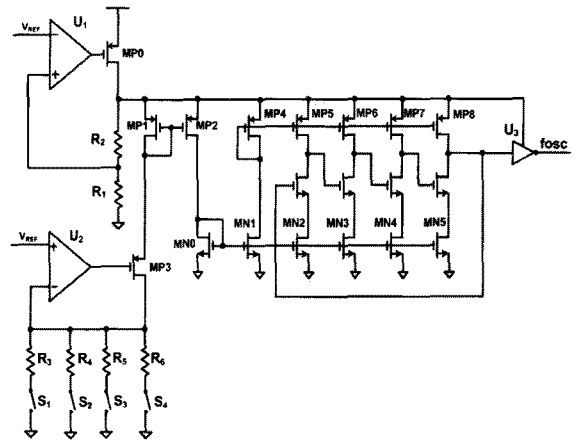


그림 7. 전압 제어 링 발진기
Fig. 7. Voltage Controlled Ring Oscillator.

기 위해 위상동기루프(PLL)를 쓰기에는 전류 소모나 칩 크기로 제약이 많이 있고, 정밀한 주파수가 필요하지 않기 때문에 그림 7과 같은 전압제어 링 발진기를 사용하였다.

전압 제어 발진기는 인버터의 지연에 의해 주파수를 결정하기 때문에 구현이 간단하지만, 전압 변동에 영향을 받는 단점이 있다. 이런 단점을 해결하기 위해, 전압을 제어하는 구조로 링 발진기를 구현 하였으며, 구동 전압은 안정된 전압이 공급되고, 발진 주파수는 지연 소자에 구동 전류를 바꿈으로서 주파수를 20~50MHz 까지 변경할 수 있도록 하였다.

IV. 실험 결과

본 ASIC은 0.18um CMOS Process로 구현 되었으며, 로직 구동을 위한 LDO 레귤레이터를 포함하여 3.3 V 단일 전원으로 구동된다. 그림 8은 터치 센서 ASIC의 반도체 설계도를 보여 준다. 터치 센싱 패널은 그림 9와 같이 사람의 터치 입력에 의한 커패시턴스의 변화와 위치를 알아내기 위해 다이아몬드 모양의 패널로 구성하며, 실제로는 ITO(Indium Tin Oxide)로 구성된 패널을 사용하며 업체 마다 모양과 구조가 다르다. 다이아몬드 패턴 X축과 Y축으로 교차구조로 이뤄져 있어, X축과 Y축의 각 채널을 스캔하여 커패시턴스의 최대 변화를 찾아 교차점의 위치를 찾는다. m x m의 멀티채널을 X축과 Y축을 순차적으로 스캔하는 경우, Toff 시간을 무시 할 때, 한 번을 전체 스캔하는 시간은 약 m² * Ton 이 걸린다. 터치 입력에 대한 입력 판단을 위해 초당 n 번을 스캔이 필요하게 될 때 이 관계는 다음과 같

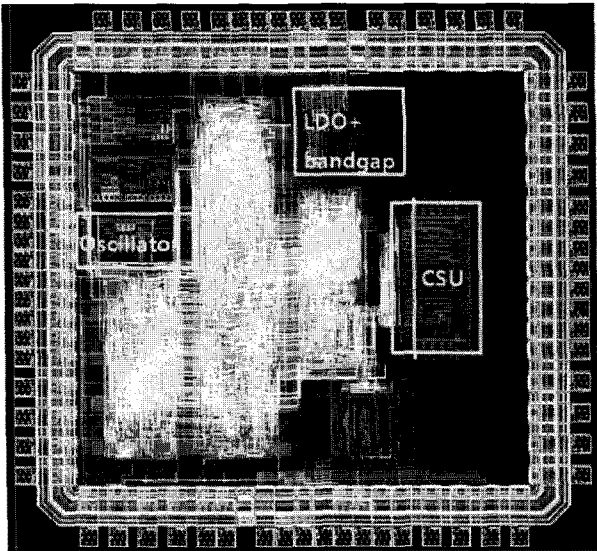


그림 8. 터치센서 ASIC의 반도체 설계도
Fig. 8. Microphotograph of Touch Sensing ASIC.

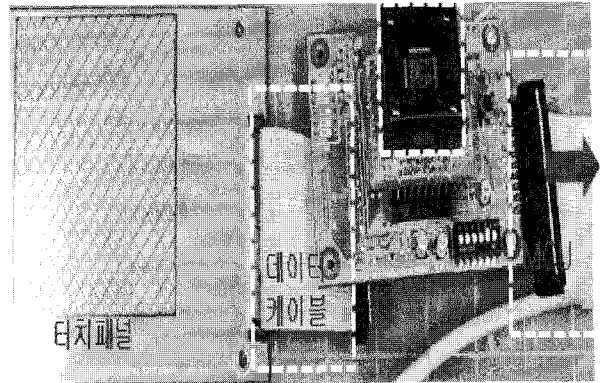


그림 10. 터치 센싱 보드
Fig. 10. Touch sensing Board.

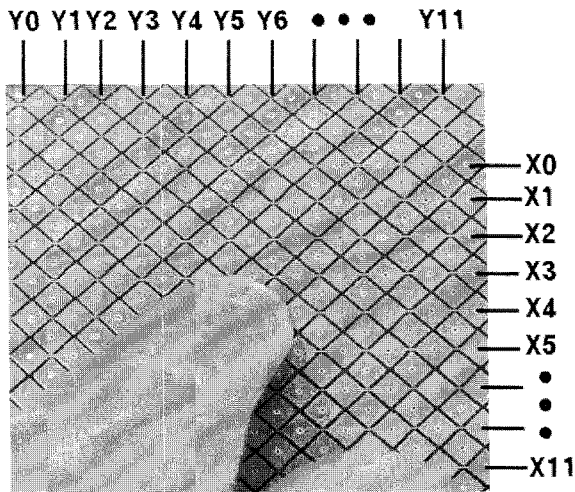


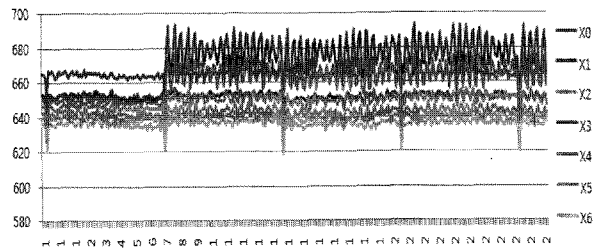
그림 9. 터치 센서 패널
Fig. 9. Touch Sensing Panel.

이 된다.

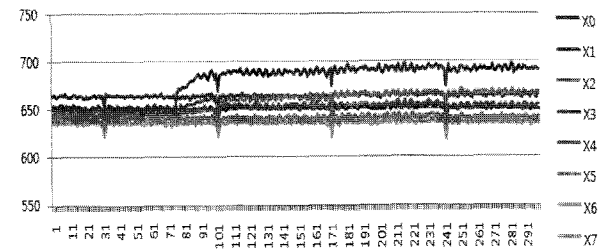
$$1/n = m^2 * Ton_{max} \quad (5)$$

단, Ton_{max} 는 센싱 커패시턴스에 걸리는 최대 시간이다.

식 (5)에 의하면, 커패시턴스 센싱 시간은 채널수와 초당 반복횟수에 반비례 하게 되는데, 만약 채널수가 커질 경우에는 센싱 시간(Ton)을 줄여야 하게 된다. Ton 은 식 (3)에서와 같이 센싱 커패시턴스와 저항에 비례하므로, 센싱 커패시턴스는 줄일 수 없으므로 저항을 줄여야 하며 이는 결국 센싱 커패시터에 충전하는 전류를 크게 해서 센싱 시간을 짧게 하는 것과 같다. 그러나 센싱



(a)



(b)

그림 11. 터치 센싱 입력 데이터 (a)입력 터치 신호
(b) 입력 터치 신호를 처리한 결과

Fig. 11. Touch Sensing Raw date.
(a) Touch input signals (b) Filtered signals

시간이 짧은 경우에는 센싱 커패시턴스의 해상도가 낮아져 터치 입력의 판단이 어려워 질 수 있으므로 상대적으로 센싱 해상도를 높이기 위해 센싱 클럭으로 높여서 해상도를 높이거나, 혹은 X축과 Y축의 센싱을 각각 별개로 센싱하는 방법을 취할 수 있다.

그림 10은 터치 센싱 테스트 보드로 터치 센싱 칩은 터치 패널로부터 터치 센싱 신호를 데이터 케이블로부터 병렬로 받고 터치 센싱 입력을 디지털로 터치 센싱 IC로 처리한 후 MCU에 I²C로 전달한다. MCU는 이 데이터로부터 노이즈 제거 작업과 위치 판단 알고리즘으로부터 터치 입력의 위치를 판단하게 된다.

그림 11은 입력 터치 신호에 대해서 X축을 스캔한 데이터로 그림 11(a)에서 처럼 X3 위치에서 터치 입력의 신호는 다른 신호에 비해 큰 신호로 입력되며, 이 신호를 MCU에서 디지털 필터링 하여 얻은 결과는 그림 11(b)와 같이 다른 채널과 구별할 수 있는 데이터를 얻을 수 있다.

터치 센싱 유닛의 센싱 해상도를 측정하기 위해서, 각 채널에 알려진 값의 커패시터를 연결하여 그 값에 대한 계수 값을 산출하여 C-T 특성을 그림 12와 같이 구했다.

측정에 사용된 커패시터는 MLCC(Multi-layer Ceramic Capacitor) 형으로 5 % 오차를 갖는 칩 부품으로 커패시터를 연결을 하지 않은 상태(C=0)부터 최대 100pF까지 측정하였다. 측정 결과는 고정된 기준 전류 상에서 계수기의 주파수를 f1의 경우 fosc/4, f2의 경우 fosc/8의 경우로 측정하였다.

측정 결과로부터 두 개의 그래프(f1, f2)를 선형 피팅을 의해 식을 구하면 식 6, 식 7과 같이 된다.

$$f1: \text{count} = 241.57 + 6.03 \times C_T \quad (6)$$

$$f2: \text{count} = 119.71 + 3.17 \times C_T \quad (7)$$

그래프 f1 은 센싱 클럭(fosc/4)이 그래프 f2의 센싱 클럭(fosc/8)에 2배가 되면, 계수 값의 비도 센싱 클럭 비와 같게 된다.

또한 그래프를 X 축으로 보정(Extrapolation)을 하여 X축에 미팅에서 만나는 점을 구하면 값은 37.73 pF으로 회로 내부 기생 커패시턴스와 보드 배선, 솔더링에 의한

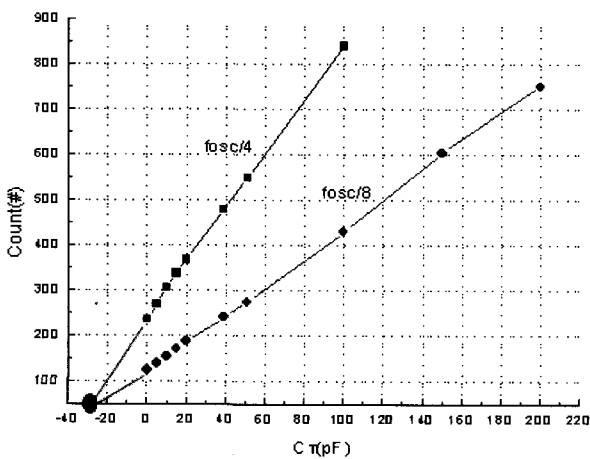


그림 12. 측정된 C-T 특성
Fig. 12. Measured Capacitance to Time Characteristics.

표 1. 성능 요약표

Table 1. Performance Summary.

		사양	기타
전원전압	아날로그	3.3 V	
	로직	1.8 V	
전력소모	CSU	60 uA	12x12
센싱 해상도		41 fF/Count	fosc @40MHz
최대 센싱 클럭		50 MHz	
면적		413x683 um ²	CSU

표 2. 성능 비교표

Table 2. Performance Comparison with prior works.

	참고문헌 [3]	참고문헌 [4]	본 논문
공정	-	0.35 um	0.18 um
센싱 방법	Σ-Δ	RC Delay (TDC)	C-T
센싱 해상도	1 fF	30 fF	41 fF
채널수	14	12	24
채널당 소모 전력	-	5 uA	2.5 uA
채널당 면적	-	0.41 mm ²	0.012 mm ²

커패시턴스의 합이 된다.

위 두 실험에서 구한 센싱 해상도는 40 MHz의 센싱 클럭에 대해서 41 fF/count 로, 한 계수 값에 대한 커패시턴스는 41 fF가 되며, 표 1은 성능을 요약한 결과다.

표 2에서 보듯이 채널당 면적이 참고문헌 [4]의 결과에 비해서 1/20 수준으로 낮으며, 소비 전력도 절반 이하로 작다. 이 커패시턴스 센싱 유닛은 용이한 채널 확장으로 SoC 내부에 터치 입력 IP로 사용될 수 있다.

V. 결 론

본 논문에서 SoC에 공정에 이용 가능한 정전 용량형 멀티채널 터치 센싱 ASIC을 제안하였다. 공통 처리 유닛을 사용하여 적은 소비 전력과, 적은 면적을 구현하였다. 본 터치 센서 ASIC의 최소 센싱 해상도는 한 카운터 당 41 fF이며, 내부 발진기를 내장하고 있다. 0.18 um CMOS공정으로 구현되어 있으며, 면적은 0.26 mm²이다. 3.3 V단일 전압으로 동작하고, 전체 소비 전력은 60 uA이다.

참 고 문 헌

[1] Sunsik Lee, Ahra Lee et al, "1.5V sub-mW CMOS interface circuit for capacitive sensor application in ubiquitous sensor networks", ETRI Journal, Vol. 30, Number 5, October 2008.

[2] A. Romani et al, "Capacitive sensor array for localization of bio particles in CMOS lab-on-a-chip", Dig. tech. Papers, IEEE Int. Solid-state circuits conf. pp. 233-234, 2004.

[3] AD7142 datasheet, ANALOG DEVICES.

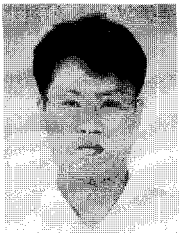
[4] B-J.Moon, D-Y Jung et al, "A full digital multi-channel CMOS capacitive sensor", Solid-state circuits conference, 2006, ASSCC 2006, pp 247-250, Nov. 2006.

[5] Y.Cao and G. Theme, "High-accuracy circuit for on chip capacitive ratio testing or sensing readout", IEEE Trans. circuit and systems, Vol. 41, pp 637-639, Sep. 1994.

[6] H.Huh, Y.Koo, K.-Y Lee, Y.Ok, S.Lee, D.Kwon, J Lee, Park, K.Lee, D.K.Jeong and W.Kim, "A CMOS dual-band fractional-N synthesizer with reference doubler and compensated charge pump", 2004 IEEE International Solid-State circuit Conference, pp.100-101, Feb 2004.

[7] Retdian, N., Takgai, S. and Fujii, N., "Voltage controlled ring oscillator with wide tuning range and fast voltage swing", IEEE Asia Pacific conference, ASIC on 2002, Proceedings, pp 201-204, Aug. 2002.

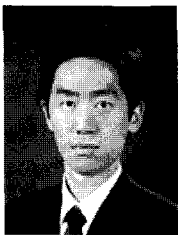
저 자 소 개



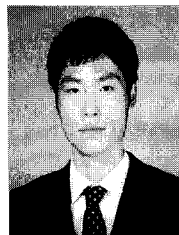
남 철(정회원)
 2001년 서울대학교 전기공학부 석사 졸업.
 2004년~현재 (주)실리콘하모니 수석 연구원.
 2007년~현재 건국대학교 전자정보통신공학과 박사과정.
 <주관심분야 : RF / 아날로그 집적회로 설계>



부 영 건(학생회원)
 2008년 건국대학교 전자정보통신공학과 석사 졸업.
 2008년~현재 건국대학교 전자정보통신공학과 박사과정.
 <주관심분야 : RF / 아날로그 집적회로 설계>



박 준 성(학생회원)
 2008년 건국대학교 전자공학과 학사 졸업.
 2008년~현재 건국대학교 전자정보통신공학과 석사과정.
 <주관심분야 : RF / 아날로그 집적회로 설계>



홍 성 화(학생회원)
 2008년 한림대학교 전자공학과 학사 졸업.
 2008년~현재 건국대학교 전자정보통신공학과 석사과정.
 <주관심분야 : RF / 아날로그 집적회로 설계>



이 강 윤(정회원)
 2003년 서울대학교 전기공학부 박사 졸업.
 2000년~2005년 (주)지씨티리씨책임 연구원.
 2005년~현재 건국대학교 전자공학부 조교수.
 <주관심분야 : RF · 아날로그 집적회로설계, 아날로그/디지털 Mixed Mode 설계>



허 정(정회원)
 1983년 서울대학교 전자공학과 석사 졸업.
 1991년 서울대학교 전자공학과 박사 졸업.
 1991년~현재 건국대학교 전자공학부 교수.
 <주관심분야 : 안테나, RF 및 Microwave 회로>