

DDS 불요파 제거 알고리즘을 이용한 X 대역 주파수 도약 합성기 설계

A Design of X band Frequency Hopping Synthesizer using DDS Spurious Reduction Method

권 건 섭*

Kun-Sup Kwon

Abstract

In this paper we propose a design method of X band frequency hopping synthesizer in terms of phase noise and settling time with DDS driven PLL architecture, which has the advantages of high frequency resolution, fast settling time and small size. In addition, a noble method is proposed to remove the synthesizer output spurious signals due to superposition effect of DDS. The spurious signal which depend on its normalized frequency of DDS, can be dominant if they occur within the PLL loop bandwidth. We verify that the sources of that spurious signals are quasi-amplitude modulation and superposition effect, and suggest that such signals can be eliminated by intentionally creating frequency errors in the developed synthesizer.

Keywords : DDS(직접 디지털 주파수합성기), Phase Noise(위상 잡음), Settling Time(도약시간) Superposition Effect(중첩효과), PLL(위상 고정 루프)

1. 서론

일반적으로 주파수 합성기 설계 시 우선적으로 고려해야 하는 항목으로 위상 잡음이 있다^[1~5]. 하지만, 본 논문에서 설계한 주파수 합성기의 경우 X 대역에서 고속 도약특성을 요구하고 있으므로 도약시간(Settling Time) 또한 중요 설계요소가 된다.

소형의 한정된 공간에서 X 대역 고속 도약특성을

만족하고, 일정 요구수준 이하의 위상 잡음을 유지하기 위해, 본 논문에서는 DDS Driven PLL 구조를 선택하였다. 빠른 도약시간을 만족하기 위한 상대적으로 넓은 루프 대역폭을 갖도록 설계하고 DDS칩을 사용 상대적으로 큰 PLL 기준주파수를 사용했기 때문에 최종 대역인 X 대역에서 고해상도 특성과 위상 잡음의 목표치를 만족하기 용이하기 때문이다. 본 논문에서는 설계된 DDS Driven PLL 구조의 주파수 합성기에 대한 최적화된 위상 잡음 및 도약시간 모델링 방법을 제안한다.

한편 DDS칩을 사용하여 주파수 합성기를 설계 시 일반적인 고정 주파수 발생기에 비해 DDS 불요파 특

† 2010년 6월 14일 접수~2010년 8월 20일 게재승인

* 국방과학연구소(ADD)

책임저자 : 권건섭(kevin.kwon@add.re.kr)

성에 기인하는 다양한 불요파들이 발생하는 단점이 있다. DDS칩은 2진수 시스템에 기초를 둔 샘플링 이론을 이용하여 신호를 발생 시키며, 불요파의 종류는 그 원인에 따라 크게 4가지로 분류될 수 있으며 여러 문헌에서^[6~11] 자세하게 분석되었다.

주요 4가지 불요파 원인 외에도 DDS에는 다른 근본적인 불요파의 원인이 존재한다. 이것은 DDS의 주파수 합성비에 의존하는 불요파로서, 발생 원인에 따라 중첩효과(Superposition Effect) 및 유사 진폭변조(Quasi Amplitude Modulation)로 나뉜다^[8].

DDS Driven PLL 구조의 주파수 합성기를 설계 시 앞서 언급한 주요 4가지 불요파의 크기를 부품 공급 업체에서 제공하는 데이터시트를 이용하여 검토 및 반영이 가능하다. 하지만 중첩효과 및 유사 진폭변조에 의한 불요파의 경우 광대역도약 시스템에서는 특정 주파수 합성비 범위에서 최종 출력에 증가되어 나타남으로 불요파를 억제할 수 있는 수단이 없다. 이러한 문제점을 해결하기 위해 본 논문에서는 DDS Driven PLL 구조의 광대역 도약 주파수 합성기 설계 시 특정 주파수 합성비를 효과적으로 회피할 수 있는 방법을 제안한다.

본 논문은 2장에서 X 대역에서 도약하는 주파수 합성기의 설계방안 및 측정결과를 제시한다. 그리고 3장에서는 특정 주파수 합성비에 의존하는 불요파에 대해 원인분석을 하고 4장에서는 특정 주파수 합성비를 주파수 정확도와 trade-off함으로써 불요파를 제거하는 방법 및 그 결과를 제시하면서 결론을 맺는다.

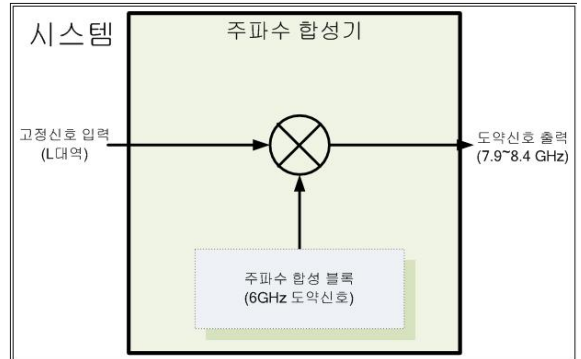
2. 주파수 합성기 설계

가. 주파수 합성기 구조

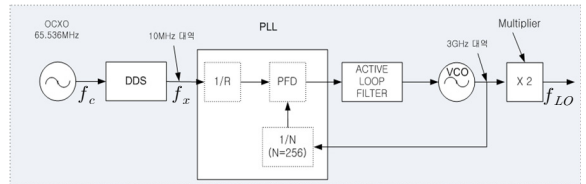
본 논문에서는 Fig. 1과 같이 주파수 혼합기(Mixer)를 포함하는 DDS Driven PLL 구조의 주파수 합성기를 설계한다. Fig. 1(a)는 주파수 합성기가 L 대역 신호를 입력받아 Fig. 1(b)의 출력인 LO 신호와 혼합되어 7.9~8.4GHz 대역의 도약 신호를 출력하는 모습을 나타낸다. Fig. 1(b)는 기준 주파수를 DDS칩을 이용하여 10MHz 대역의 고해상도 도약신호를 생성하고, 이를 다시 PLL(N=256)을 거쳐 3GHz 대역 도약 신호를 발생시키며, 마지막으로 주파수 체배기(X2)를 적용하여 6GHz 대역 LO 주파수를 생성한다.

Fig. 1의 주파수 합성기는 Table 1의 설계 파라미터

를 사용하여 설계 및 제작되었다. 기준 주파수 발진기로서 65.536MHz의 OCXO를 사용하고, 8.15GHz의 최종 주파수를 생성하기 위해 PLL의 기준 주파수로 DDS 출력인 12.8MHz를 사용한다. 또한, 저역 통과 필터로서 능동형 필터를 적용하였으며, OPamp 포함하는 루프필터의 잡음 관련 사양을 Table 2에 나타내었다.



(a) 주파수 합성기 구조



(b) 주파수 합성블록 내부구조

Fig. 1. 제안된 주파수 합성기 블록도

Table 1. 주파수 합성기 설계 파라미터

Parameters	Value
Frequency accuracy	0.01ppm
Reference Frequency(f_c)	65.536MHz
IF frequency	1574.4MHz
PLL loop Bandwidth(BW_{loop})	120kHz
PLL N counter	256
PLL R counter	1
Settling time	< 20usec

나. 주파수 합성기 위상 잡음

DDS Driven PLL 구조의 도약 주파수 합성기 설계

시 크게 두가지의 고려해야할 설계 요소가 있다.

첫째가 위상 잡음으로서 어느 정도의 예측이 가능해야만 위상 잡음의 최적화에 따르는 시간을 최소화할 수 있다. 위상 잡음 모델링의 경우 많은 문헌들^[1~5]로부터 모델링 방법이 제시되어 있지만, 합성기 구조 및 저역 통과 필터 형태에 따라 많은 주파수 합성기 조합이 발생하므로 설계된 주파수 합성기의 구조에 최적화된 모델링 방법이 필요하다. 즉, 앞서 언급하였듯이 DDS Driven PLL 주파수 합성기의 경우, 일반적인 주파수 합성기 고려사항 외에 DDS의 위상 잡음 영향을 추가로 고려하는 것이 필요하다.

Fig. 2는 Fig. 1의 블록도를 바탕으로 DDS칩의 위상 잡음을 포함하는 각 소자에 의해 부가되는 위상 잡음원을 나타낸 것이다.

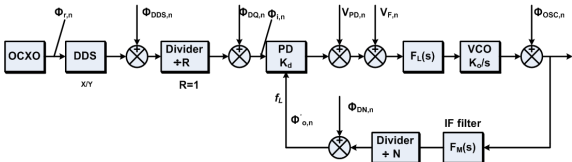


Fig. 2. 제안된 주파수 합성기 잡음원

주파수 합성기의 출력 위상 잡음은 주파수 합성기 내의 각 위상 잡음원이 상호 독립(uncorrelated)이고, 위상 동기된 주파수 합성기라고 가정하면 중첩의 원리를 적용하여 주파수 영역에서 표현할 수 있다. 따라서, 주파수 합성기의 모든 위상 잡음원 $\Phi_{\dots,n}$, $V_{\dots,n}$ 의 PSD(Power Spectral Density)를 $S_{\dots,n}$ 라고 가정하면, 즉, 출력 위상 잡음 $\Phi_{o,n}$ 의 PSD를 $S_{o,n}$ 으로 표현하면, $S_{o,n}$ 은 식 (1)과 같이 각 위상 잡음원의 PSD 합으로 간단히 표현할 수 있다^[3~5].

$$S_{o,n} = (N)^2 \cdot \left\{ \left(S_{r,n} \cdot \left(\frac{X}{Y} \right)^2 + S_{DDS,N} \right) \cdot \left(\frac{1}{R} \right)^2 + S_{DQ,n} + S_{DN,n} + \frac{S_{PD,n}}{K_d^2} \right\} \cdot |H'(f)|^2 + (S_{osc,n} + S'_{F,n}) \cdot |1 - H'(f)|^2 \quad (1)$$

여기서

$$H'(s) = \frac{KF_L(s)/Ns}{1 + KF_L(s)/Ns} = \frac{K'F_L(s)/s}{1 + K'F_L(s)/s},$$

$K' = \frac{K_d K_o}{N} = \frac{K}{N}$ 이며, K_d 와 K_o 는 Table 1에 제시되고, N 은 PLL의 분주비를 의미하며, $\frac{X}{Y}$ 는 DDS의 주파수 합성비를 나타낸다. 또한 $S'_{F,n} = S_{F,n} \cdot \left| F_L \cdot \frac{K_o}{s} \right|^2$ 이다.

각각의 $S_{\dots,n}$ 을 실제 측정치 및 데이터 시트에 바탕을 둔 모델링 방법과 Table 2의 설계 파라미터를 이용하여 각 위상 잡음원들의 PSD를 유도한 후 식 (1)에 적용함으로써 최종 위상 잡음인 $S_{o,n}$ 을 Fig. 3과 같이 예측할 수 있다^[4].

Table 2. 위상 잡음 설계 파라미터

PLL parameter	값
출력 주파수(주파수 혼합기 출력)	8.15GHz
Comparator operating frequency	12.8MHz
Phase detector gain(K'_d)	8.5mA
VCO gain(K'_o)	30MHz/V
Loop bandwidth	120kHz
Phase margin	50degree
Input voltage noise($v_{n,A}$, OPamp)	16nV/√Hz @1kHz
Input current noise($i_{n,A}$, OPamp)	0.8fA/√Hz @1kHz

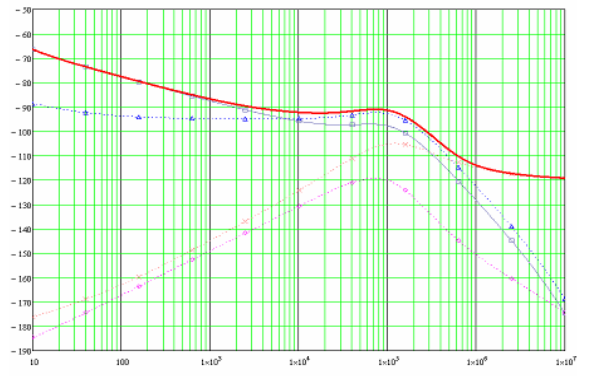


Fig. 3. 체배기 입력 위상 잡음 특성(3.25GHz)

Fig. 3은 3GHz 대역의 체배기 입력에서 예측한 위상 잡음 분포를 나타낸다. 루프 대역폭 내에서는 DDS

출력 신호 및 PLL 칩에 의한 영향이 가장 크고, 대역폭 밖에서는 VCO에 의한 영향이 가장 크다. 또한, 대역폭 근방에서는 어떠한 잡음원도 무시할 수 없음을 알 수 있다.

Fig. 4는 실제 측정치와 시뮬레이션 값의 비교하여 나타낸 그림으로 측정치와 약 2dB의 오차를 보인다.

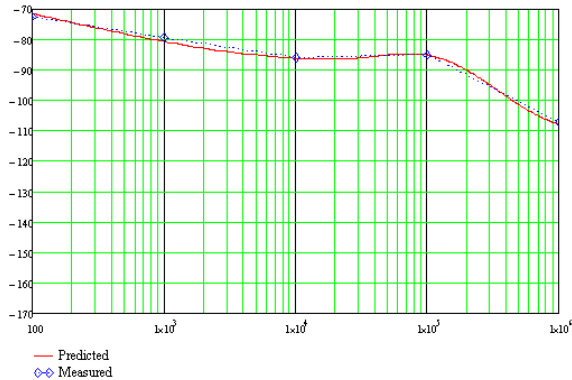


Fig. 4. 주파수 혼합기 입력 위상 잡음 특성(6.5GHz)

다. 주파수 합성기 도약시간

DDS Driven PLL 구조의 도약 주파수 합성기 설계 시 고려해야할 다른 한 가지 중요요소는 도약시간이다. 주파수 합성기의 도약시간을 결정짓는 가장 큰 요소는 PLL의 시스템 전달함수의 루프 대역폭(Loop bandwidth)으로서 루프필터(Loop filter)의 대역폭에 반 비례한다. 즉 루프필터의 대역폭이 증가하면 도약시간이 짧아지고, 좁아지면 도약시간이 길어진다.

Fig. 2의 PLL 부분의(DDS 부분 제외) 시스템 전달함수 H(S)는 다음 식으로 표현된다.

$$G(s) = \frac{k_\phi \cdot k_{VCO} \cdot F_L(s)}{s} \tag{2}$$

$$H(s) = \frac{1}{R} \cdot \frac{G(s)}{1 + G(s) \cdot 1/N} \tag{3}$$

식 (3)의 시스템 전달함수 H(S)의 순시응답(Transient Response)으로부터 도약시간을 유도 할 수 있다^[5].

Fig. 5는 주파수 합성기에 적용한 루프필터로서 3-pole loop filter 구조이다. 이 형태의 루프필터는 PLL Charge-Pump 공급전압의 중심에 Charge-Pump 출력이 존재하여 발생 가능한 불요파의 크기를 낮출 수 있는 장점을 갖는다^[5].

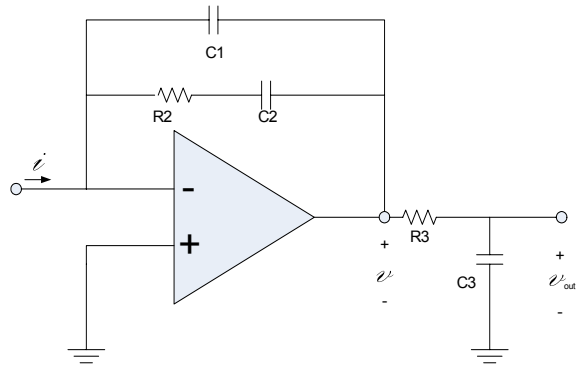


Fig. 5. Loop Filter Topology

Fig. 5의 루프필터의 전달함수 $F_L(s)$ 는 다음과 같이 계산된다.

$$z = \frac{v}{i} = \frac{1}{sC_1} // \left(R_2 + \frac{1}{sC_2} \right) \tag{4}$$

$$v_{out} = \frac{\frac{1}{sC_3}}{R_3 + \frac{1}{sC_3}} \cdot v \tag{5}$$

$$F_L(s) = Z(s) = \frac{v}{i} \cdot \frac{v_{out}}{v} = \frac{1}{s} \cdot \frac{sC_2R_2 + 1}{sC_1C_2R_2 + C_1 + C_2} \cdot \frac{1}{sR_3C_3 + 1} \tag{6}$$

위의 계산된 루프필터 전달함수 $F_L(s)$ 의 R, C 소자 값은 Table 2의 파라미터로부터 계산된다^[5].

Fig. 6은 식 (2)~(6)을 적용하여 설계된 시스템 전달함수 H(s)를 이용하여 X 대역 최종출력의 도약 시간 시뮬레이션 결과를 나타낸 것으로 도약시간이 약 11 us 이내로서 Fig. 7의 VCO의 입력전압을 측정 한 것(약 10us 이내)과 거의 일치함을 확인 할 수 있다.

Fig. 8은 Fig. 1에서 제안한 구조와 위상 잡음 및 도약시간 시뮬레이션을 바탕으로 제작한 주파수 합성기이다. Fig. 8의 좌측은 3GHz 이상의 고주파 대역으로써 고주파 특성에 알맞은 테플론 기판을 사용하여 구현하여, 기판 뒷면이 기구와 접지가 되도록 설계하였다.

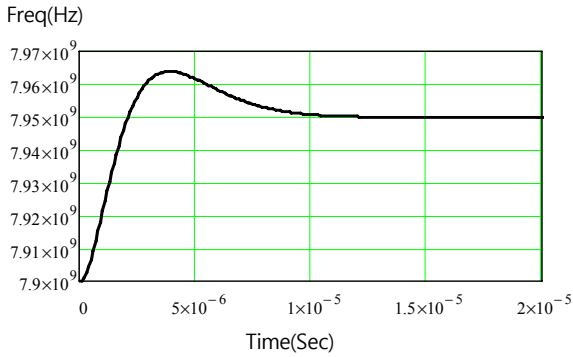


Fig. 6. 도약시간 시뮬레이션 결과(11us 이내)

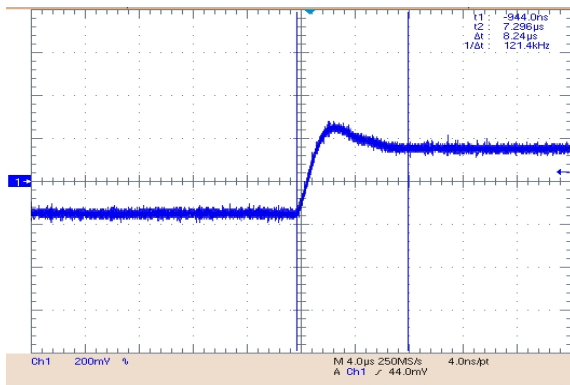


Fig. 7. 도약시간 측정결과(10us 이내)

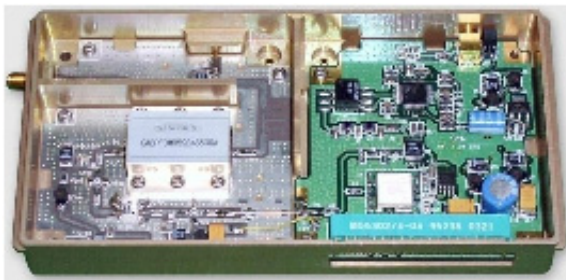


Fig. 8. 제작된 주파수 합성기 사진

3. DDS 불요파 분석

모든 DDS칩은 2진수 시스템에 기초를 둔 샘플링 이론을 이용하여 신호를 발생 시키며, 불요파의 종류는 그 원인에 따라 크게 4가지로 분류될 수 있다^[6~11]. 첫째 위상 bit 제거(Truncation), 둘째 sine look-up 표에서 제한된 bit, 셋째 DAC(Digital to Analog Converter)

의 해상도, 넷째 상호변조(Intermodulation)가 있다. Fig. 9는 DDS 일반적 기능 블록도와 각각의 불요파 원인을 나타내었고, 이러한 불요파의 특징은 하드웨어를 어떻게 구성하느냐에 따라 그 크기가 달라지며, 대체로 하드웨어 용량을 크게 할수록 불요파의 크기가 낮아진다. 여기서 R_d 비트 Accumulator의 출력은 주기 $T_x (= 1/f_x)$ 를 갖는 sine 함수의 위상을 나타내며, R_d 비트 중 W_d 비트만을 사용하여 ROM에 저장된 sine look-up 표에서 sine 함수 진폭 값을 결정한다. 진폭값은 S_d 비트로 표시되지만 DAC(Digital to Analog Converter)에서는 S_d 비트 중 A_d 비트를 이용하여 sine 파를 출력한다. DDS의 모든 기능들은 디지털 샘플링 이론을 기초로 하므로, Aliasing 문제가 발생하며, 대부분의 DDS 들은 최종 출력에 Anti-aliasing filter를 사용한다.

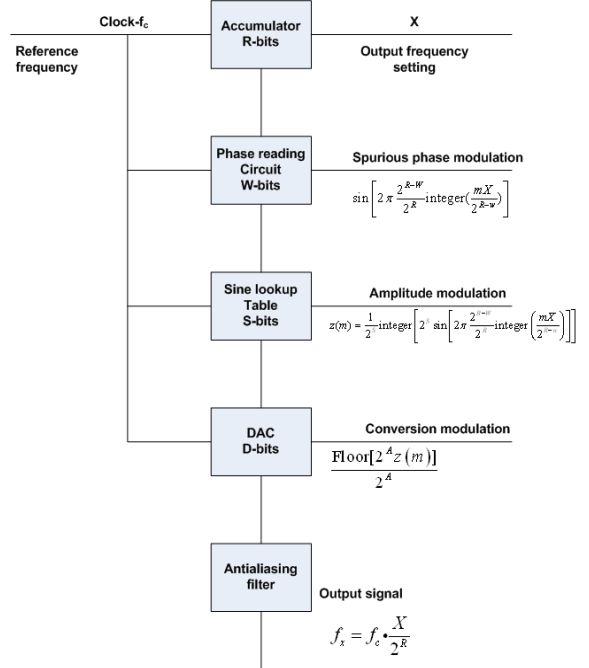


Fig. 9. DDS 일반적 기능 블록도 및 불요파 원인^[7]

Table 3은 본 논문에서 사용된 Analog Devices 사의 DDS칩 파라미터를 나타낸다.

DDS는 고용량의 메모리를 가질수록 불요파 특성에 유리 하지만, Table 3과 같이 H/W 구현상 비트 수의 제한이 불가피하므로, 서론에서 언급한 불요파의 원인이 된다^[8].

Table 3. DDS칩 파라미터

항목	내용
R _d (Accumulator Bit)	32
W _d (Phase Reading Bit)	19
S _d (Sine Look-up Bit)	14
A _d (DAC Bit)	14

한편, 주요 4가지 불요파 원인 외에도 DDS에는 다른 근본적인 불요파의 원인이 존재한다. 이것은 DDS의 주파수 합성비에 의존하는 불요파로서, 발생 원인에 따라 중첩효과 및 유사 진폭변조가 있다^[10].

DDS의 동작은 기준 주파수 혹은 주어진 입력 주파수, f_c 에 대해 임의의 주파수 f_x 를 발생시키는 것으로 다음의 식으로 표현이 가능하다.

$$f_x = \xi_x \cdot f_c \tag{7}$$

여기서 ξ_x 는 주파수 합성비를 의미하고, $\xi_x = \frac{X}{Y} = \frac{X}{2^n}$ 이며, X와 n은 자연수이고, 본 논문에서 사용된 DDS는 $n=32$ 이다.

중첩효과 및 유사 진폭변조는 주파수 합성비에 의존하는 현상으로서 주파수 합성비의 연분수 확장(Continued Fraction Expansion)을 이용하여 설명할 수 있다^[8~11].

Fig. 10은 중첩효과의 변조의 특성을 설명하기 위해 주파수 합성비, $\xi_x = \frac{85}{256}$ 일 때 DDS 출력파형을 시뮬레이션 한 것이다.

식 (7)의 주파수 합성비 ξ_x 는 연분수 확장을 이용하여 다음과 같이 근사화 하여 표현할 수 있다.

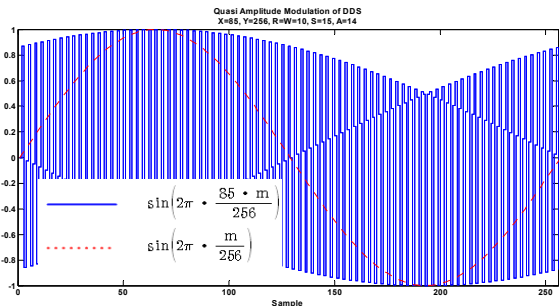


Fig. 10. DDS 출력 파형의 시뮬레이션

$$\xi_x = \frac{X}{Y} \approx \frac{a_1}{B_1} + \frac{a_2}{B_1 \cdot B_2} + \dots + \frac{a_n}{B_{n-1} \cdot B_n} + \dots \tag{8}$$

여기서 B_n 는 자연수이고, a_n 는 1혹은 -1이며, n 항까지 근사한 경우의 오차는 $1/B_n^2$ 보다 작다. 일반적으로 주파수 합성비 ξ_x 의 근사화는 $n=2$ 까지 수행함으로써 충분한 것으로 알려져 있다^[10].

한편 Fig. 10의 주파수 합성비를 연분수 확장으로 표현하면 다음과 같다.

$$\xi_x = \frac{85}{256} = \frac{1}{3} - \frac{1}{3 \cdot 256} \tag{9}$$

식 (8)의 B_2 에 해당하는 주기가 256인 신호와 주기가 3인 신호가 중첩되어 나타나는 중첩효과로 인해 변조된 신호가 출력됨을 알 수 있다. 따라서 변조 주파수를 f_{mod} 라고 하면 다음과 같이 표현 된다.

$$f_{mod} = \frac{1}{B_2 \cdot T_c} \tag{10}$$

여기서 T_c 는 샘플링 주기이다.

이와같이 B_2 의 값이 홀수인 경우 중첩효과가 발생하며, 짝수인 경우 AM변조와 유사한 유사 진폭변조가 발생한다. 중첩효과 및 유사 진폭변조 현상은 Fig. 10에서 DDS의 각 단계별 H/W 용량이 증가 혹은 감소하더라도 변화 없이 유지되어 최종단에 출력된다^[10].

DDS의 중첩효과 및 유사 진폭변조 효과에 기인하는 불요파가 캐리어 인근에 발생하는 경우, 즉 주파수가 루프 대역폭 내에 발생하면- B_2 가 식 (11)을 만족하면- 불요파는 $20\log(N)$ 만큼 크게 증폭되어 PLL 최종 출력에 나타날 것이다^[11].

$$B_2 > \frac{1}{BW_{loop} \cdot T_c} \tag{11}$$

이를 감쇄시키기 위해 루프대역폭을 좁게 구현할 수 있지만, 이로 인해 도약 속도가 느려지게 된다.

Fig. 11은 Fig. 8의 주파수 합성기 출력에 L 대역으로 단일신호(Single Carrier)를 입력하였을 때, X 대역 출력신호를 측정된 그림이다. Fig. 11의 주파수 합성비는 식 (8)을 이용하여 다음과 같이 표현될 수 있다.

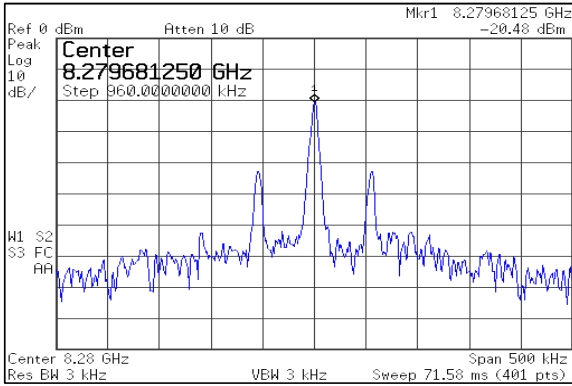


Fig. 11. 주파수 합성기 출력 스펙트럼
(X=858275968, B=1196)

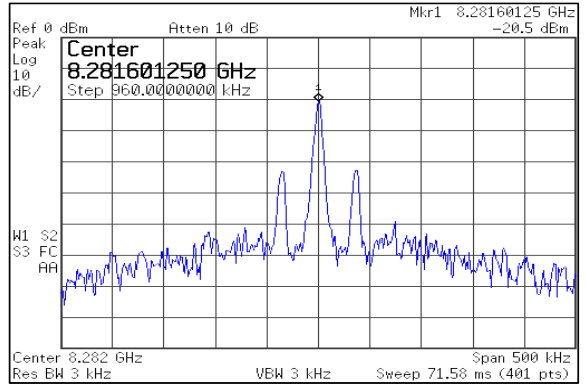


Fig. 13. 주파수 합성기 출력 스펙트럼
(X=858521728, B₂=1821)

$$\frac{X}{Y} = \frac{1}{5} - \frac{1}{5 \cdot 1196} + \frac{1}{1196 \cdot 4789} - \dots \quad (12)$$

따라서 식 (10) 및 식 (12)로부터 변조 주파수를 계산하면 54.796kHz이고, Fig. 11의 불요파와 일치함을 확인 할 수 있으므로, 이 불요파는 중첩효과에 의한 결과임을 알 수 있다.

Fig. 12, Fig. 13은 주파수 합성비가 변화될 때 출력 스펙트럼을 나타낸 것으로 식 (10)에 따라 변조 주파수가 변화됨을 알 수 있다.

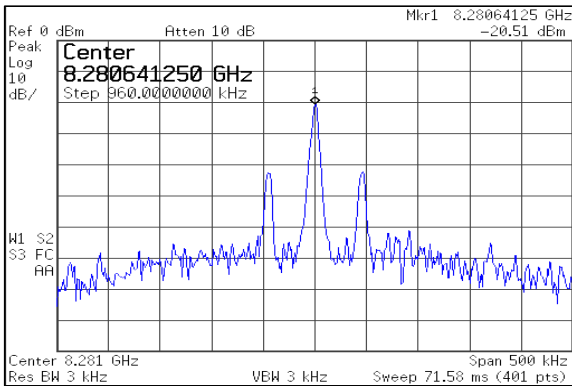


Fig. 12. 주파수 합성기 출력 스펙트럼
(X=858398848, B₂=1446)

Fig. 11~13과 같은 중첩효과 현상은 식 (11)로부터 출력주파수 7,900~8,400MHz 중 변조 주파수가 주파수 합성기의 루프 대역폭 내에 위치하는 8,273~8,297 MHz에 걸쳐서 심각하게 나타남을 알 수 있다.

4. DDS 불요파 감소방안

Fig. 14는 Fig. 1의 주파수 합성기 구조를 주파수 합성기 제어부를 포함시켜 간략히 나타내었다. Fig. 14에서 최종 출력주파수 f_{LO} 는 기준주파수 f_c 와 다음의 관계가 성립한다.

$$f_{LO} = 2 \cdot N \cdot \xi_x \cdot f_c = 2 \cdot N \cdot \frac{X}{2^{32}} \cdot f_c \quad (13)$$

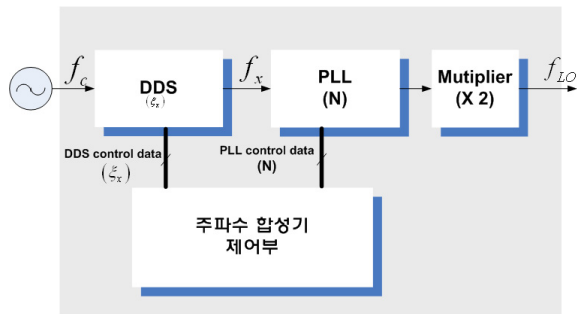


Fig. 14. 주파수 합성 제어 블록도

주파수 합성기 제어부는 PLL의 N 및 DDS의 ξ_x 를 각각 제어하여 최종 주파수를 합성한다. 도약 시스템에서는 ξ_x 의 X값을 일정 간격으로 변화시켜 도약 주파수를 합성 할 수 있다. 따라서 주파수 도약을 하는 도약시스템에서 X는 다음과 같이 표현된다.

$$X = X_0 + \Delta X \cdot m \quad (m = 0, 1, 2, \dots) \quad (14)$$

여기서 X_o 는 초기 위상값이고, ΔX 는 도약을 위한 위상증분을 의미하며, 모두 자연수로 표현 되어야 한다.

출력주파수의 증분을 Δf_{LO} 이라고 가정할 때 ΔX 는 다음과 같이 계산되어진다.

$$\Delta X = (\Delta f_{LO}/N) \cdot \frac{2^{32}}{f_c} \quad (15)$$

$$= \Delta X_{int} + \frac{q}{p}$$

($q < p$ 이며 p 는 자연수, q 는 0 혹은 자연수)

여기서, ΔX_{int} 는 $(\Delta f_{LO}/N) \cdot \frac{2^{32}}{f_c}$ 의 정수부분을, $\frac{q}{p}$ 는 소수 부분을 나타낸다. 만약 N 을 2의 거듭제곱으로 설정하고, Δf_{LO} 를 f_c 의 약수로 설계하면, $\frac{q}{p}$ 는 0으로 표현되고, ΔX 는 정수가 된다.

N 을 2의 거듭제곱이 아닌 임의의 자연수로 설계하면, ΔX 는 식 (15)로부터 자연수가 아닌 유리수가 된다. 그러나 DDS의 동작은 자연수에 기초를 둔 시스템으로 $\frac{q}{p}$ 항과 같은 유리수 항을 표현하는 것은 불가능하며, 결국 최종 출력주파수는 $\frac{q}{p}$ 값에 따라 반올림된 ΔX_{int} 에 의해 결정이 되고 주파수 오차가 발생한다. 이 오차는 식 (14)의 m 값이 증가할수록 누적 되므로 광대역 도약 시스템에서 적용이 불가하다.

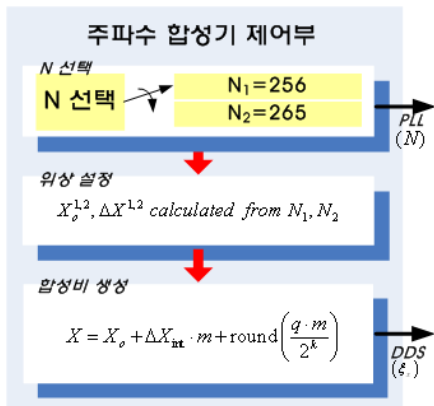


Fig. 15. 제안한 주파수 합성기 제어부

본 논문에서는 중첩효과 및 유사 진폭문제를 해결하기 위해 Fig. 15와 같은 주파수 합성기 제어부 구조를 제안한다. 제안된 구조는 DDS 불요파가 많은 영향

을 주는 8,273~8,297MHz 대역과 그렇지 않은 7,900~8,210MHz 대역에서 N 값을 달리 설정하여, 유사 진폭 변조 주파수가 루프대역폭 내에 발생하는 DDS의 주파수 합성비 범위를 회피하는 것이다.

Fig. 15의 주파수 합성기 제어부는 식 (15)~(17)의 합성비를 생성하는 알고리즘을 이용하여 출력주파수의 오차를 일정수준 이하로 발생시키면서 불요파가 발생하는 특정 ξ_c 범위를 회피할 수 있다.

$$p = 2^k \quad (k \text{는 } 0 \text{ 혹은 자연수}) \quad (16)$$

$$q = \text{round}\{p \cdot (\Delta X - \Delta X_{int})\}$$

$$X = X_o + \left(\Delta X_{int} + \frac{q}{2^k}\right) \cdot m \quad (17)$$

$$= X_o + \Delta X_{int} + \frac{q \cdot m}{2^k}$$

$$\approx X_o + \Delta X_{int} \cdot m + \left\{ \text{round}\left(\frac{q \cdot m}{2^k}\right) \right\}$$

(q, k 는 0 혹은 자연수, $m = 0, 1, 2, \dots$)

여기서 round는 반올림을 의미한다.

식 (16)에 따라 p 는 임의로 선택가능하고, 그에 따른 q 를 각각 계산할 수 있으며, 식 (17)을 이용하여 최종 출력의 주파수를 계산할 수 있다.

Fig. 16, 17은 앞서 언급한 방법으로 계산한 출력주파수와 $N=256$ 일 때의 출력주파수와 비교하여 주파수 오차를 나타낸 것이다. 한편, 식 (16)에서 p 의 값을 2의 거듭수로 한정된 이유는 식 (17)의 나눗셈을 간단하게 구현하여 H/W의 복잡도를 획기적으로 줄일 수 있기 때문이다. 또한 Fig. 16, 17에서 k 값을 40이하로 제한한 이유는 그 이상의 값에서도 주파수 오차가 더 이상 감소하지 않음을 실험적으로 확인하였기 때문이다.

Fig. 16은 k 값에 따른 최대 주파수 오차를 나타내고, Fig. 17은 주파수 오차 평균 및 안정도 특성을 추가로 나타낸다. 식 (15)~(17)에서 버림 및 반올림의 선택에 따라 8가지 경우의 수가 발생하며, 각각의 경우에 대해 비교한 결과 식 (15)는 버림을 적용하고, 식 (16) 및 식 (17)에서는 반올림을 적용하는 경우, 주파수 오차 및 주파수 오차의 평균, 분산 값이 가장 작게 나타났다. Fig. 16, 17로부터 p 의 값이 $2^0 \sim 2^5$ 까지 급격히 주파수 오차가 감소하며 2^6 부터는 거의 변화가 없으며, 2^{12} 부터 다시 조금 증가함을 알 수 있다.

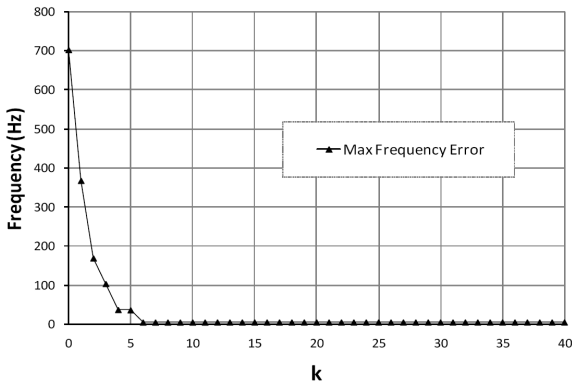


Fig. 16. k에 따른 최대 출력주파수 오차 변화

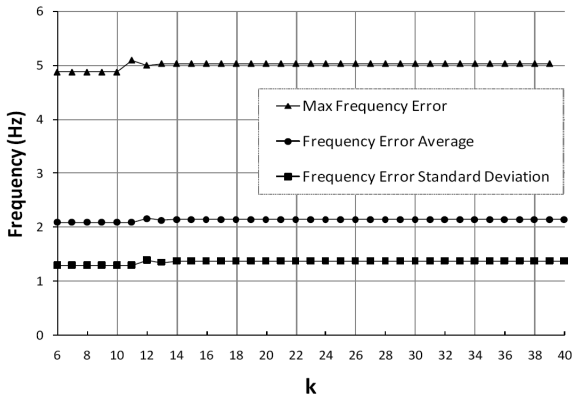


Fig. 17. k에 따른 출력주파수 오차 및 평균/분산

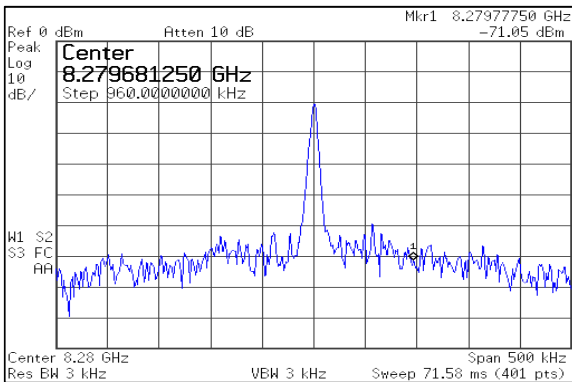


Fig. 18. 주파수 합성기 출력 스펙트럼
(X=829126973, B₂=31)

위의 분석 결과로부터 43/64(k=6)이 최적의 q/p값임을 알 수 있다. q/p가 43/64일 때 8,210MHz~8,389 MHz 대역에서 최대 주파수 오차는 4.8828 Hz @

8.273825GHz 즉, 0.00059ppm로 시스템 요구 규격치 0.01ppm에 충분한 마진을 갖는다. 결과적으로 제안한 주파수 제어 알고리즘의 적용으로 시스템 허용 범위의 주파수 오차가 발생하나 Fig. 18~20과 같이 유사 진폭주파수가 루프대역폭 내에 발생하는 ξ_r 범위를 회피함으로써 최종 출력단의 최대 25dBc 크기의 불요파를 제거할 수 있다.

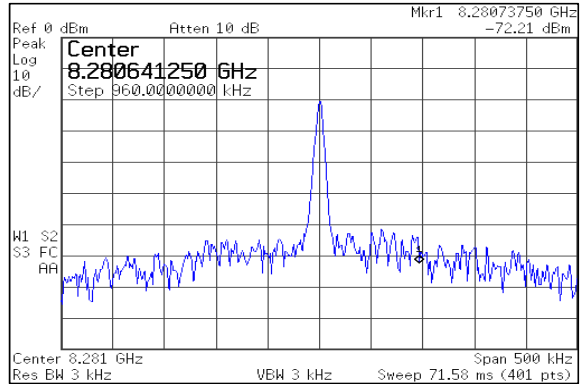


Fig. 19. 주파수 합성기 출력 스펙트럼
(X=829245679, B₂=31)

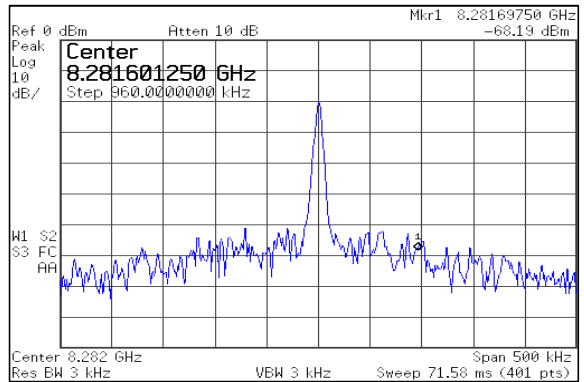


Fig. 20. 주파수 합성기 출력 스펙트럼
(X=829364386, B₂=31)

5. 결론

본 논문에서는 DDS driven PLL 구조의 X 대역 광대역 도약 주파수 합성기를 설계하는 방안을 위상 잡음 및 도약시간 측면에서 제안하였다. 또한 최종 출력에 나타나는 캐리어에 인접하고 주파수 합성비에 의

존하여 발생하는 불요파가 중첩효과에 의한 것임을 입증하고, 중첩효과가 최종 출력에 심각하게 나타나는 주파수 합성비 범위를 회피할 수 있는 방안을 제안하였다.

제안된 방식은 HW 변경 없이 출력주파수를 일정 수준의 오차로 근사하는 방식으로 주파수 안정도 측면에서 최대 4.8828Hz @ 8.273825GHz의 오차를 갖지만, 중첩효과가 심각한 대역을 회피함으로써 불요파를 제거할 수 있었다.

향후 DDS에서 HW가 원인인 불요파들은 꾸준히 개선될 것으로 예상되지만, 중첩효과 및 유사 진폭변조 현상은 계속해서 나타나므로 설계 시 유의가 필요하다.

Reference

- [1] Venceslav F. Kroupa, Phase Lock Loops and Frequency Synthesis, New York : John Wiley, 2003.
- [2] Ulrich L. Rohde, Microwave and Wireless Synthesizers Theory and Design, John Wiley & Sons, pp. 489~503. 1997.
- [3] 김영완, 박동철, “위성 통신 시스템용 위상 고정 루프 주파수 합성기의 위상 잡음 예측 모델”, 한국전자과학회논문지, 14(8), 2003. 8.
- [4] 권건섭, 이성재, “DDS Driven PLL 구조 주파수 합성기의 위상 잡음 분석”, 한국전자과학회논문지, 19(11), 2008. 11.
- [5] Dean Banerjee, “PLL Performance, Simulation, and Design”, pp. 5~113. 2nd Edition, 2001.
- [6] M. W. Williard, and G. F. Anderson, “The Use of a Fractional Bistable Multivibrator Counter in the Design of an Automatic Discriminator Calibrator”, IRE Nat. Conv. Rec., Part 5, p. 176, 1959.
- [7] Henry T. Nicholas, III and Henry Samuelli, “An Analysis of the Output Spectrum of Direct Digital Frequency Synthesizers in the Presence of Phase-Accumulator Truncation”, Proceedings of the 41st Annual Frequency Control Symposium, pp. 495~502, 1987.
- [8] Venceslav F. Kroupa, Direct Digital Frequency Synthesizers, New York : IEEE Reprint Press Book, 1998.
- [9] Venceslav F. Kroupa, “Spectral Properties of DDFS : Computer Simulations and Experimental Verifications”, IEEE International Frequency Control Symposium, pp. 613~623, 1994.
- [10] Venceslav F. Kroupa, “Phase and Amplitude Disturbances in Direct Digital Frequency Synthesizers”, IEEE Trans. Ultrasonics, Ferroelectrics and Frequency Control, Vol. 46, Issue 3, pp. 481~486, May, 1999
- [11] 권건섭, “DDS Driven PLL 구조 주파수 도약 합성기의 DDS 불요파 감소방안 연구”, 한국군사과학기술학회 2009년도 종합학술대회, 2009. 8.