

P형 우물 영역의 도핑 농도와 면적에 따른 4H-SiC 기반 DMOSFET 소자 구조의 최적화

안정준¹, 방 옥², 김상철², 김남균², 정홍배¹, 구상모^{1,a}

¹ 광운대학교 전자재료공학과

² 한국전기연구원 에너지반도체연구센터

Optimization of 4H-SiC DMOSFETs by Adjustment of the Dimensions and Level of the p-base Region

Jung-Joon Ahn¹, Wook Bahng², Sang-Chul Kim², Nam-Kyun Kim², Hong-Bae Jung¹, and
Sang-Mo Koo^{1,a}

¹ Department of Electronic Materials Engineering, Kwangwoon University, Seoul 139-701, Korea

² Research Center for Energy Efficient Semiconductors, Korean Electrotechnology Research Institute,
Changwon 641-120, Korea

(Received April 14, 2010; Revised June 15, 2010; Accepted June 21, 2010)

Abstract: In this work, a study is presented of the static characteristics of 4H-SiC DMOSFETs obtained by adjustment of the p-base region. The structure of this MOSFET was designed by the use of a device simulator (ATLAS, Silvaco.). The static characteristics of SiC DMOSFETs such as the blocking voltages, threshold voltages, on-resistances, and figures of merit were obtained as a function of variations in p-base doping concentration from $1 \times 10^{17} \text{ cm}^{-3}$ to $5 \times 10^{17} \text{ cm}^{-3}$ and doping depth from 0.5 μm to 1.0 μm . It was found that the doping concentration and the depth of P-base region have a close relation with the blocking and threshold voltages. For that reason, silicon carbide DMOSFET structures with highly intensified blocking voltages with good figures of merit can be achieved by adjustment of the p-base depth and doping concentration.

Keywords: SiC, DMOSFETs, P-base, Simulation

1. 서 론

높은 항복 전압을 갖는 다양한 형태의 탄화규소 (SiC) 기반 전력 MOSFETs 의 연구가 이루어지고 있는 가운데, 4H-SiC 를 기반으로 한 소자에 대한 관심이 증대되고 있다. 4H-SiC 는 높은 임계 전계($\sim 2 \text{ MV/cm}$), 넓은 밴드갭($\sim 3.2 \text{ eV}$), 그리고 벌크영역에 대한 높은 전자 이동도($\sim 800 \text{ cm}^2/\text{Vs}$)를 가지므로 고

전력 MOSFETs 에 적합하다. 전력 MOSFETs 의 동작은 채널의 이동도와 밀접한 관계가 있으며, 이에 따라 최적화된 MOSFET 구조를 설계하고, 소자의 정적 특성과 온 저항 및 채널 길이를 줄이기 위한 다양한 연구가 진행되어 오고 있다.

본 연구에서는 4H-SiC DMOSFET 소자를 설계하였다. 그리고 시뮬레이터를 이용하여, p형 우물 영역이 DMOSFET 의 동작에 미치는 영향을 살펴보기 위해, p형 우물 영역의 도핑 농도와 면적 변화에 따

a. Corresponding author; smkoo@kw.ac.kr

른 소자의 전기적 특성을 분석해 보았다.

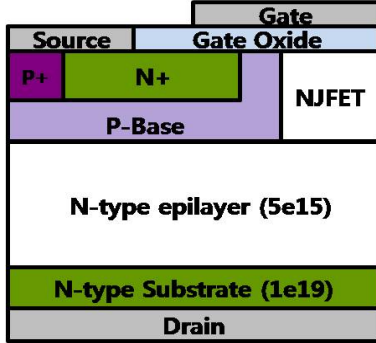


Fig. 1. The structure of 4H-SiC DMOSFET.

2. 실험 방법

2.1 4H-SiC DMOSFET 구조 설계

본 연구에서는 4H-SiC DMOSFET 구조를 설계하기 위해, 시뮬레이터로 Atlas사의 Silvaco-2D 를 사용하여 그림 1의 구조로 DMOSFET 을 설계하였다 [5]. n형 기판 ($1 \times 10^{19} \text{ cm}^{-3}$) 위에 상대적으로 낮은 도핑 농도를 갖는 n형 에피층 ($5 \times 10^{15} \text{ cm}^{-3}$)을 $10 \mu\text{m}$ 가량 성장시켜, blocking voltage (V_B) 강하를 막았다. 이어서, p형 우물 영역 ($1 \times 10^{19} \text{ cm}^{-3}$)을 형성한 후, n+, p+ 소스 영역을 각각 $5 \times 10^{19} \text{ cm}^{-3}$ 만큼 도핑하였다. JFET 영역은 n형 에피층과 동일한 도핑 농도 ($5 \times 10^{15} \text{ cm}^{-3}$) 를 가지며 전력용 소자의 전체 온-저항을 감소시키는 역할을 한다.

2.2 4H-SiC DMOSFET 시뮬레이션 (p형 우물 영역 농도 및 면적 변화)

4H-SiC DMOSFET 의 동작에 p형 우물 영역이 미치는 영향을 알아보기 위해, p형 우물 영역의 도핑 농도를 $1 \times 10^{19} \text{ cm}^{-3}$ 에서 $5 \times 10^{19} \text{ cm}^{-3}$ 만큼 증가시키는 한편, 소자의 수직방향으로 도핑 깊이를 $0.5 \mu\text{m}$ 에서 $1.0 \mu\text{m}$ 까지 변화시켜 blocking voltage (V_B), threshold voltage (V_{TH}), on-resistance (R_{ON}), figure of merit (FOM) 의 전기적 특성을 분석했다.

3. 결과 및 고찰

3.1 p형 우물 영역 도핑 면적에 따른 4H-SiC

DMOSFETs 전기적 특성 (V_B , V_{TH})

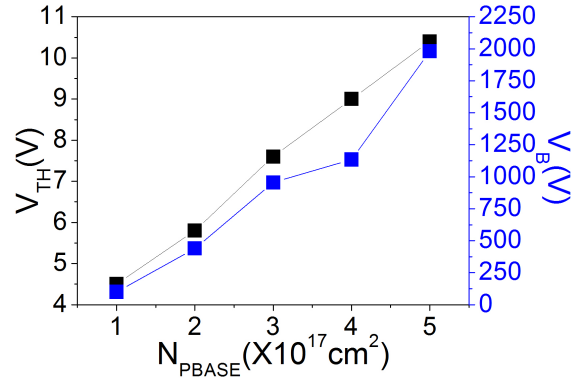


Fig. 2. Variation of V_B and V_{TH} with the level of p-base region.

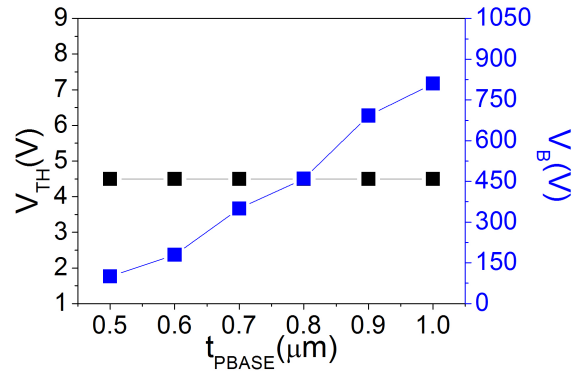


Fig. 3. Variation of V_B and V_{TH} with the dimension of p-base region.

DMOSFETs 의 P형 우물 영역 도핑 깊이가 $0.5 \mu\text{m}$ 일 때, 도핑 농도가 $1 \times 10^{17} \text{ cm}^{-3}$ 에서 $5 \times 10^{17} \text{ cm}^{-3}$ 으로 증가하면, V_B 는 100 V 에서 1980 V 로, V_{TH} 이 4.5 V 에서 10.5 V 로 각각 증가하며, 이는 그림 2에서 확인해 볼 수 있다. V_B 와 V_{TH} 증가는 P형 우물 영역의 도핑이 증가함에 따라, 감소하는 채널 영역 공핍층에 의한 것으로 설명 되어질 수 있다.

3.2 p형 우물 영역 도핑 농도에 따른 4H-SiC DMOSFETs 전기적 특성 (V_B , V_{TH})

한 편, 그림 3에서, P형 우물 영역의 도핑 농도가 $1 \times 10^{17} \text{ cm}^{-3}$ 일 경우, 도핑 깊이를 $0.5 \mu\text{m}$ 에서 $1.0 \mu\text{m}$ 로 변화시킬 때, V_B 는 100 V 에서 810 V 로 증

가하는 반면, V_{TH} 값은 거의 변화가 없었다.

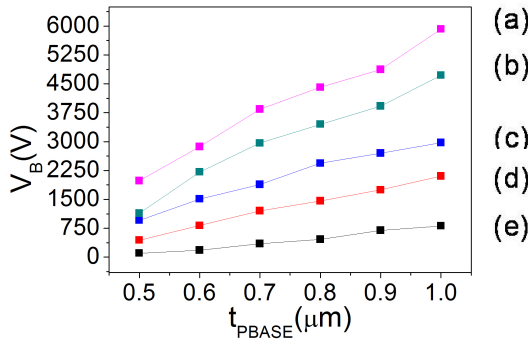


Fig. 4. Variation of V_B with the level and dimension of p-base region. (a) $5 \times 10^{17} \text{ cm}^{-3}$, (b) $4 \times 10^{17} \text{ cm}^{-3}$, (c) $3 \times 10^{17} \text{ cm}^{-3}$, (d) $2 \times 10^{17} \text{ cm}^{-3}$, (e) $1 \times 10^{17} \text{ cm}^{-3}$.

낮은 V_{TH} 값을 갖기 위해서, p형 우물 영역의 도핑 깊이의 최적화를 필요로 함을 확인할 수 있었다.

3.3 p형 우물 영역 도핑 농도와 면적에 따른 4H-SiC DMOSFETs 전기적 특성 (V_B , V_{TH} , R_{ON})

p형 우물 영역의 도핑 농도가 $1 \times 10^{19} \text{ cm}^{-3}$ 에서 $5 \times 10^{19} \text{ cm}^{-3}$ 까지 변하고, 면적이 $0.5 \mu\text{m}$ 에서 $1.0 \mu\text{m}$ 로 변함에 따라, 변화하는 V_B 와 V_{TH} 의 값을 정리하면, 각각 그림 4, 그림 5와 같은 형태로 나타 낼 수 있다.

R_{ON} 은 p-base 영역의 주어진 도핑 농도와 도핑 깊이 범위에서 $2.1 \text{ m}\Omega$ 에서 $7.2 \text{ m}\Omega$ 사이의 값을 갖지만, p-base 영역의 도핑 농도와 도핑 깊이에 의존하는 규칙성은 보이지 않는 것을 확인할 수 있었다.

3.4 4H-SiC DMOSFETs p형 우물 영역 도핑 농도와 면적과 figure of merit 의 관계

Figure of merit (FOM) 은 $FOM = V_B^2 / R_{ON} \cdot SP$ 의 수식을 이용하여 구할 수 있다. $R_{ON} \cdot SP$ 은 specific on-resistance 로 R_{ON} 에 면적을 곱하여 나타낸다. p형 우물 영역의 도핑 농도와 도핑 깊이에 따른 FOM의 값을 구해보면, 그림 6에서 보이는 바와 같이, 도핑 농도가 $5 \times 10^{17} \text{ cm}^{-3}$ 이고, 도핑 깊이가 $0.9 \mu\text{m}$ 와 $1.0 \mu\text{m}$ 일 때, 4000 MW/cm^2 이상 증가하는 것을 확인할 수 있었다.

p형 우물 영역의 도핑 농도와 깊이의 변화에 따른 V_B 값의 증가량, 즉 ΔV_B 가 900 V 이상이기 때문에,

주어진 범위에서 R_{ON} 의 최대 변화량이 $5.1 \text{ m}\Omega$ 이하

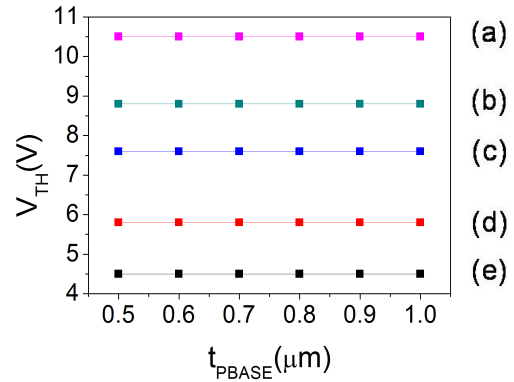


Fig. 5. Variation of V_{TH} with the level and dimension of p-base region. (a) $5 \times 10^{17} \text{ cm}^{-3}$, (b) $4 \times 10^{17} \text{ cm}^{-3}$, (c) $3 \times 10^{17} \text{ cm}^{-3}$, (d) $2 \times 10^{17} \text{ cm}^{-3}$, (e) $1 \times 10^{17} \text{ cm}^{-3}$.

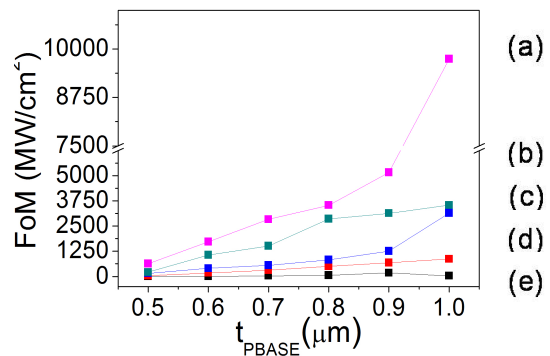


Fig. 6. Variation of FOM with the level and dimension of p-base region. (a) $5 \times 10^{17} \text{ cm}^{-3}$, (b) $4 \times 10^{17} \text{ cm}^{-3}$, (c) $3 \times 10^{17} \text{ cm}^{-3}$, (d) $2 \times 10^{17} \text{ cm}^{-3}$, (e) $1 \times 10^{17} \text{ cm}^{-3}$.

이므로, FOM 에 미치는 영향은 무시할 수 있음이 확인되었다.

따라서 R_{ON} 값에 상관없이, p-base 영역의 도핑 농도와 도핑 깊이를 증가시키면, 높은 FOM 을 구할 수 있다.

4. 결론

본 연구에서는 4H-SiC DMOSFET 소자를 설계하여 시뮬레이션을 통해 정적 특성을 확인하였다. p형 우물 영역의 도핑 농도와 도핑 면적 변화에 따라 소자의 V_B 값이 큰 폭으로 증가하여, FOM 이 증가하는 것을 알 수 있었다. V_{TH} 의 경우, p형 우물 영역

의 도핑 면적 변화에는 값이 변하지 않지만, 도핑 농도가 증가할 경우, 값이 늘어나는 것을 확인할 수 있었다. 이로 인해, 높은 V_B 와 FOM 을 갖는 최적화된 4H-SiC DMOSFET의 구조를 설계할 수 있음을 확인해 볼 수 있었다.

감사의 글

본 논문은 산업자원부가 지원하는 국가 반도체연구사업인 “시스템집적반도체기반기술개발사업 (시스템 IC 2010)”과 지식경제부가 지원하는 전력계통기술개발사업인 “계통연계형 인버터 시스템을 위한 고효율 전력소자 기반기술개발”을 통해 개발된 결과임을 밝힙니다.

REFERENCES

- [1] A. Saha and J. A. Cooper, *IEEE Trans. Electron Devices* **54**, 2786 (2007).
- [2] M. Martin, A. Saha, and J. A. Cooper, *IEEE Trans. Electron Devices* **51**, 1721 (2004).
- [3] M. Abe, H. Nagasawa, P. Ericsson, H. Strömberg, M. Bakowski, and A. Schöner, *Microelectronic Engineering* **24-26**, 83 (2006).
- [4] H. Ye, C. W. Lee, J. Raynolds, P. Haldar, M. J. Hennessy, and E. K. Mueller, *Cryogenics* **243 - 251**, 47 (2007).
- [5] *ATLAS User's Manual*, Silvaco International, 1-898 (2007).