

PMOSFET에서 채널 방향에 대한 소자 성능 의존성

복정득¹, 박예지¹, 한인식¹, 권혁민¹, 박병석^{1,2}, 박상욱¹,
임민규², 정의선², 이정환², 이희덕^{1,a}

¹ 충남대학교 전자전파정보통신공학부

² 매그나칩반도체 SMS

Dependence of Device Performance and Reliability on Channel Direction in PMOSFET's

Jung-Deuk Bok¹, Ye-Ji Park¹, In-Shik Han¹, Hyuk-Min Kwon¹, Byoung-Seok Park^{1,2},
Sang-Uk Park¹, Min-Gyu Lim², Yi-Sun Chung², Jung-Hwan Lee², and Hi-Deok Lee^{1,a}

¹ Department of Electronics Engineering, Chungnam National University, Daejeon 305-764, Korea

² SMS, MagnaChip Semiconductor, Cheongju 361-725, Korea

(Received February 23, 2010; Revised April 26, 2010; Accepted May 23, 2010)

Abstract: In this paper, we investigated the dependence of device performance and hot carrier lifetime on the channel direction of PMOSFET. $I_{D,sat}$ vs. I_{off} characteristic of PMOSFET with $\langle 100 \rangle$ channel direction is greater than that with $\langle 110 \rangle$ channel direction because carrier mobility of $\langle 100 \rangle$ channel direction is greater than that of $\langle 110 \rangle$ channel direction. However, hot carrier lifetime for $\langle 110 \rangle$ channel direction is much lower than that with $\langle 110 \rangle$ channel due to the greater impact ionization rate in the $\langle 100 \rangle$ channel direction. Therefore, concurrent consideration of reliability characteristics and device performance is necessary for channel strain engineering of MOSFETs.

Keywords: Sub-micron CMOS, CMOSFET, Channel direction, DAHC, Impact ionization rate

1. 서론

최근 strained-silicon 기술이 CMOSFET (complementary metal oxide semiconductor field effect transistor)의 이동도 향상을 위한 기술로 대두되면서 각각 NMOS와 PMOS 채널에 인장 응력(tensile strain)과 압축 응력(compressive strain)을 인가하기 위한 channel stress engineering (CSE) 기술이 이미

상용화되는 nanometer 급 CMOS 소자에 적용되고 있다 [1,2]. CSE 기술은 CMOS 공정에 사용되는 여러 가지 박막의 열팽창계수 차이, 부피 차이를 이용하거나 격자 불일치 특성을 이용하여 채널에 stress를 인가하는 기술 등이 대표적으로 적용되고 있으며, 최근 추가적인 공정 비용 부담의 최소화 및 공정 절차의 간소화를 위해 기판 방향이나 채널 방향을 달리 하여 stress를 인가하는 기술이 소개되고 있다 [3-6]. 기판 방향이나 채널 방향을 이용한 CSE 기술의 경우 잘 알려진 바와 같이 NMOS는 (100) 기판, PMOS는

a. Corresponding author: hdllee@cnu.ac.kr

(110) 기판의 소자가 성능 측면에서 매우 우수함과 더불어 각각 <110> 채널과 <100> 채널이 소자의 성능 측면에서 우수하다고 보고되고 있다. 그러나 기판 방향을 이용한 PMOS 소자의 성능 개선은 (110) 기판의 부가적인 웨이퍼 비용 부담과 추가적인 공정을 필요로 하는 단점을 갖고 있다. 따라서 최근 (100) 기판을 사용하면서 NMOS 및 PMOS 소자의 채널 방향을 다르게 하여 PMOS 소자 성능 개선을 확보한 연구들이 보고되고 있다 [7,8]. 그러나 이러한 보고들은 대부분 소자의 전류 구동 능력 개선에 주로 치우쳐져 있어서 소자의 전체 특성을 결정하는 신뢰성까지 분석한 경우는 미흡한 상황이다.

본 논문에서는 sub-micron PMOSFET에 대해 채널 방향을 변화시키기 위해 같은 웨이퍼 내에서 0° (<110> 채널 방향)과 45° (<100> 채널 방향) 방향의 PMOS 소자를 제작하였으며, 소자의 전류 구동 능력 뿐만 아니라 신뢰성 특성도 평가하여 상호 장·단점을 비교 분석하였다.

2. 실험 방법

일반적인 $0.18 \mu\text{m}$ CMOS 기술을 이용하여 (100) 기판 위에 PMOS 소자를 제작하였으며, 그림 1과 같이 각각 <110> 및 <100> 방향 채널을 형성하기 위해 레이아웃 상에서 0° 와 45° tilt된 소자를 제작 하였다. 이는 잘 알려진 바와 같이 웨이퍼의 flat zone과 수직인 방향의 소자는 <110> 채널 방향을 가지며, 45° 각도의 소자는 <100> 채널 방향을 갖는다는 것을 이용한 것이다 [7]. 먼저, DC 특성 평가를 위해 반도체 파라미터 분석기를 이용하여 구동전류 vs. off 전류 ($I_{D,SAT}$ vs. I_{OFF}) 특성을 측정하였고, 신뢰성 분석을 위해 일반적으로 적용되는 drain avalanche hot carrier (DAHC) 측정 조건에서 hot carrier (HC) 수명시간을 분석하였다.

3. 결과 및 고찰

그림 2는 <110>와 <100> 채널 방향을 가진 소자의 소자특성을 나타내는 중요한 파라미터인 $I_{D,SAT}$ vs. I_{OFF} 특성을 나타낸다. <110> 대비 <100> 채널 방향의 소자가 동일한 I_{OFF} 전류 지점에서 $I_{D,SAT}$ 이 개

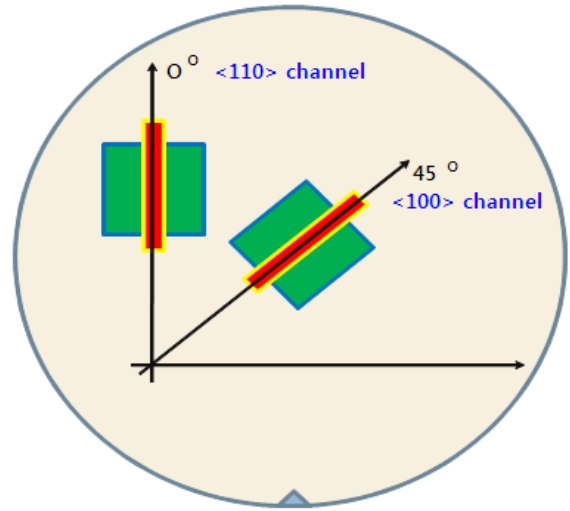


Fig. 1. Layout design for <110> and <100> channel direction device.

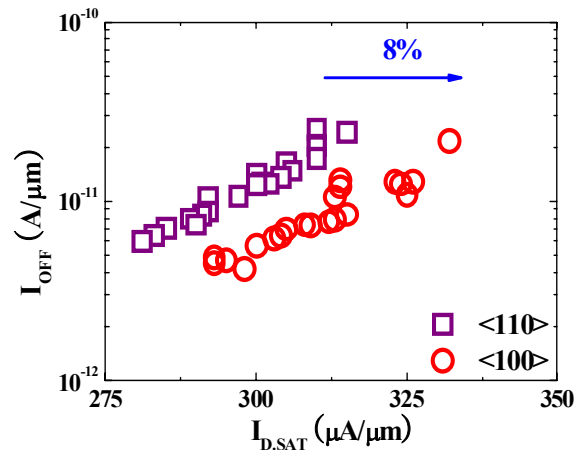


Fig. 2. Comparison of the $I_{D,SAT}$ vs. I_{OFF} characteristics of PMOSFETs with <110> and <100> channel direction.

선됨을 알 수 있다. 즉, <100> 채널의 소자가 <110> 채널의 소자에 비해 약 8% 이상 개선됨을 알 수 있다. 소자 성능 개선의 원인 분석을 위하여 그림 3에 이동도 특성을 나타내었으며, 이동도는 일반적으로 사용되는 식 (1)을 이용하여 추출하였다 [9].

$$\mu_p = \frac{Lg_m}{WC_{ox}V_{DS}} \quad (1)$$

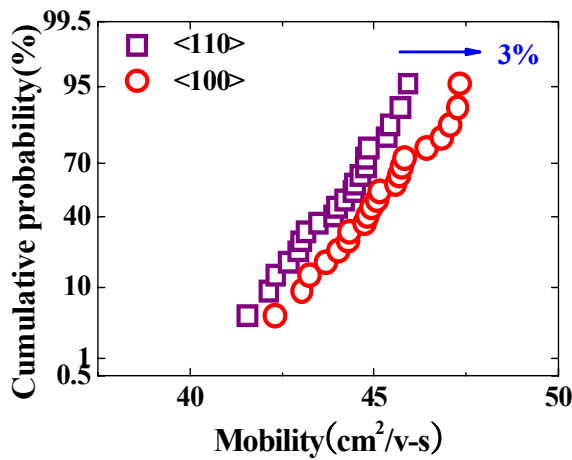


Fig. 3. Comparison of the $I_{D,SAT}$ vs. I_{OFF} characteristics of PMOSFETs with $\langle 110 \rangle$ and $\langle 100 \rangle$ channel direction.

이동도는 $I_{D,SAT}$ vs. I_{OFF} 특성과 동일하게 같은 경향성을 나타내며 $\langle 100 \rangle$ 채널의 소자가 $\langle 110 \rangle$ 채널 소자에 비해 약 3% 높은 이동도를 가짐을 알 수 있다. 그 이유는 전자는 $\langle 110 \rangle$ 과 $\langle 100 \rangle$ 채널 방향 모두에서 채널 stress에 대한 동일한 민감도를 갖지만 $\langle 100 \rangle$ 채널에서 정공은 $\langle 110 \rangle$ 채널에 비해 채널 stress에 대한 민감도가 낮기 때문이라고 알려져 있다 [7].

소자 신뢰성 특성 확인을 위해 일반적으로 적용되는 HC 신뢰성을 측정 하였으며 worst case를 위해 DAHC 조건에서 스트레스를 인가하였다. 잘 알려진 바와 같이 각각의 스트레스 전압 V_D 는 스냅백 (snapback) 전압의 85% 이내의 전압으로 결정하여, $V_d = 3.6 \text{ V}, 3.8 \text{ V}, 4.0 \text{ V}$ 의 전압을 인가하였으며 각각의 드레인 스트레스 전압 V_D 에서 게이트 전압, V_G 를 변화시켜 가면서 기관 전류를 측정하여 기관 전류가 가장 높은 지점의 V_G 전압을 스트레스 전압으로 결정하였다. 이를 통해 스트레스 시간에 따른 드레인 전류의 변화를 관찰하였고 드레인 전류가 10% 감소하는 지점을 각 스트레스 전압에 대한 수명시간으로 정의하였다.

그림 4는 hot carrier 스트레스에 따른 드레인 전류의 열화와 드레인 전류의 HC 수명시간을 나타낸다. 소자 DC 성능과는 반대로 $\langle 110 \rangle$ 채널 방향의 소자가 $\langle 100 \rangle$ 소자에 비해 드레인 전류의 열화가 낮음을 알 수 있으며, $\langle 110 \rangle$ 채널의 경우에서 1145년,

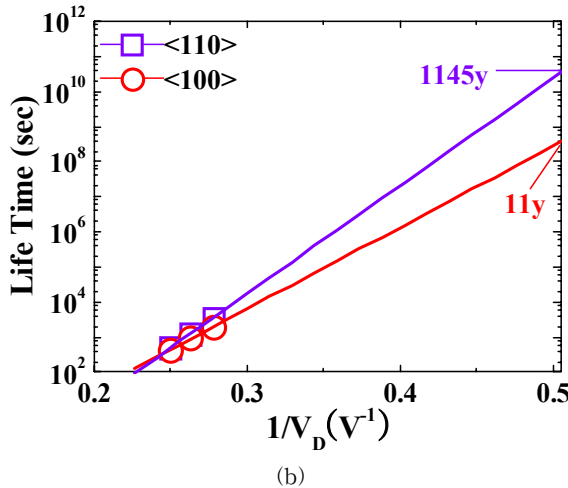
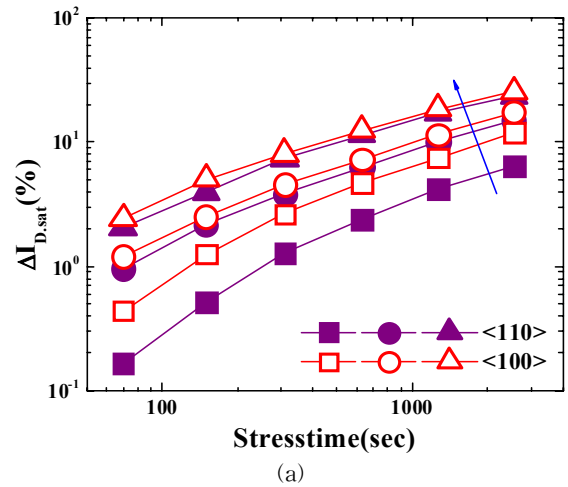


Fig. 4. Hot carrier reliability characteristics for $\langle 110 \rangle$ and $\langle 100 \rangle$ channel direction PMOSFETs, (a) drain current degradation as a function of stress time and (b) extraction of device lifetime.

$\langle 100 \rangle$ 채널의 경우 11년으로 $\langle 110 \rangle$ 소자에서 수명 시간이 매우 길게 나타났다.

일반적으로 hot carrier에 의한 드레인 전류의 열화는 게이트 산화막과 채널 사이의 계면(interface, SiO_2/Si)에 존재하는 계면결함(interface trap)에 매우 밀접한 관련이 있다고 알려져 있다. 따라서 $\langle 110 \rangle$ 소자와 $\langle 100 \rangle$ 채널 소자의 계면에 존재하는 계면결함을 평가하기 위해 그림 5와 같이 저주파 잡음 특성인 플리커 잡음(flicker noise)을 측정 하였다. $\langle 110 \rangle$ 채널과 $\langle 100 \rangle$ 채널 소자에서 동일한 플리커 잡음 특성을

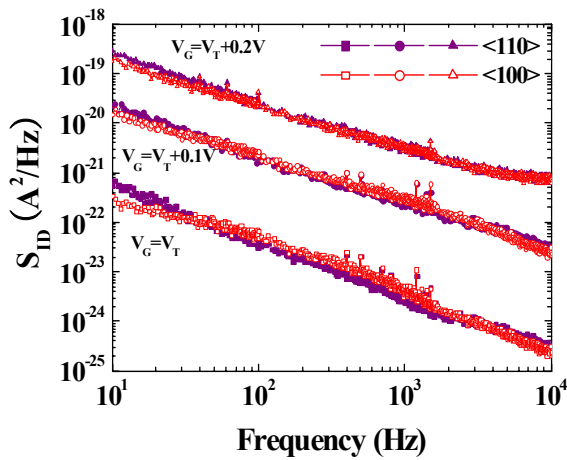


Fig. 5. Comparison of flicker noise characteristics.

보이며, 두 소자간의 차이는 없음을 알 수 있다. 따라서 <110> 채널과 <100> 채널 소자의 hot carrier 열화 및 수명시간의 차이는 계면결함의 변화에 의해 발생한 것이 아님을 알 수 있다.

그림 6은 <110> 채널과 <100> 채널 소자의 충돌 이온화율(impact ionization rate, I_{sub}/I_{drain})을 나타낸다. <100> 채널 소자의 경우 스트레스 드레인 전압에 따라 충돌 이온화율이 <110> 채널 방향 소자 보다 높게 나타남을 알 수 있다. 이는 채널 방향을 <100>으로 가져갔을 경우 <110> 채널 방향 대비 drain avalanche 현상에 의한 hot carrier가 많이 발생함을 의미한다. 더욱이 이러한 hot carrier가 가지는 에너지는 일반 carrier 보다 높기 때문에 쉽게 게이트로 주입될 수 있으며, 충돌 이온화가 많이 발생하는 <100> 소자에서 더 쉽게 게이트로 주입된다고 할 수 있다. 따라서 이러한 이유 때문에 <100> 채널 방향의 소자가 <110> 채널 방향의 소자보다 hot carrier 열화가 크게 나타나고 그로 인해 소자의 HCI 수명시간이 짧음을 알 수 있다.

4. 결론

본 논문에서는 차세대 반도체 소자에서 응용되리라 예상되는 소자 특성의 채널 방향 의존성에 관해 분석하였다. PMOSFET에서 채널 방향성을 변화시키기 위해 레이아웃 상에서 0° (<110> 채널 방향)과 45°

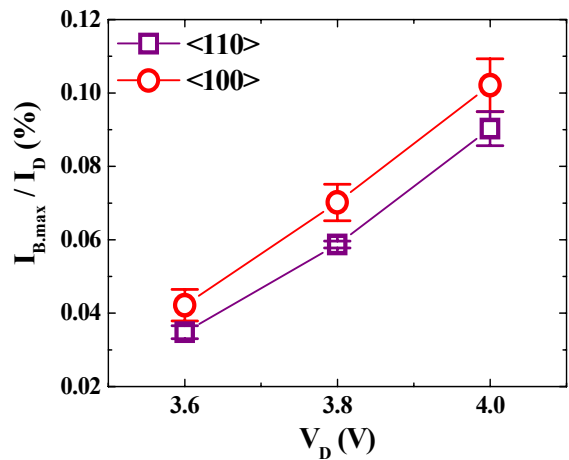


Fig. 6. Comparison of the dependence of the impact ionization rate on the channel direction.

(<100> 채널 방향) 방향의 소자를 제작하였으며 이를 통해 소자 성능뿐 만 신뢰성을 분석하였다. <110> 채널 방향의 소자가 이동도 향상에 의해서 <100> 채널 방향의 소자 보다 약 8%의 우수한 성능을 보이지만, hot carrier 신뢰성은 <100> 채널 방향의 소자의 경우가 높은 충돌 이온화율에 의해 드레인 전류의 열화 정도가 심하였다. 즉, <100> 채널 방향 소자의 수명시간이 11년으로 <110> 채널 방향의 1145년 보다 짧았다. 따라서 채널 방향성을 이용한 strained silicon 소자에서는 소자 성능뿐 만 아니라 신뢰성 특성도 반드시 고려되어야 하며, 두 성능 지수를 모두 개선시키는 방향으로 소자 개발이 이루어져야 한다는 것이 매우 중요하다고 할 수 있다.

감사의 글

본 연구는 지식경제부와 한국산업기술재단의 전략 기술인력양성사업으로 수행된 연구결과임.

REFERENCES

- [1] M. T. Currie, *International Conference on Integrated Circuit Design and Technology(ICICDT)* (2004) p. 261.
- [2] T. Ghani, M. Armstrong, C. Auth. M. Bost. P.

- Charvat, G. Glass, T. Hoffmann., K. Johnson. C. Kenyon. J. Klaus, B. McIntyre. K. MisQ. A. Murthy, J. Sandford, M. Siiberstein, S. Sivakumar. P. Smith, K. Zawadski. S. Thompson and M. Bohr, *IEDM Tech Dig.* (2003) p. 297.
- [3] P. Bai, C. Auth, S. Balakrishnan, M. Bost, R. Brain, V. Chikarmane, R. Heussner, M. Hussein, J. Hwang, D. Ingerly, R. James, I. Jeong, C. Kenyan, E. Lee, S-H. Lee, N. Lindert, M. Liu, Z. Ma, T. Marieb', A. Murthy, R. Nagisetty, S. Natarajan, J. Neiryneck, A. Ott, C. Parker, J. Sebastian, R. Shaheed, S. Sivakumar, J. Steigenvald, S. Tyagi, C. Weber, B. Woolely, A. Yeoh, K. Zhang, and M. Bohr, *IEDM Tech Dig.* (2004) p. 657.
- [4] S. Ito, H. Namba, K. Yamaguchi, T. Hirata, K. Ando, S. Koyama, S. Kuroki, N. Ikezawa, T. Suzuki, T. Saitoh, and T. Horiuchi, *IEDM Tech Dig.* (2000) p. 247.
- [5] G. Scott, J. Lutze, M. Rubin, F. Nouri, and M. Manley, *IEDM Tech Dig.* (1999) p. 827.
- [6] A. Shimizu, K. Hachimine, N. Ohki, H. Ohta, M. Koguchi, Y. Nonaka, H. Sato, and F. Ootsuka, *IEDM Tech Dig.* (2001) p. 433.
- [7] V. Chan, K. Rim, M. Jeong, S. Yang, R. Malik, Y. W. Teh, M. Yang, and Q. (Christine) Ouyang, *Custom Integrated Circuits Conference* (2005) p. 667.
- [8] H. S. Momose and S. Yoshitomi, *Proc. 26th International Conference on Microelectronics* (2008) p. 137.
- [9] M. S. Liang, J. Y. Choi, P. K. Ko, and C. Hu, *IEEE Trans. Electron. Devices* **33**, 409 (1986).