

MIMO-OFDM 기반 무선 LAN 시스템을 위한 기저대역 모뎀 수신부 설계 및 구현

Design and Implementation of Baseband Modem Receiver for MIMO-OFDM Based WLANs

장수현*, 노재영*, 정운호*

Soo-Hyun Jang*, Jae-Young Roh* and Yun-Ho Jung*

요 약

본 논문에서는 2개의 송수신 안테나를 갖는 2x2 MIMO-OFDM 기반 무선 LAN 기저대역 수신 모뎀을 위한 효율적인 수신 알고리즘 및 면적 효율적인 하드웨어 구조를 제시한다. 수신기 성능향상을 위해 효율적인 시간 동기 알고리즘과 MML 알고리즘 기반 MIMO 심볼 검출기 구조를 제안한다. 또한, 제안된 심볼 검출기는 IEEE 802.11n 무선 LAN 규격에 정의된 대로 MIMO 전송 기법 중 공간 다이버시티 모드뿐 아니라 공간 다중화 모드를 모두 지원하며, 다단 (multi-stage) 파이프라인 구조와 극좌표 형태의 복소수 승산 방법을 사용하여 연산 블록의 공유와 연산기의 단순화를 진행하였고, 이를 통해 하드웨어 복잡도를 크게 감소시켰다. 제안된 하드웨어 구조는 하드웨어 설계 언어 (HDL)를 이용하여 설계 되었고, 0.13um CMOS standard 셀 라이브러리 통해 합성되었다. 그 결과 기존의 설계 구조와 비교시 56% 감소된 하드웨어 복잡도로 구현 가능함을 확인하였다.

Abstract

In this paper, an efficient algorithm and area-efficient hardware architecture have been proposed for 2x2 MIMO-OFDM based WLAN baseband modem with two transmit and two receive antennas. To enhance the performance of the receiver, the efficient timing synchronization algorithm and symbol detector based on MML algorithm are presented. Also, by sharing the hardware block with multi-stage pipeline structure and using the complex multiplier based on polar-coordinate, the complexity of the proposed architecture is dramatically decreased. The proposed area-efficient hardware design was designed in hardware description language (HDL) and synthesized to gate-level circuits using 0.13um CMOS standard cell library. As a result, the complexity of the proposed modem receiver is reduced by 56% over the conventional architecture.

Key words : MIMO, ML, OFDM, Symbol Detector, Timing Synchronization

I. 서 론

최근 가정 및 기업 혹은 핫스팟 환경에서 모바일

기기를 통한 고속의 무선 데이터 전송에 대한 수요가 늘어감에 따라, 수백 Mbps급 이상의 데이터 전송 속도를 지원 할 수 있는 차세대 무선 LAN에 대한 관심

* 한국항공대학교 항공전자 및 정보통신 공학부(School of Electronics, Telecommunication and Computer Eng., Korea Aviation University)

· 제1저자 (First Author) : 장수현

· 투고일자 : 2010년 4월 22일

· 심사(수정)일자 : 2010년 4월 23일 (수정일자 : 2010년 6월 4일)

· 게재일자 : 2010년 6월 30일

이 고조되고 있다. 이러한 초고속 데이터 전송을 충족시키기 위해 송신 안테나 수에 비례하여 시스템의 용량을 증가시킬 수 있는 다중 안테나 (multi-input multi-output, MIMO) 기술 [1] 과 다중경로 페이딩 채널환경과 협대역 간섭에 매우 강한 특징을 갖는 OFDM (Orthogonal Frequency Division Multiplexing) 방식이 결합된 MIMO-OFDM 기술이 차세대 무선 LAN 시스템을 위한 핵심기술로 각광받고 있다.

하지만, OFDM 기반 무선 LAN 시스템은 정의된 프리앰블 구간 내에서 정확하게 시간 동기가 이루어지지 않으면 OFDM 심볼의 시작점 오류로 인해 ISI (Inter Symbol Interference) 및 ICI (Inter Carrier Interference)가 발생하며, 이로 인해 성능이 크게 열화되거나 패킷 자체가 손실되는 문제를 갖는다 [2]. 이러한 시간 동기 오차로 인한 문제점을 해결하기 위해 STS (Short Training Symbol)의 자기 상관 (auto-correlation) 및 상호 상관 (cross-correlation) 값을 이용하여 LTS (Long Training Symbol)의 시작점과 OFDM 심볼의 시작점을 찾는 다양한 기법이 제안되었다 [3]-[7]. 하지만, CSD (Cyclic Shift Diversity)가 적용된 프리앰블을 사용한 IEEE 802.11n 시스템 [8]은 기존의 심볼 동기 기법을 그대로 적용할 경우, CSD 프리앰블의 cross correlation 특성으로 인해 다수의 피크 값이 존재하게 되어 동기 획득 오류가 발생하게 된다. 이에 본 논문에서는, CSD가 적용된 프리앰블을 이용하는 MIMO-OFDM 기반 802.11n 무선 LAN 시스템을 위한 효율적인 심볼 동기 방식을 제안한다.

한편, MIMO 시스템은 다이버시티 이득을 통해 전송 신뢰도를 향상시키는 공간 다이버시티 (spatial diversity, SD) 기술과 전송률을 높이는 공간 다중화 (spatial multiplexing, SM) 기술로 구분 된다. 공간 다중화 심볼 검출 기술은 신호의 검출 방식에 따라 최적 검출 기법, 준 최적 검출 기법으로 다시 나뉘고, 준 최적 검출 기법은 선형 검출 기법과 비선형 검출 기법으로 다시 나뉜다. 최적의 성능을 보이는 ML (maximum likelihood) 검출 기법의 경우, 송신 안테나 수와 변조 차수가 높아짐에 따라 연산 복잡도가 지속적으로 증가하기 때문에 실시간 구현에 어려움이 있다. 특히, MIMO 심볼 검출기는 전체 시스템에서 하

드웨어적으로 큰 비중을 차지하므로 최소의 복잡도를 갖는 심볼 검출기의 설계가 절실히 요구된다. 또한, 무선 통신 단말의 실제 운용을 위해 ML 수준의 성능 지원 또한 필수적이다. 이와 같은 문제점을 해결하기 위해, ML과 동일한 성능을 보이면서도 연산량을 현격히 줄인 MML (Modified ML) 알고리즘이 제안되었다 [9]. 하지만, MML 검출 기법은 ML 검출 기법에 비해 복잡도를 크게 낮추었으나, 특히 64QAM을 지원하는 경우 다수의 곱셈기가 필요하게 되어 여전히 실시간 구현이 어려운 문제를 갖는다. 또한, 대부분의 통신 시스템의 경우 SM 모드뿐 아니라 single input single output (SISO), single input multiple output (SIMO), space time block code (STBC) 등 SD 모드도 지원 할 필요가 있다 [8]. 따라서, 본 논문에서는 MIMO-OFDM 기반 무선 LAN 시스템의 효율적인 시간 동기와 MML 알고리즘을 적용하여 ML 성능을 지원할 뿐 아니라, 모든 MIMO 모드 지원 가능한 저 복잡도 특성을 갖는 무선 LAN 기저대역 수신 모뎀의 하드웨어 구조를 제안한다.

본 논문의 구성은 다음과 같다. 먼저, II장에서는 무선 LAN 수신기 모델에 대해 언급한다. III장에서는 효율적인 수신부 핵심 알고리즘 및 하드웨어 구조 설계 방안을 제시하며, IV장에서는 모뎀 수신부의 통합 성능분석 결과를 제시한다. V장에서는 하드웨어 구현 결과를 분석하고, 끝으로 VI장에서 본 논문의 결론을 맺는다.

II. MIMO-OFDM 기반 무선 LAN 시스템 수신기 구조

그림 1은 2x2 MIMO-OFDM 기반 무선 LAN 기저대역 수신 모뎀 프로세서의 블록도이다. 무선 LAN 수신 모뎀은 크게 비트 단위로 동작하는 PLCP (Physical Layer Convergence Procedure) 프로세서와 심볼 단위로 동작하는 PMD (Physical Medium Dependent) 프로세서로 구분된다. 그림 1에서 같이, 수신부는 Synchronization unit, FFT (Fast Fourier Transform) unit, channel estimator unit, MIMO decoder unit, deinterleaver unit, Viterbi decoder unit, 그리고

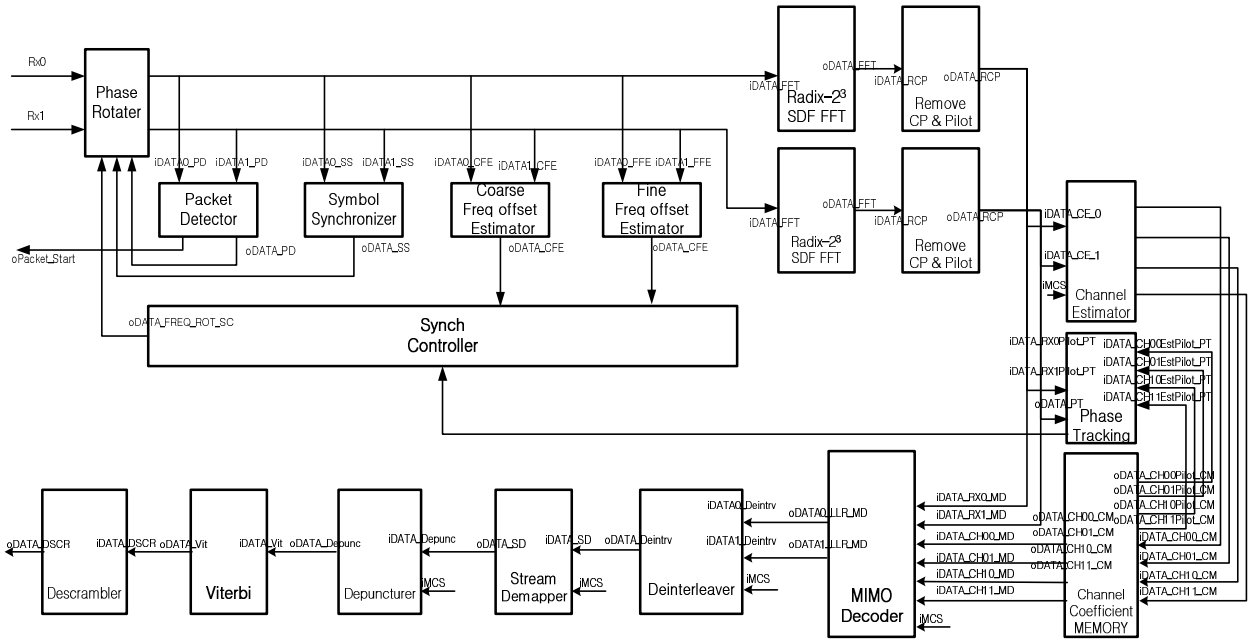


그림 1. MIMO-OFDM 기반 무선 LAN 시스템의 수신부 블록도
Fig 1. Receiver Block Diagram of MIMO-OFDM Based WLAN System

descrambler unit으로 구성된다.

수신 모드일 경우, 수신 신호는 시간, 주파수 동기부를 거친 후 radix-23 DIF (Decimation In Frequency) 알고리즘 [10]이 적용된 FFT unit을 거쳐 주파수대역 신호로 복조 된다. Channel estimation unit은 LS (Least Square) 방식 [11]을 이용하여 간단히 채널 계수 값을 추정하고, 이를 심볼 검출기인 MIMO decoder unit으로 전달한다. 이렇게 전달된 채널 추정 값과 수신 신호를 이용하여 표 1에 정리된 것과 같이, 전송 모드에 따라서 SD decoding 및 SM decoding이 수행되고, soft output인 LLR (log-likelihood ratio)을 출력하게 된다. 이렇게 복조된 데이터 비트는 이후, deinterleaver unit, Viterbi decoder unit [12], 그리고 descrambler unit을 통해 오류를 정정한 후, MAC (Medium Access Control) 단으로 전달된다. 전송 모드에 따라, 변조기법은 표 1에 정리되어 있으며 전송모드 0-7은 SISO, SIMO 또는 STBC 모드로 동작할 수 있고, 전송모드 8-15는 SM 모드로 동작한다.

III. 수신부 핵심 알고리즘 및 하드웨어 구조 설계

3-1 시간동기 알고리즘

시간 동기란 OFDM 심볼의 정확한 샘플 위치를

표 1. 전송 모드별 기저대역 파라미터
Table 1. Baseband parameter for transmission modes

전송모드	변조기법	부호화율	전송률(Mbps)	MIMO
0	BPSK	1/2	6.5	SD
1	QPSK	1/2	13.0	
2	QPSK	3/4	19.5	
3	16QAM	1/2	26.0	
4	16QAM	3/4	39.0	
5	64QAM	2/3	52.0	
6	64QAM	3/4	58.5	
7	64QAM	5/6	65.0	SM
8	BPSK	1/2	13.0	
9	QPSK	1/2	26.0	
10	QPSK	3/4	39.0	
11	16QAM	1/2	52.0	
12	16QAM	3/4	78.0	
13	64QAM	2/3	104.0	
14	64QAM	3/4	117.0	
15	64QAM	5/6	130.0	

지정하는 작업으로써, 시간 동기 오차는 OFDM

심볼의 정확한 샘플 위치와 시간 동기 추정 후 수신단이 인식하는 OFDM 심볼의 샘플 위치의 차이를 의미한다. 특히, 하드웨어 측면에서 봤을 때 실제 OFDM 심볼의 위치와 수신단 FFT 윈도우 위치의 차이를 의미하며, 이러한 시간동기의 오차는 ICI와 ISI를 발생시켜 시스템 성능 열화의 원인이 되므로 정확한 시간동기를 수행하여야 한다 [2].

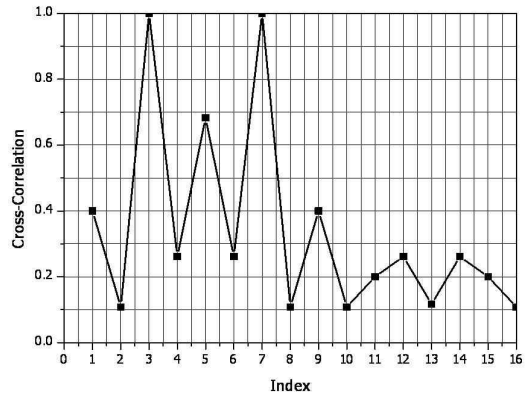
무선 LAN 시스템을 위한 시간 동기 획득 알고리즘으로 프리앰블의 자기 상관 값을 이용하여 짧은 프리앰블과 긴 프리앰블 부분의 대략적인 경계를 구한 후 상호상관 값을 이용 정확한 지점을 얻는 [7]의 방식이 대표적이다. 하지만 MIMO-OFDM 기반 802.11n 무선 LAN 시스템의 경우 CSD 기법이 적용된 프리앰블의 구조로 인해, 상호상관 값이 그림 2와 같이 의사 피크를 갖는 문제점이 발생한다. 또한, STBC 모드의 경우 매우 낮은 SNR 영역에서 동작하므로 동기 성능의 확보가 어려운 문제가 추가적으로 발생한다. 따라서, 제안된 알고리즘은 자기상관 값의 더 정확한 경계검출을 위해서 SNR level에 따른 문턱 값 최적화와 함께 상호상관 피크 값의 index 비교를 통하여 의사 피크를 구별함으로써 성능향상을 도모한다.

노이즈가 없는 환경에서 상호상관 값의 의사 피크와 실제 피크와의 index 차이는 그림 2와 같이 4 또는 12 이다. 이 두 가지의 경우, 실제 피크의 위치는 각각 index 차이가 4일 경우 후자, 12일 경우 전자의 index가 실제 피크의 index이다. 따라서, 4와 12의 중간 값 8을 기준으로 두 피크의 index 차이가 8 이상이면 앞의 index를 심볼 오차 보정에 반영하고, 8 이하이면 뒤의 index를 심볼 오차에 반영함으로써, 정확한 상호상관 값을 갖도록 하였다. 위의 알고리즘을 바탕으로 IEEE 802.11n 무선 LAN 채널 모델 D (typical office environment, NLOS) [13]에서의 실험결과, 그림 3과 같이 0 dB 부근에서의 성능과 전체적인 성능이 향상됨을 확인 할 수 있다.

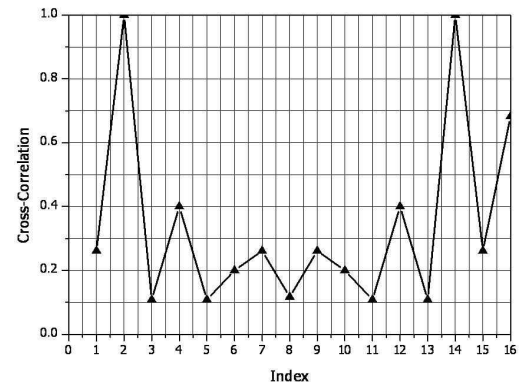
3-2 제안된 심볼 검출기의 하드웨어 구조 설계

본 절에서는 2x2 MIMO-OFDM 기반 무선 LAN 시스템에서 ML 수준의 성능을 지원하며 모든 전송 모드를 지원 가능하고, 하드웨어 복잡도 측면에서 최적

화된 MIMO 심볼 검출기의 하드웨어 구조를 제안한다. 논문 [5]에서는 ML 심볼 검출 기법보다 계산량이 현격히 줄어들면서 성능 열화 없는 MML



(a) Index의 차이가 4인 경우



(b) Index의 차이가 12인 경우

그림 2. AWGN이 없는 이상적인 경우 수신신호와 프리앰블의 상호상관 값

Fig. 2. Cross-correlation value of Rx signal and preamble without AWGN.

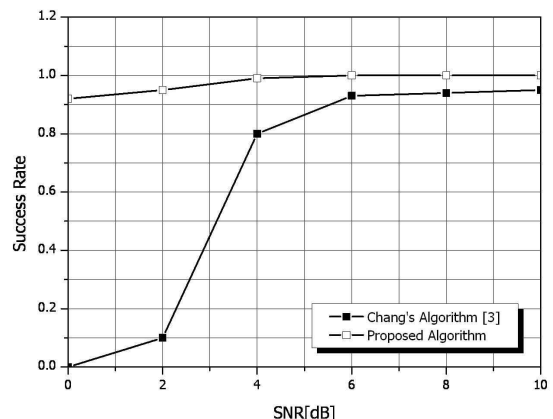


그림 3. 2x2 MIMO 시스템의 동기 성능

Fig. 3. Time synchronization performance in 2x2 MIMO.

기법이 제안되었다. MML 기반 심볼 검출 과정은 표 1에 기술되어 있다. 하지만, MML 심볼 검출 기법

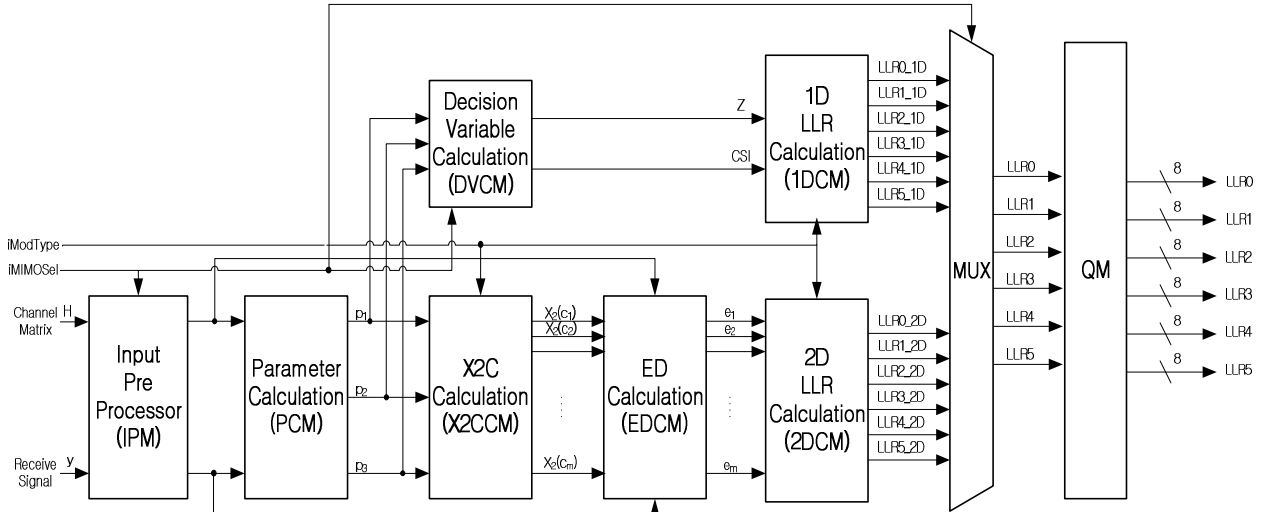


그림 4. 2x2 MIMO 시스템 위한 제안된 심볼 검출기 블록 다이어그램
 Fig. 4. Block diagram of the proposed symbol detector for 2x2 MIMO system.

은 ML 검출 기법에 비해 복잡도를 크게 낮추었으나, 특히 64QAM을 지원하는 경우 다수의 곱셈기가 필요하게 되어 여전히 구현 측면에 있어서 어려움이 존재한다. 또한, 무선 LAN 시스템은 모든 MIMO 모드를 지원 가능해야한다 [4]. 따라서, 제안된 심볼 검출기는 MIMO 전송 기법 중 SD 모드뿐 아니라 SM 모드를 모두 지원하며, MML 알고리즘 기반으로 ML 수준의 성능을 제공한다. 또한, 다단 (multi-stage) 파이

프라인 구조와 극좌표 형태의 복소수 승산 방법을 사용하여 연산 블록의 공유와 연산기의 단순화를 통해 저복잡도 특성을 갖는 심볼 검출기의 하드웨어 구조를 제시한다.

그림 4는 제안된 2x2 MIMO 심볼 검출기의 하드웨어 구조를 도시하며, 표 2는 본 논문에서 제안하는 모든 전송 모드 지원 가능한 심볼 검출 과정을 정리한 것이다. 제안된 MIMO 심볼 검출기의 구조는

표 2. 제안된 2x2 MIMO 심볼 검출기의 알고리즘 플로우

Table 2. Algorithmic Flow for the proposed 2x2 MIMO Symbol detector

단계	세부 블록	동작
1	INPUT	$\mathbf{H} = \begin{pmatrix} h_{11} & h_{21} \\ h_{12} & h_{22} \end{pmatrix} \quad \mathbf{y} = \begin{pmatrix} y_1 \\ y_2 \end{pmatrix}$
2	IPM	PCM의 입력단을 표 3과 같이 설정해주는 기능 수행 a, b, c, d, e
3	PCM	MIMO 모드에 맞게 설정된 입력 값 이용, 각 모드에서 필요로 하는 연산을 수행 $p_1 = \mathbf{a}^H \mathbf{b} \quad p_2 = \mathbf{c}^H \mathbf{d} \quad p_3 = \ \mathbf{e}\ ^2$
4	공간 다중화 모드	
	X2CCM	모든 c_m ($m=1, 2, \dots, C$)에 대해 $x_2(c_m)$ 계산 $x_2(c_m) = \mathbf{Q}(p_1 - p_2 c_m, p_3)$
5	EDCM	c_m 및 $x_2(c_m)$ 이용하여 ED 계산 $e_m = \ \mathbf{y} - \mathbf{h}_1 c_m - \mathbf{h}_2 x_2(c_m)\ ^2$
6	다이버시티 모드	
	2DCM	LLR = min(Bit 0 group) - min(Bit 1 group)
7	1DCM	Simplified LLR 이용
7	QM	LLR을 8 bit으로 양자화
8	OUTPUT	Quantized LLR 출력

표 3. MIMO 모드에 따른 PCM 입력값 설정
Table 3. Input data mapping of PCM according to MIMO mode.

Mode	$p_1 = \mathbf{a}^H \mathbf{b}$		$p_2 = \mathbf{c}^H \mathbf{d}$		$p_3 = \ \mathbf{e}\ ^2$	
SISO	$\mathbf{a} = \begin{pmatrix} h_{11} \\ 0 \end{pmatrix} \quad \mathbf{b} = \begin{pmatrix} y_{11} \\ y_{12} \end{pmatrix}$		-		$\mathbf{e} = \mathbf{a}$	
SIMO	$\mathbf{b} = \begin{pmatrix} y_{11} \\ y_{12} \end{pmatrix} \quad \mathbf{a} = \begin{pmatrix} h_{11} \\ h_{12} \end{pmatrix}$		-		$\mathbf{e} = \mathbf{a}$	
MISO	1st Clock	2nd Clock	-		1st Clock	2nd Clock
	$\mathbf{b}_1 = \begin{pmatrix} y_{11} \\ y_{12}^* \end{pmatrix} \quad \mathbf{a}_1 = \begin{pmatrix} h_{11} \\ h_{21}^* \end{pmatrix}$	$\mathbf{b}_2 = \begin{pmatrix} y_{11} \\ y_{12}^* \end{pmatrix} \quad \mathbf{a}_2 = \begin{pmatrix} h_{21} \\ -h_{11}^* \end{pmatrix}$			$\mathbf{e}_1 = \mathbf{a}_1$	$\mathbf{e}_2 = \mathbf{a}_2$
STBC	1st Clock	2nd Clock	1st Clock	2nd Clock	1st Clock	2nd Clock
	$\mathbf{a}_1 = \begin{pmatrix} h_{11} \\ h_{21}^* \end{pmatrix} \quad \mathbf{b}_1 = \begin{pmatrix} y_{11} \\ y_{12}^* \end{pmatrix}$	$\mathbf{a}_2 = \begin{pmatrix} h_{21} \\ -h_{11}^* \end{pmatrix} \quad \mathbf{b}_2 = \begin{pmatrix} y_{11} \\ y_{12}^* \end{pmatrix}$	$\mathbf{c}_1 = \begin{pmatrix} h_{12} \\ h_{22}^* \end{pmatrix} \quad \mathbf{d}_1 = \begin{pmatrix} y_{21} \\ y_{22}^* \end{pmatrix}$	$\mathbf{c}_2 = \begin{pmatrix} h_{22} \\ -h_{12}^* \end{pmatrix} \quad \mathbf{d}_2 = \begin{pmatrix} y_{21} \\ y_{22}^* \end{pmatrix}$	$\mathbf{e}_1 = \mathbf{a}_1$	$\mathbf{e}_2 = \mathbf{c}_2$
SM	1-4 Clock($LLR(b_1)$)	5-8 Clock($LLR(b_2)$)	1-4 Clock($LLR(b_1)$)	5-8 Clock($LLR(b_2)$)	1-4 Clock	5-8 Clock
	$\mathbf{a}_1 = \begin{pmatrix} h_{21} \\ h_{22} \end{pmatrix} \quad \mathbf{b}_1 = \begin{pmatrix} y_1 \\ y_2 \end{pmatrix}$	$\mathbf{a}_2 = \begin{pmatrix} h_{11} \\ h_{12} \end{pmatrix} \quad \mathbf{b}_2 = \begin{pmatrix} y_1 \\ y_2 \end{pmatrix}$	$\mathbf{c}_1 = \begin{pmatrix} h_{21} \\ h_{22} \end{pmatrix} \quad \mathbf{d}_1 = \begin{pmatrix} h_{11} \\ h_{12} \end{pmatrix}$	$\mathbf{c}_2 = \begin{pmatrix} h_{11} \\ h_{12} \end{pmatrix} \quad \mathbf{d}_2 = \begin{pmatrix} h_{21} \\ h_{22} \end{pmatrix}$	$\mathbf{e}_1 = \mathbf{a}_1$	$\mathbf{e}_2 = \mathbf{a}_2$

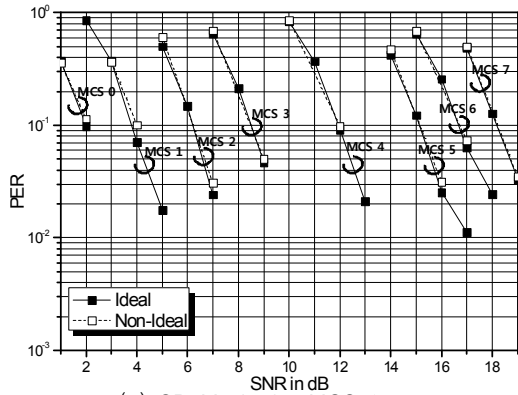
input preprocessor module (IPM), parameter calculation module (PCM), decision variable calculation module (DVCM), X2C calculation module (X2CCM), Euclidean distance calculation module (EDCM), 1D LLR calculation module (1DCM), 2D LLR calculation module (2DCM), quantization module (QM) 등의 블록으로 구성된다. 우선 표 2와 같이 두 개의 입력 벡터가 IPM을 통해, 표 3과 같이 MIMO 모드에 맞게 재정렬되고, PCM을 통해 파라미터 p_1, p_2, p_3 를 계산한다. 만약, SD 모드일 경우, 이 세 개의 파라미터를 이용하여 DVCM 및 EDCM을 거쳐 유클리디언 거리를 계산한다. 이 과정에서는 표 2에서 보듯이, $p_2 c_m, \mathbf{h}_1 c_m - \mathbf{h}_2 x_2(c_m)$ 그리고, 놴 (norm)의 제곱 연산 등의 복잡한 연산이 필요하게 된다. 이에 정상도 상의 모든 좌표인 c_m 이 결국 상수라는 점을 고려하여, 극좌표 형태의 복소수 승산 방법을 통해 연산의 복잡도를 단순화 시켰다. 유클리디언 거리 계산 이후 2DCM에서 LLR이 계산되며, 마지막으로 1DCM 및 2DCM에서 얻어진 LLR 값이 8 bit 양자화되어 출력된다.

IV. 모델 수신부 통합 성능분석

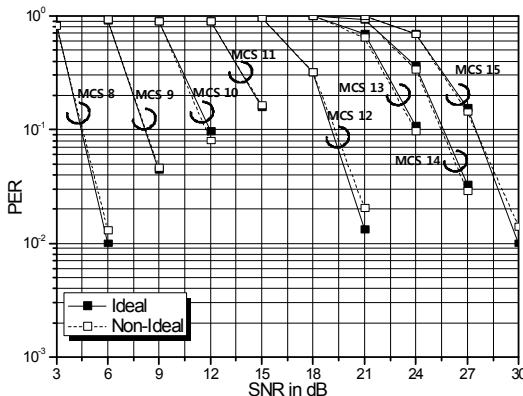
그림 5는 본 논문에서 제안한 시간 동기 알고리즘과 MML 기반 심볼 검출 알고리즘을 적용한 수신 알고리즘의 통합 성능평가 결과를 보여준다. 성능평가를 수행하기 위한 채널 환경은 IEEE 802.11n 무선 LAN 채널 모델 D (typical office environment, NLOS) [13]를 적용하였다. 그림 5-(a), (b)의 성능평가 결과는 각각 SD 모드와 SM 모드의 PER (Packet Error Rate)을 기준으로 0.1 부근의 성능을 도시하였다. Ideal 성능은 시간 및 주파수 오프셋이 없다고 가정한 경우의 성능평가 결과이고, Non-ideal 성능은 40 ppm의 주파수 오프셋과 랜덤한 시간 오프셋이 포함된 경우의 성능평가 결과이다. Ideal 성능과 non-ideal 성능을 비교해 보면, 낮은 SNR에서는 시간 동기의 성능에 따라 약간의 성능 열화를 보이지만, 높은 SNR에서는 성능 차이가 거의 없는 것을 확인할 수 있다.

V. 하드웨어 구현 결과

제안된 시간 동기 알고리즘 및 저 복잡도 특성을 갖는 MIMO 심볼 검출기를 적용한 2x2 MIMO-OFDM 기반 무선 LAN 수신 모델은 Verilog HDL을 이용하여 설계되었고, 0.13um CMOS 셀 라이브러리로 합성되었다.



(a) SD Mode for MCS 0~7



(b) SM Mode for MCS 8~15

그림 5. MCS에 따른 모뎀 수신부의 PER 성능
Fig. 5. Performance of Receiver Modem for MCS

표 4는 제안된 MIMO 심볼 검출기의 합성결과를 보여준다. 표 4에서 보듯이, 제안된 심볼 검출기의 하드웨어 구조를 적용한 결과 ML 기반의 심볼 검출 기법을 적용한 수신 모뎀에 비해 56%의 게이트 수의 감소 효과를 확인 할 수 있다. 또한, 표 5는 제안된 알고리즘이 적용된 무선 LAN 시스템의 게이트 수를 나타낸다.

표 4. 제안된 심볼 검출기의 구현 결과
Table 4. Synthesis result of the proposed symbol detector

	기존 구조	제안 구조	감소율
게이트 수	930 K	410 K	56 %

표 5. 제안된 시스템의 게이트 수
Table 5. Gate count for the proposed Modem Receiver

	PLCP	PMD	합계
게이트 수	230 K	720 K	950 K

VI. 결 론

본 논문에서는 2x2 MIMO-OFDM 기반 무선 LAN 기저대역 수신 모뎀을 위한 효율적인 수신 알고리즘 및 저전력, 저면적 하드웨어 구조를 제시하였다. 무선 LAN 수신모뎀의 성능향상을 위해서 효율적인 시간 동기 알고리즘과 모든 MIMO 모드 지원 가능한 MML 기반 심볼 검출기를 제안하였다. 또한, MIMO-OFDM 시스템에서 하드웨어 복잡도 측면에서 큰 비중을 차지하는 MIMO 심볼 검출기를 제안된 극좌표 형태의 복소수 승산 방법을 통해 다수의 곱셈기를 간단한 쉬프트 및 가산기 (shifter & adder)로 변환 및 멀티 스테이지 구현을 통해 복잡도를 크게 낮추었다. 따라서, 본 논문에서 설계된 2x2 MIMO-OFDM 기반 무선 LAN 수신 모뎀은 저전력, 저면적 무선 LAN 시스템 구현에 적합할 것으로 판단된다.

감사의 글

본 논문은 2009년 정부(교육과학기술부)의 재원으로 한국연구재단의 지원(2009-0071983)과 지식경제부 기술혁신사업(10035389)의 지원을 받아 수행되었고, CAD Tool 은 IDEC 으로부터 지원받았음.

참 고 문 헌

- [1] A. F. Naguib, N. Seshadri, and A. R. Calderbank, "Increasing data rate over wireless channel," *IEEE Signal Process. Mag.*, vol. 17, no. 2, pp. 744-765, Mar. 1998.
- [2] Juha Heiskala, John Terry, "OFDM Wireless LANs : A Theoretical and Practical Guide", *Sams Publishing*, 2001.
- [3] M. Sandell, J. van de Beek, and P. Borjesson, "Timing and frequency synchronization in OFDM systems using the cyclic prefix", *Proc. Int. Symp. on Synchronization*, pp. 16-19, Essen, Germany, 1995.

[4] T. Keller and L. Hanzo, "Orthogonal frequency division multiplex synchronization techniques for wireless local area networks", *IEEE PIMRC*, pp. 963-967, Taipei, Taiwan, 1996.

[5] T. M. Schmidl and D. C. Cox, "Robust frequency and timing synchronization for OFDM", *IEEE Transactions on Communication*, vol 45, no 12, pp. 1613-1621, December, 1997.

[6] S. Muller-Weinfurter, "On the Optimality of Metrics for Coarse Frame Synchronization: A Comparison", *IEEE PIMRC*, pp.533-537, 1998. 9.

[7] S. Chang, B. Kelley, "Time synchronization for OFDM-based WLAN systems", *Electronics Letters*, vol. 39 No. 13, pp. 1024-1026, June 2003.

[8] IEEE Std. 802.11n, "Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications," 2009.

[9] J. Kim, Y. Kim, K. Kim, "Computationally efficient signal detection method for next generation mobile communications using multiple antennas," *SK Telecommun. Review*, vol. 17, no 1C, pp.183-191, Feb. 2007.

[10] S. He and M. Torkelson, "Designing pipeline FFT processor for OFDM (de) modulation," *Proc. IEEE URSI Int. Signals, Systems, and Electron.*, vol. 2, pp. 257-262, Oct. 1998.

[11] A. Ribeiro Dias, S. Rouquette, K. Gosse, "MTMR channel estimation and pilot design in the context of space time block coded OFDM-based WLANs", *IST Summit, Thessaloniki*, 2002. 6.

[12] Y. Gang, A. T. Erdogan, and T. Arslan, "An efficient pretracking approach for Viterbi decoder Targeting Wireless Communication Applications" *IEEE Transactions on Circuits and Systems* vol. 53 pp. 1918-1927.

[13] IEEE 802.11n, Joint Proposal Team PHY Simulation Results : doc.:IEEE 802.11-06/0067r02, IEEE, 2006.

장 수 현 (張秀玄)



2009년 2월 : 한국항공대학교 항공전자공학과(공학사)
 2009년 3월~현재 : 한국항공대학교 항공전자공학과(공학석사)
 관심분야 : 무선 통신 시스템용 모델 프로세서의 알고리즘 및 SoC 설계

노 재 영 (盧載永)



2009년 2월 : 한국항공대학교 항공전자공학과(공학사)
 2010년 3월~현재 : 한국항공대학교 항공전자공학과(공학석사)
 관심분야 : 무선 통신 시스템용 모델 프로세서의 알고리즘 및 SoC 설계

정 윤 호 (丁胤豪)



1998년 2월 : 연세대학교 전자공학과(공학사)
 2000년 8월 : 연세대학교 전기컴퓨터공학과(공학석사)
 2005년 8월 : 연세대학교 전기컴퓨터공학과(공학박사)
 2005년~2007년 : 삼성전자 통신연구소

책임연구원

2007년~2008년 : 연세대학교 전자공학과 연구교수
 2008년~현재 : 한국항공대학교 항공전자 및 정보통신공학부 조교수
 관심분야 : 무선 통신 시스템용 모델 프로세서의 알고리즘 및 SoC 설계