

NiSi 접촉과 Cu 플러그/Ti 확산방지층의 동시 형성 연구

배규식[†]

수원대학교 전자재료공학과

Simultaneous Formation of NiSi Contact and Cu Plug/Ti Barrier

Kyoo-Sik Bae[†]

Department of Electronic Materials Engineering, The University of Suwon, Suwon 445-743, Korea

(2010년 6월 14일 접수 : 2010년 6월 18일 최종수정 : 2010년 6월 19일 채택)

Abstract As an alternative to the W plug used in MOSFETs, a Cu plug with a NiSi contact using Ta/TaN as a diffusion barrier is currently being considered. Conventionally, Ni was first deposited and then NiSi was formed, followed by the barrier and Cu deposition. In this study, Ti was employed as a barrier material and simultaneous formation of the NiSi contact and Cu plug/Ti barrier was attempted. Cu(100 nm)/Ti/Ni(20 nm) with varying Ti thicknesses were deposited on a Si substrate and annealed at 4000°C for 30 min. For comparison, Cu/Ti/NiSi thin films were also formed by the conventional method. Optical Microscopy (OM), Scanning Probe Microscopy (SPM), X-Ray Diffractometry (XRD), and Auger Electron Microscopy (AES) analysis were performed to characterize the inter-diffusion properties. For a Ti interlayer thicker than 50 nm, the NiSi formation was incomplete, although Cu diffusion was inhibited by the Ti barrier. For a Ti thickness of 20 nm and less, an almost stoichiometric NiSi contact along with the Cu plug and Ti barrier layers was formed. The results were comparable to that formed by the conventional method and showed that this alternative process has potential as a formation process for the Cu plug/Ti barrier/NiSi contact system.

Key words Cu contact, NiSi, Ti Diffusion barrier, Ti thickness, interdiffusion.

1. 서 론

고집적 MOSFET 소자의 크기가 100 nm 이하로 축소됨에 따라 다층 배선층의 RC 지연과 더불어, 텅스텐 (W) 플러그의 높은 비저항(9.17 $\mu\Omega\text{-cm}$)과 접촉 저항이 성능 향상의 걸림돌로 부각되었다. 이에 따라 텅스텐 대신에 비저항(1.67 $\mu\Omega\text{-cm}$)이 낮은 구리 (Cu)를 플러그 재료로 사용하려는 노력¹⁻⁶⁾이 시도되고 있다. Cu는 이미 Al을 대체하여 배선 금속으로 사용되고 있어, 소스/드레인의 플러그 재료로도 적용되면 성능 향상은 물론, 소자 제조 공정을 크게 단순화시킬 수 있다. 한편, NiSi는 TiSi₂나 CoSi₂에 버금가는 낮은 비저항을 가졌으며, 면저항의 선평의존성이 없고, 실리사이드 형성 시 실리콘 소모량이 작은 장점으로 고집적 소자의 소스/드레인의 접촉 및 게이트 재료로 적용되어 왔다.⁶⁻⁸⁾ 그런데, NiSi는 350°C의 저온에서도 형성이 가능한 반면, 고온의 후속 열공정이 있으면 응집이 일어나거나 고 비저항이 높은 NiSi₂로 전환

하는 열적불안정성으로 인해 높은 누설전류를 야기한다. DRAM의 경우 캐패시터 유전체 내부와 유전체/전극 계면의 결함을 줄이기 위해 통상 750°C에서 열처리한다.⁴⁾ 그러나, 최근에는 고집적 반도체 소자, 특히 CMOS 논리소자의 크기가 45 nm 이하로 줄어들면서 후속 열공정 온도가 낮아져 이러한 열적 부담은 감소되고 있다.^{6,9)}

Cu는 200°C 이하에서도 Si 및 SiO₂로 확산하고 Cu₃Si를 형성하여 소자의 전기적 특성을 저하시키므로 소자 상층부의 Cu 배선에는 물론, 기저층의 소스 및 드레인에 서도 Cu 플러그와 실리사이드사이에 확산방지층이 필요하다. Cu/NiSi의 경우에도 350°C이상에서 Cu가 확산하여 Cu₃Si를 형성함으로써 누설전류가 증가되는 것으로 보고되었다.¹⁾ 소스/드레인의 확산방지층은 Cu 확산 방지 뿐 아니라, Cu/실리사이드의 접착력과 열적안정성을 향상시켜야 한다. Cu/NiSi의 확산방지층으로는 Cu 배선층에 사용되고 있는 Ta/TaN^{3,5)}와 45 nm 이하의 소자에 대비하여 Ru/TaN 또는 Ru⁶⁾ 등에 대한 연구가 최근에 보고되었다. 한편, Ti은 glue layer로서의 접착력이 우수하고 저가이며, 후속 공정 및 소자 사용 온도가 고온이 아닌 경우 Cu 확산방지 특성이 검증된 재료로서, ULSI의 Cu 배선층¹³⁾

[†]Corresponding author
E-Mail : ksbae@suwon.ac.kr (K. -S. Bae)

과 사용 온도가 300°C 이하인 SAW 소자의 Cu 전극¹²⁾의 확산방지층, 그리고 NiSi 형성시 capping 층²⁾으로 사용된 바 있다.

일반적으로 Cu/확산방지층/NiSi/Si 구조는 Ni을 Si 기판에 증착하고 NiSi를 형성한 후 미 반응 Ni을 제거하고, 그 위에 확산방지층과 Cu 플러그를 순차적으로 증착하여 만든다.²⁻⁶⁾ 그리고 이 접착 구조를 열처리하여 열적안정성 및 전기적 특성을 분석한다. 본 연구에서는 Ti을 Cu 플러그의 확산 방지 재료로 선택하였고, 기존의 방법과 달리하여 Si 기판위에 Ni, Ti, Cu를 차례로 증착한 후 한번의 열처리로 NiSi 접착 및 Ti 확산방지층과 Cu 플러그를 동시에 형성하여 공정 단순화를 시도하였다. 이렇게 형성한 Cu/Ti/NiSi 구조의 특성을 AES 깊이 분석을 중심으로 연구하였다. 특별히 Ti층의 두께가 Cu 확산 및 NiSi 형성에 미치는 영향을 중점적으로 연구하였다.

2. 실험 방법

비저항이 1~30 Ω·cm인 4" p형 (100) Si 웨이퍼 기판을 아세톤, IPA, 증류수로 각각 5분간 초음파로 유기물을 세척하고, 10% HF 수용액으로 10분 동안 자연산화막을 제거한 후 증류수로 세정하였다. 이 기판위에 DC 스퍼터를 이용하여 상온에서 9×10^{-7} Torr의 진공도로 Ni(20 nm)을 증착하고 그 위에 Ti을 10~100 nm 증착하였다. Ti은 Ar 분위기에서 DC power 300W, 공정압 3 m Torr를 유지하면서 증착하였다. Ni 및 Ti층이 증착된 시편위에 Cu (100 nm)를 9×10^{-7} Torr에서 DC 스퍼터로 증착하였다. Ni 및 Cu의 두께를 각각 20 nm, 100 nm로 선정된 것은 MOSFET 공정을 모사하여 실시한 다른 연구들⁴⁻⁶⁾을 고려한 것이다. Cu/Ti/Ni/Si가 증착된 시편은 10^{-5} Torr의 관상로에서 400°C 40분간 열처리하여 NiSi 형성 및 Cu의 확산 특성을 연구하였다. 이 열처리 조건은 NiSi 형성이 충분히 가능하면서도 Wang 등의 연구¹⁾에서 TaN/Cu/NiSi 접착이 열적불안정성을 나타낸 350°C를 고려하여 선택하였다. 비교하기 위하여 일부의 시편은 기존의 방법으로 제작하였다. 즉, 기판위에 Ni을 증착한 후 N₂ 분위기에서 500°C 100 초 single-step으로 급속열처리(Rapid Thermal Annealing, RTA)하여 NiSi를 형성하고²⁾ 미반응 Ni(8 nm)을 건식 에칭으로 제거하였다. 형성된 NiSi위에 위와 동일한 조건으로 Ti 및 Cu를 증착한 후 관상로에서 열처리하였다. 시편의 표면은 광학현미경 및 SPM (Scanning Probe Microscopy)으로 관찰하였으며, 조성 및 결정성은 XRD (X-Ray Diffractometry)로 조사하였으며, AES (Auger Electron Microscopy)에 의해 깊이에 따른 화학조성의 변화를 분석하였다.

3. 결과 및 고찰

Fig. 1은 기존의 방법에 따라 Si 위에 Ni (20 nm)을 증착하고 500°C 100초 급속열처리하여 NiSi를 형성한 시편에 대한 AES 깊이 분석 결과이다. Si과 Ni의 원자비가 1:1로 균일하게 나타나 500°C 급속열처리에 의해 30 nm 정도 두께의 전형적인 NiSi가 형성되었음을 알 수 있다. 표면에 약간의 산소가 있으나 NiSi층에는 없는 것으로 나타났다.

Fig. 2는 NiSi가 형성된 위 시편의 표면에 남아있는 미반응 Ni을 제거하고 그 위에 Cu (100 nm)를 증착하거나 (Fig. 2(a)), Ti 확산방지층(20 nm)을 증착한 후 Cu를 증착하고(Fig. 2(b)), 관상로에서 400°C 40분간 열처리한 시편에 대한 AES 결과이다. Ti 중간층의 유무에 관계없이 Cu층에 약 40 at.%의 많은 산소가 포획되어 있는 것으로 나타났다. 이는 Cu의 산소 한계 고용도인 약 15 wt.%에 해당하는 것으로 관상로의 진공도 한계 때문에 열처리 과정에서 흡입된 것이다.^{6,13)} 따라서, Cu층에는 아래의 XRD 분석(Fig. 5)에서 확인되듯이 상당량의 산화물이 형성된 것으로 판단된다.⁵⁾ 또한 Ti 중간층에도 산소가 Ti 보다 4 배나 더 많이 있는 것으로 나타났다. 이러한 과량의 산소 포획은 Ti의 산소친화력 때문에 나타나는 것으로 진공로를 사용한 Ti¹³⁾ 과 Ta⁵⁾ 확산방지층의 경우에도 나타난다. 이 산소는 Cu의 입계를 통해 Ti 층으로 확산한 것이며 α-Ti 외에 Ti 산화물을 형성하였을 것으로 생각된다. 그런데, Yin 등의 연구¹⁶⁾에 의하면 Ta 중간층의 산화가 Cu 확산을 지연시키는 데 기여하는 것으로 보고된 바 있다. 확산방지층의 산소 포획 정도는 열처리 진공도는 물론, 산소 포획 능력이 큰 확산방지층의 상대적 두께, 즉 부피에 따라서도 달라진다.

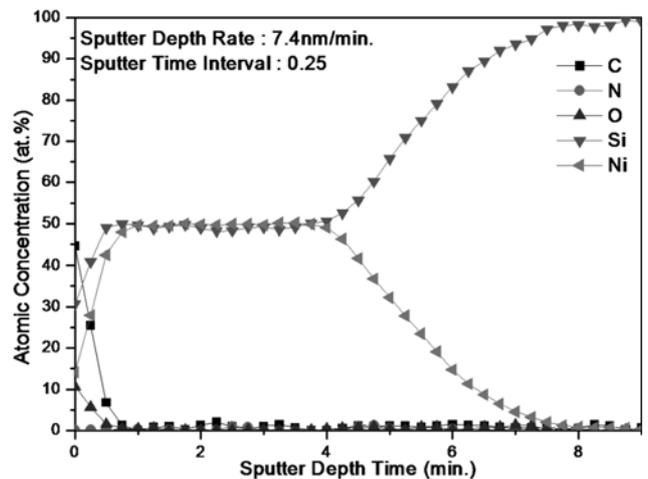


Fig. 1. AES depth profiles of Ni/Si, rapidly thermal-annealed (RTA) at 500°C for 100sec.

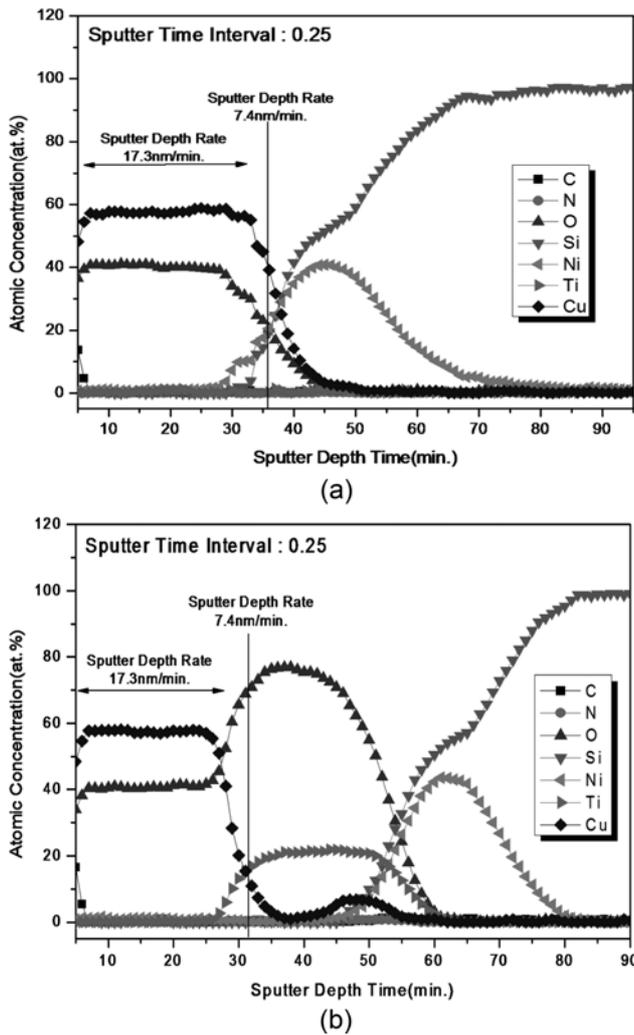


Fig. 2. AES depth profiles of (a) Cu(100 nm) / NiSi / Si, and (b) Cu(100 nm) / Ti(20 nm) / NiSi / Si, furnace-annealed at 400°C for 40 min.

한편 Ti 방지층의 유무와 관계없이 1:1의 균일한 조성비를 갖고 있던 NiSi층은 붕괴되어 층간 경계가 불분명해진 것으로 나타났다. 이는 열처리 과정에서 일부 NiSi층이 분해하고 Ni이 확산하였기 때문이다. 그 결과 Ti 방지층이 없는 경우 Cu와 Ni이 상호 확산한 것으로 나타났다(Fig. 2(a)). Cu-Ni 이원계는 Cu에 비해 Ni이 100배 이상 빨리 확산하고 전율고용체를 형성하므로 온도가 더 높거나 열처리 시간이 길면 완전 고용될 때까지 상호 확산할 수 있다. Cu-Ni 고용체는 Ni 함량에 비례하여 비저항이 증가하며, Cu에 비해 Ni의 비저항이 약 4배 높다.²⁾ 따라서, Cu-Ni 고용체의 형성은 접촉의 비저항을 증가시킨다. 또한, Cu와 Si도 상호확산하여 Cu 실리사이드를 형성할 수 있다.¹⁷⁾ Wang 등의 연구¹⁾에서도 Cu가 NiSi와 직접 접촉하여 있을 때는 NiSi층으로 확산하여 Cu₃Si를 형성하는 것으로 보고되었다. NiSi의 분해 및 확산의 결과 NiSi 층에는 Ni이 Si보다 적어졌는데, NiSi₂

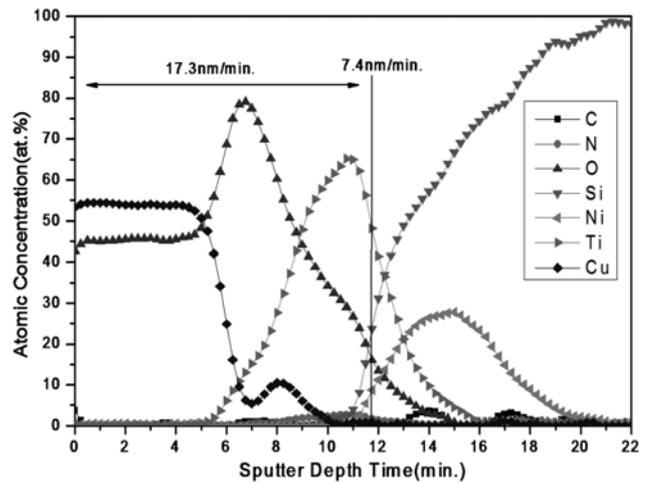


Fig. 3. AES depth profiles of Cu(100 nm) / Ti(100 nm) / Ni(20 nm) / Si, furnace-annealed at 400°C for 40 min.

는 750°C이상에서 형성된다는 것⁹⁾을 감안하면 일부 NiSi가 NiSi₂로 상변환한 것이 아니라 분해한 Ni이 Cu로 확산되고 잉여 Si이 남아 있기 때문으로 판단된다. 그런데 Cu층으로의 확산한 Si의 양은 Ni 보다는 작았다. 이는 Cu-Si의 경우 Cu가 주확산원소(dominant diffusing species)이어서 Si이 상대적으로 어렵기 때문이다.⁵⁾

반면 Ti 중간층이 있는 경우(Fig. 2(b)), Cu-Ti의 상호 확산은 상당히 억제되고 있음을 알 수 있다. 이는 Cu가 Ni과는 250°C이상이면 고용체를 형성할 수 있지만 Ti와는 고용율이 1.6 at.%이하로 매우 낮아 혼합이 어렵기 때문에 해석할 수 있다. 한편, Ti-NiSi 계면에서는 Fig. 2(a)에서 보다는 작지만 어느 정도 혼합이 일어난 것으로 나타났는데, 고용체의 형성과정으로 이해될 수 있다. Ti-Ni의 경우, 400°C이하에서는 Ni이 훨씬 더 빨리 확산하여 비정질 혼합물을 형성하는 것으로 알려져 있다. 또한, Si도 Ti 층으로 확산한 것으로 나타났는데, Ti-Si 이원계에서는 Si이 주확산원소이기 때문이다. 그런데, Ti 실리사이드의 형성 온도가 500°C 이상이고, 특히 TiSi₂는 750°C이상에서 형성되므로⁹⁾ Ti-Si 계면에서도 혼합물이 형성된 것으로 볼 수 있다. 그럼에도 불구하고 계면에서의 혼합물 형성은 상당히 억제되어 Cu 접촉층, Ti 확산방지층, 및 NiSi 층의 계면이 명확하게 유지되었다.

Fig. 3은 기존의 방법과 달리하여 NiSi 형성 열처리과정을 거치지 않고 Ni(20 nm) / Ti(100 nm) / Cu(100 nm)를 차례로 증착한 후 400°C 40분 한차례 열처리한 시편의 AES 분석 결과이다. Fig. 2(b)와 비교하여 Ti 중간층이 5배 두꺼워 산소가 충분히 Ti 층으로 확산하지 못하였다. 그 결과 Ti에 대한 산소 원자비는 전체적으로 1:1로 낮아졌지만 Cu와 Ti층 사이에 산소가 과다한 Ti 산화물 층이 생겨난 것으로 나타났다.¹⁶⁾ 반면, Cu 층의 산소 함량은 45 at.%로 조금 더 증가하였다. 한편, Ni과 Si의 원자

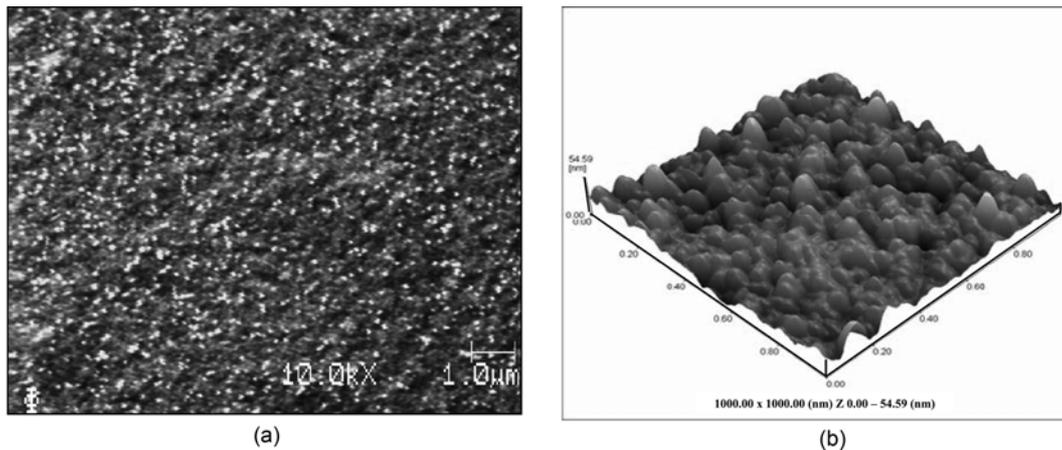


Fig. 4. (a) Optical and (b) SPM surfacial images of Cu(100 nm) / Ti(100 nm) / Ni(20 nm) / Si, furnace-annealed at 400°C for 40 min.

비는 1:2 이상으로 균일한 NiSi가 형성되지 못하였으며, Ti과 Ni 및 Si과의 상호확산이 상당 정도 진행된 것으로 나타났다. 위에서 언급한 바와 같이 Ti-Ni의 경우 Ni이 확산하여 비정질 혼합물을 형성한다. 이와는 달리 Cu는 Ti 층으로 거의 확산되지 않고 경계가 뚜렷한 Cu 층을 유지하고 있다. 또한 Ti의 Cu로의 확산도 미미하였다.

Fig. 4는 위 Fig. 3 시편의 Cu 표면층을 광학현미경과 SPM으로 관찰한 결과이다. Cu는 입자의 직경이 약 50 nm의 주상구조(columnar structure)이며 입자의 높이는 최대 55 nm로 Cu박막 두께(100 nm)의 반 정도이었다. Ti 중간층의 두께가 300 및 500 nm인 경우 입자는 박막의 두께보다 크고 조야한 구형을 나타내어(데이터 미포함), 열처리 온도가 높을 때¹³⁾와 유사한 경향성을 보였다. 이러한 Cu의 응집은 Ti 산화층의 형성과 이로 인한 Cu/Ti 층간의 점착성(wettability) 감소와 관계가 있으며 면저항을 증가시킨다.^{5,6)} Fig. 4(a)에 나타난 흰색 점들은 Fig. 5에 확인되는 바와 같이 열처리 과정에서 발생한 Cu의 산화

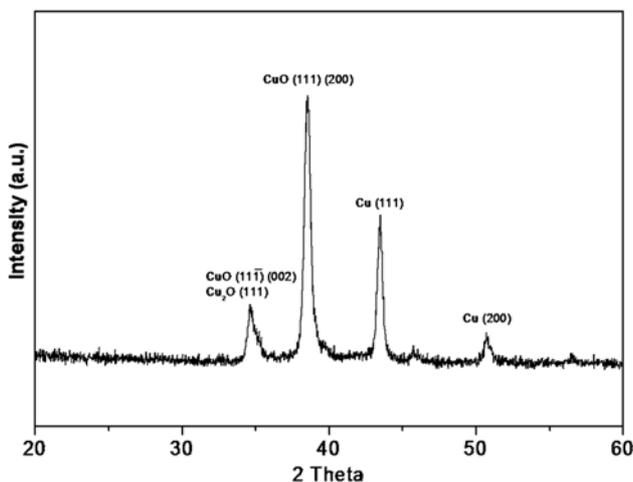


Fig. 5. XRD patterns of Cu(100 nm) / Ti(100 nm) / Ni(20 nm) / Si, furnace-annealed at 400°C for 40 min.

와 Cu 산화물 형성에 의한 것이다.

Fig. 5는 Cu 표면층에 대한 XRD 분석 결과이다. CuO (111) 피크가 가장 크게 나타났으며 CuO(-111)은 Cu₂O (111)과 겹쳐 있는 것으로 판단되어 형성된 산화물은 Cu₂O와 CuO로 분석된다.¹⁸⁾ Fig. 3의 AES 깊이 조성 비교하면 이들 산화물은 별개의 층을 형성하였다기 보다는 Cu와 더불어 혼재하고 있는 것으로 생각된다. 한편, Cu 피크도 뚜렷히 나타났으나 Cu와 Ti 및 Ni과의 반응에 의한 화합물 피크는 볼 수 없다. 따라서, 열처리 과정에서 Cu의 산화 외에 다른 반응은 일어나지 않는 것으로 확인된다. Cu(111) 피크가 우세한 것은 증착한 Cu 박막에서 일반적으로 나타나는 우선 배향(texture) 때문이다.^{13,18)}

Fig. 3-4에서 Cu/Ti/Ni/Si 다층을 열처리하여 NiSi 접착과 Cu 플러그를 동시에 형성할 경우 Cu는 Ti에 의해 확산이 방지되어 뚜렷한 계면을 유지하였지만 NiSi 형성이 불완전한 것으로 나타났다. 다층 박막의 경우 열처리 온도 및 시간 외에도 박막의 상대적인 두께가 상호 확산 및 반응에 영향을 미친다. 일반적으로 MOSFET 소자의 확산방지층의 두께는 15~20 nm이지만,^{4,6)} 5 nm인 경우에도 Cu 확산에는 효과적인 것¹¹⁾으로 보고된 바 있다. 이를 고려하여 Cu(100 nm) 및 Ni(20 nm)의 두께는 유지하고 Ti 확산방지층의 두께를 변화하여 Fig. 1에서와 같은 조성의 NiSi 형성을 시도하였다. Fig. 6은 Ti 두께가 각각 50, 20, 10 nm인 경우의 AES 깊이 분석 결과이다. Ti 두께가 50 nm인 경우(Fig. 6(a)), Fig. 3의 100 nm인 경우와 별 차이를 보이지 않았다. 그러나, Ni(20 nm)과 같이 Ti 두께가 20 nm인 경우(Fig. 6(b)), 산소가 Ti 중간층에 균일한 조성으로 포획되고, 그 밑에는 원자비가 거의 1:1인 층이 뚜렷이 형성된 것으로 나타났다. 이는 기존의 방법으로 NiSi를 형성하고 그 위에 Cu를 증착한 후 열처리한 Fig. 2(b)와 거의 동일한 결과이다. 이로 미루어

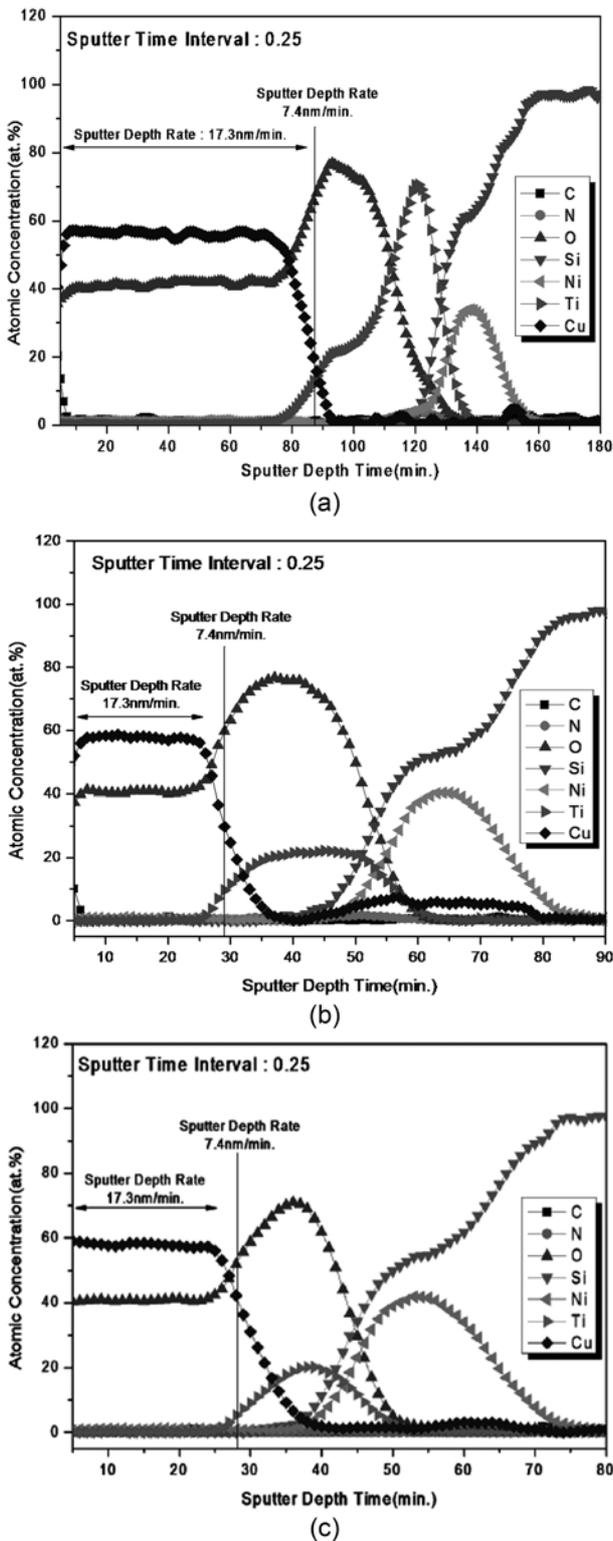


Fig. 6. AES depth profiles of the Cu(100 nm) / Ti / Ni(20 nm) / Si, furnace-annealed at 400°C for 40 min.: (a) Ti(50 nm), (b) Ti(20 nm) and (c) Ti(10 nm).

, 투과전자현미경(TEM) 등으로 확인이 필요하지만 이 층에는 주로 NiSi가 형성된 것으로 판단된다. Fig. 2(b)에 비

해 약간 다른 점은 열처리 과정에서 Si이 보다 많이 Ti 층으로 확산하고 그 결과 NiSi층의 Si 원자비가 조금 더 높게 나타난 것이다. 한편, Ti 두께가 10 nm인 경우(Fig. 6(c))도 20 nm인 경우와 유사하였으나 Si의 Ti 층으로의 확산이 줄어들어 NiSi층의 원자비가 더 1:1에 가까워진 것으로 나타났다. 이로 미루어, Ti 확산방지층의 두께를 Ni 층보다 같거나 얇게 한 경우, 1:1 원자비에 가까운 NiSi와 계면이 뚜렷이 구별되는 Cu 플러그 및 Ti 확산 방지층을 형성할 수 있는 것으로 나타났다.

다층 금속 박막에서는 벌크 재료에는 나타나지 않는 여러 가지 복잡한 상호 반응이 일어날 수 있다. 본 연구에서는 Cu/Ti/Ni/Si 다층박막을 400°C에서 열처리하였다. 이때 Cu/Ti의 계면에서는 상호 반응이 억제되어, Cu 층은 증착된 그대로의 형태를 유지하였다. 반면, Ni/Si의 계면에서는 Si이 급속히 확산하여 NiSi 접착을 형성하였고, 일부는 Ti 층으로 까지 확산하였으나 Ti 혼합물의 형성은 매우 제한적이었다. 또한 Ti/Ni의 계면에서의 혼합물 형성도 억제되어, Cu 플러그, Ti 확산방지층이 뚜렷히 구분되게 형성된 것으로 나타났다. 이상의 결과에서, Si 기판위에 Cu/Ti/Ni을 차례로 증착하고 열처리하면 NiSi 접착이 형성됨과 동시에 Ti 확산방지층과 Cu 플러그를 형성시킬 수 있음을 확인하였다. 열처리 과정에서 문제점으로 나타난 산화를 줄이고 열처리 온도와 시간을 조절한다면 더 효과적인 접착/플러그 형성 공정이 개발될 수 있을 것으로 생각된다.

4. 결 론

Cu는 소자 상층부의 Cu 배선에는 물론, 기저층의 소스 및 드레인에서도 Cu 플러그 재료로서의 적용이 시도되고 있다. 한편, NiSi는 고집적 소자의 게이트 및 소스/드레인의 접착 재료로 사용되어 왔다. 이때 Cu를 플러그 재료로 적용하려면 확산방지층이 필요하며 주로 Ta, TaN 및 Ru 등이 고려되어 왔다. 그리고, Cu/확산방지층/NiSi/Si 구조를 형성할 때, 기존에는 Ni을 Si 기판에 증착한 후 NiSi를 형성하고 그 위에 확산방지층과 Cu 플러그를 순차적으로 증착하는 방법을 취하였다. 본 연구에서는 Ti을 확산 방지 재료로 선택하였고, 기존의 방법과 달리 하여 Si 기판위에 Ni, Ti, Cu를 차례로 증착한 후 한번의 열처리로 NiSi 접착 및 Ti 확산방지층과 Cu 플러그를 동시에 형성하는 공정을 시도하였다. Cu(100 nm) / Ti / Ni(20 nm) / Si 다층박막을 Ti의 두께를 달리하여 증착한 후 400°C에서 30분간 열처리하였다. Ti 층의 두께가 Ni 층과 같이 20 nm 및 그 이하인 경우, Cu/Ti의 계면에서의 상호반응은 억제되었고, Ni/Si의 계면에서는 Si이 급속히 확산하여 NiSi를 형성하였다. 이는 기존의 방법으

로 NiSi를 형성하고 그 위에 Cu를 증착한 후 열처리한 경우와 거의 동일한 결과이었다. 이로 부터, Si 기판위에 Cu/Ti/Ni을 차례로 증착하고 열처리하면 NiSi 접착이 만 들어짐과 동시에 Ti 확산방지층과 Cu 플러그를 형성할 수 있음을 확인하였다.

참 고 문 헌

1. C. -C. Wang, H. -H. Lin and M. -C. Chen, *Jpn. J. Appl. Phys.*, **43**, 5997 (2004).
2. J. -J. You and K. -S. Bae, *Kor. J. Mater. Res.*, **17**(9), 463 (2007) (in Korean).
3. C. Zhao, Zs. Tokei, A. Haider and S. Demuynck, *Microelectron. Eng.*, **84**, 2669 (2007).
4. C. Zhao, J. Y. Ahn, N. Horiguchi, S. Demuynck and Zs. Tokei, *Microelectron. Eng.*, **85**, 2009 (2008).
5. M. Zhou, Y. Zhao, W. Huang, B. -M. Wang, G. -P. Ru, Y. -L. Jiang, R. Liu and X. -P. Qu, *Microelectron. Eng.*, **85**, 2028 (2008).
6. J. -H. Lin, J. -H. Lee, C. -S. Hsu and J. -S. Fang, *J. Electron. Mater.*, **38**(11), 2251 (2009).
7. A. Lauwers, J. A. Kittl, M. J. H. Van Dal, O. Chamirian, M. A. Pawlak, M. de Potter, R. Lindsay, T. Raymakers, X. Pages, B. Mebarki, T. Mandrekar and K. Maes, *Mater. Sci. Eng. B*, **114-115**, 29 (2004).
8. K. Yoon and O. Song, *Kor. J. Mater. Res.*, **18**(1), 5 (2008) (in Korean).
9. H. Iwai, T. Ohguro and S. -I. Ohmi, *Microelectron. Eng.*, **60**, 157 (2002).
10. W. L. Yang, W. -F. Fa, H. C. You, K. -L. Ou, T. F. Lei and C. -P. Chou, *IEEE T. Electron. Dev*, **ED-49**(11), 1947 (2002).
11. F. Braud, J. Torres, J. Palleau, J. L. Mermet and M. J. Mouche, *Appl. Surf. Sci.*, **91**, 251 (1995).
12. M. Spindler, S. B. Menzel, C. Eggs, J. Thomas, T. Gemming and J. Eckert, *Microelectron. Eng.*, **85**, 2055 (2008).
13. S. Lee and J. Lee, *Kor. J. Mater. Res.*, **14**(4), 246 (2004) (in Korean).
14. D. Z. Chi, D. Mangelinck, A. Z. Zuruzi, A. S. W. Wong and S. K. Lahiri, *J. Electron. Mater.*, **30**(12), 1483 (2001).
15. Y. Setiawan, P. S. Lee, C. W. Tan and K. L. Pey, *Thin Solid Films*, **504**, 153 (2006).
16. K. -M. Yin, L. Chang, F. -R. Chen, J. -J. Kai, C. -C. Chiang, P. Ding, B. Chin, H. Zhang and F. Chen, *Thin Solid Films*, **388**, 15 (2001).
17. N. Mattoso, *J. Mater. Sci.*, **30**, 3242 (1995).
18. W. Gao, H. Gong, J. He, A. Thomas, L. Chan and S. Li, *Mater. Lett.*, **51**, 78 (2001).