

논문 2010-47SD-11-9

CMOS 공정을 이용한 14개 LO 신호를 발생시키는 MB-OFDM UWB용 LO 생성 회로 블록 설계 (A 14-band MB-OFDM UWB CMOS LO Generator)

서영호*, 신상운*, 김창완**

(Yong-Ho Seo, Sang-Woon Shin, and Chang-Wan Kim)

요약

본 논문에서는 3.1~10.6 GHz 대역에서 14개 LO 신호를 발생시키는 MB-OFDM UWB 시스템용 LO 생성 회로에 대한 새로운 구조를 제안한다. 제안하는 LO 생성 회로는 저전력 설계를 위해 하나의 PLL을 사용하면서 주파수 합성과정에서 반드시 필요로 하는 비선형 회로의 숫자를 최소화하고, 동시에 주파수 합성과정에서 발생하는 주요 spurious를 UWB 대역 밖에 존재시킴으로써 spurious 문제를 보다 근본적으로 해결하였다. 제안하는 LO 생성 회로는 0.13- μ m CMOS 공정으로 설계 되었으며, 1.5 V의 공급전압으로부터 93~103 mW의 전력을 소모한다. 모의실험 결과, 모든 14개의 LO 신호 스펙트럼에서 최소 41 dBc 이상의 in-band spurious suppression과 3 nsec 이하의 밴드간 스위칭 시간을 갖는다.

Abstract

This paper presents a 14-band LO generator architecture for MB-OFDM UWB systems using 3.1 GHz ~ 10.6 GHz frequency band. The proposed LO generator architecture has been consisted of only one PLL and the fewest nonlinear components to generate 14 LO signals with high purity while consuming low dc power consumption. In addition, major spurious generated from the LO generator have been located in the out of UWB band. The proposed LO generator has been implemented in a 0.13- μ m CMOS technology and consumes a dc power consumption of 93~103 mW from a 1.5 V supply. The simulation results show an in-band spurious suppression ratio of more than 41 dBc and a band-switching time of below 3 nsec.

Keywords : CMOS, LO generator, RFIC, single-sideband(SSB) mixer, ultra-wideband(UWB)

I. 서론

초고속 유선 홈 네트워크 시스템을 대처할 고속 광대역 (UWB) 무선 시스템 중, 직교 주파수 분할 다중 (MB-OFDM) 방식을 이용한 UWB 시스템은 3.1 GHz에서 10.6 GHz의 주파수 대역에서 동작하며, 528 MHz의 대역폭을 갖는 14개의 서브밴드(sub-band)로 분리

되어있다.^[1] 최근에 UWB 무선 시스템에 필수적으로 적용되는 14개의 LO-tone을 발생하는 LO 생성 회로에 관한 논문이 많이 발표되었는데^[2-3], 기존에 발표된 LO 생성 회로들은 저전력 설계를 위하여 1-2개의 PLL을 사용하여 SSB (single-sideband) 주파수 변환기 및 나누기 회로와 같은 비선형 회로들을 최소한으로 사용하여 14개의 서브밴드 수만큼 LO-tone들을 만들어 내는 방식을 주로 채택하고 있다. [2]에서는 2개의 PLL과 1개의 SSB mixer를 사용하여 7개 LO-tone을 발생시키는 LO 생성 회로 구조를 제안하였고, 기존 문헌 [3]에서는 2개의 PLL과 3개의 SSB 주파수 변환기를 이용하여 14개 LO-tone을 합성하였다. 또한, [3]에서는 원하는 LO-tone을 선택할 때 원하지 않는 spurious 성분들을

* 학생회원, ** 정회원, 동아대학교 전자공학과
(Department of Electronics Engineering, Dong-A University)

※ 이 논문은 동아대학교 학술연구비 지원에 의하여 연구되었음.

접수일자: 2010년5월7일, 수정완료일: 2010년10월5일

제거하기 위해 2-stage SSB 주파수 변환기를 사용하였지만, 결론적으로 spurious가 in-band 내에 위치하게 되므로 spurious 발생에 민감하게 된다. 이러한 문제를 해결하기 위해 본 논문에서는 1개의 PLL을 사용하면서 주파수 합성과정에서 반드시 필요로 하는 비선형 회로의 숫자를 최소화하고, 동시에 주파수 합성과정에서 발생하는 주요 spurious를 UWB대역 (3.1 GHz ~ 10.6 GHz) 밖에 위치시킴으로서 인-밴드(in-band) spurious 문제를 보다 근본적으로 해결할 수 있는 새로운 구조의 14개 LO-tone을 발생시키는 MB-OFDM UWB용 CMOS LO 생성 회로의 구조를 제안한다.

II. 제안하는 주파수 계획 및 LO 생성 회로 구조

그림 1은 본 논문에서 제안하는 14개 LO-tone을 발생시키는 LO 생성 회로의 주파수 계획(frequency plan)을 나타낸다. 그림 1에서 보는 바와 같이 제안하는 LO 생성 회로는 비선형 소자를 최소화 하고 인-밴드 spurious를 최소화 하는 것을 목적으로, 최적의 5개의 중심 주파수(6 f_B , 9 f_B , 12 f_B , 15 f_B , 18 f_B)를 먼저 할당하고 각 중심 주파수에서 0.5 f_B 와 1.5 f_B 만큼 좌우로 합성하여 14개 밴드를 만들어 내는 방식을 선택하였다. 여기에서 f_B 는 UWB 시스템에서 인접 채널간 주파수 거리인 528 MHz 이다. 14개 LO-tone의 주파수 합성 공식 (1)과 같이 표현할 수 있다.

$$f_{LO} = (6f_B, 9f_B, 12f_B, 15f_B, 18f_B) \pm (0.5f_B, 1.5f_B) \quad (1)$$

그림 2는 그림 1에서 제안하는 주파수 계획에 근거하여 구현한 최적화된 LO 생성 회로의 구조도이다. 그림 2에서 제안하는 LO 생성 회로는 하나의 PLL으로부터 1개의 90° 위상변환기, 5개의 나누기-2 회로, 1개의 나누기-3 회로, 3개의 선택 회로, 그리고 2개의 SSB 주파수 변환기로 구성되어 있고, 각 블록의 수를 최소한으로 하여서 저전력에 유리하도록 설계하였다. 그림 2에서 보는 바와 같이 제안하는 LO 생성 회로는 5개의 중심

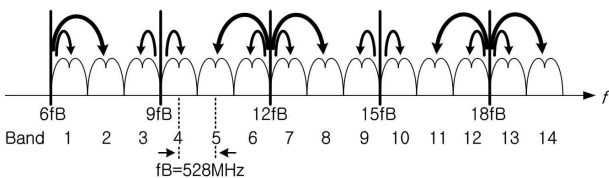


그림 1. 제안한 주파수 합성 계획
Fig. 1. Proposed frequency plan.

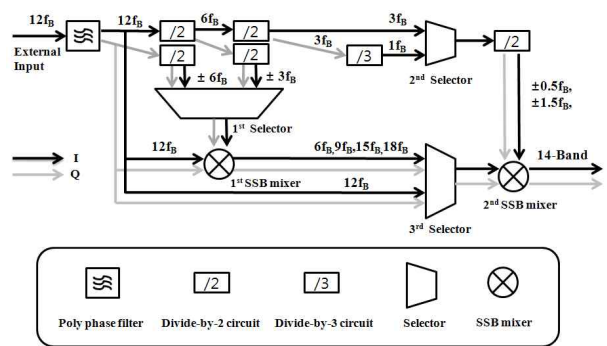


그림 2. 제안하는 LO 생성 회로 구조
Fig. 2. Proposed LO generator architecture.

주파수를 만들어내기 위해 PLL에서 발생하는 6336 MHz (12 f_B)의 차동신호를 poly-phase filter를 이용하여 quadrature 신호로 만들어 낸다. 본 연구에서는, 6336 MHz (12 f_B) 신호는 외부에서 공급받는 것으로 가정하였다. 그림 2에서 quadrature 6336 MHz 신호는 나누기-2 회로로 인가되어 3168 MHz (6 f_B)를 만들어내고 이어서 일련의 나누기 회로로부터 1584 MHz (3 f_B), 792 MHz (1.5 f_B), 264 MHz (0.5 f_B)의 주파수를 갖는 신호를 각각 생성해 낸다. 여기서, 일반적인 나누기-2 회로는 입력으로 차동신호를 받아서 quadrature 신호를 출력으로 제공하는 특성을 가지고 있기 때문에 주파수를 1/2로 나눌 뿐만 아니라, 그림 2의 두개의 SSB 주파수 변환기들의 입력에 필요한 신호들을 만드는 역할을 한다. 첫 번째 SSB 주파수 변환기에서는 poly-phase filter로부터 인가받은 6336 MHz와 나누기 회로로부터 인가받은 3168 MHz나 1584 MHz의 주파수를 혼합하여서 4개의 중심주파수(6 f_B , 9 f_B , 15 f_B , 18 f_B)를 만들어 낸다. 결론적으로 이렇게 생성된 5개의 중심주파수(6 f_B , 9 f_B , 12 f_B , 15 f_B , 18 f_B)와 일련의 나누기 회로로부터 생성된 최종신호 (0.5 f_B , 1.5 f_B)가 두 번째 SSB mixer에서 혼합함으로써 14개 밴드의 LO-tone들을 만들어 낼 수 있다.

서론에서 다루었던 것처럼 MB-OFDM UWB와 같은 멀티-밴드 시스템의 중요한 문제는 원하는 LO-tone을 선택했을 때, 주파수 합성과정에서 발생하는 원하지 않은 spurious들이 UWB 대역 내에 발생되어 원하지 않은 RF 입력신호를 기저대역으로 하향 주파수 변환되어 수신기의 수신감도(sensitivity)를 나쁘게 한다. 따라서 이러한 문제점을 해결하기 위해서는 가능한 주파수 합성과정에서 필요로 하는 비선형 회로의 숫자를 최소화 하면서, 주파수 합성과정에서 발생하는 주요 spurious를

표 1. 두 번째 SSB 주파수 변환기의 출력 주파수
Table 1. Output frequency generated in the 2nd SSB mixer.

Input		Output 1		Output 2	
LO Freq.	RF Freq.	LO+RF	spurs	LO-RF	spurs
9504	792	10296	27720	8712	29304
	264	9768	28248	9240	28776
7920	792	8712	22968	7128	24552
	264	8184	23496	7656	24024
6336	792	7128	18216	5544	19800
	264	6600	18744	6072	19272
4752	792	5544	13464	3960	15048
	264	5016	13992	4488	14520
3168	792	3960	8712	(MHz)	
	264	3432	9240		

UWB 대역 밖에 존재시키는 전략이 설계 단계에 필요로 한다. 본 연구에서는, 그림 2의 제안하는 LO 생성 회로에서 주요 spurious들은 두 번째 SSB 주파수 변환기에서 3rd-LO harmonics ($3f_{LO}$)와 RF 신호(f_{RF})가 혼합되는 과정에서 생성된다. 표 1은 위에서 언급한 두 번째 SSB 주파수 변환기에 전단에서 합성된 LO 및 RF 주파수가 각각 인가되었을 때, 출력에서 생성되는 합차 성분(LO+RF, LO-RF)들과 주요 spurious 성분들을 상세히 보여 주고 있으며, 14개의 최종 LO 신호는 굵은 숫자로 표시되었다. 표 1에서 보는 바와 같이, 3432 MHz LO 신호를 제외한 13개의 LO-tone을 생성할 때 발생하는 주요 spurious들은 모두 UWB 대역 (3.1 GHz ~ 10.6 GHz) 밖에 존재한다. 그러나 3432 MHz의 LO-tone을 생성할 때는 인-밴드인 9240 MHz에서 spurious가 발생하는데 3432 MHz의 LO-tone과 5 GHz 이상 떨어져 위치하므로 그림 2의 세 번째 선택 회로와 두 번째 SSB 주파수 변환기에 사용된 LC 공진회로 특성에 의해 충분히 제거되었다.

III. 블록 설계

1. 90° 위상 변환기

그림 3은 그림 2의 제안하는 LO 생성 회로의 구조에 적용된 3차 90° 위상변환기의 회로도이다. 그림 3에서 보는 바와 같이, 3차 90° 위상변환기는 160 fF의 동일한 커패시터에 210 Ω, 155 Ω, 그리고 130 Ω의 저항으로 이루어진 3차 poly-phase filter로 설계하였다. 각 단은 5GHz, 6.336 GHz, 그리고 7 GHz의 주파수에서 신호의 위상이 90° 위상차가 나도록하여 칩 면적은 다소 불리하

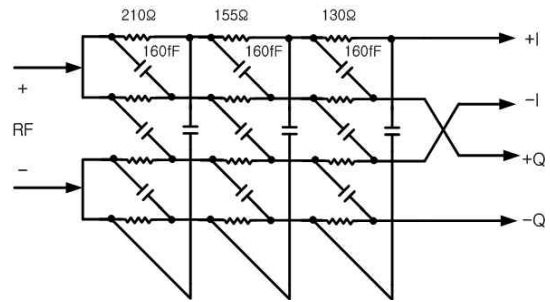
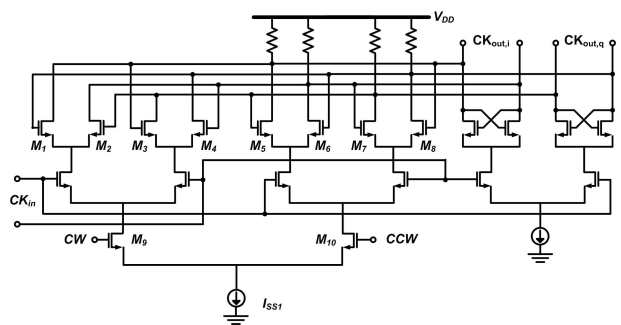


그림 3. 3차 90° 위상변환기
Fig. 3. Three-stage poly-phase filter.

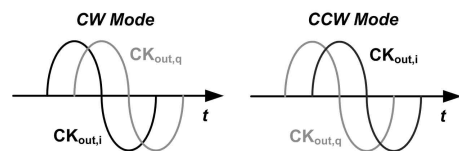
지만, 대역폭을 충분히 확보하여 궁극적으로 PLL에서 공급되는 6336 MHz의 차동신호가 높은 주파수에서 안정적으로 quadrature 신호로 변환되도록 하였다.

2. 나누기-2 회로

그림 4는 제안하는 나누기-2회로의 구조를 간략하게 보여 주고 있다. 그림 4 (a)에서 보는 바와 같이 나누기-2 회로는 고속 동작이 가능한 CML(current mode logic) 구조를 사용하였고, M_9 와 M_{10} 중 한 개의 트랜지스터를 턴-온(turn-on)시키면 그림 4 (b)와 같이 두 개의 반대되는 phase sequences(CW mode, CCW mode)를 출력으로 얻을 수 있다^[2]. 그러므로 그림 4 (b)의 나누기-2 회로의 출력 신호가 그림 2의 SSB 주파수 변환기들의 입력에 각각 인가되므로 SSB 주파수 변환기의 합차 출력 신호 중 한 개는 추가 회로 없이 M_9 와 M_{10} 선택적으로 턴-온 시켜서 선택할 수 있다. 따라서 그림



(a) 회로도



(b) 출력 파형

그림 4. 나누기-2 회로
Fig. 4. Divide-by-two circuit.

2의 LO 생성 회로는 저전력으로 설계가 가능하게 된다.

3. 선택 회로

LO 생성 회로에 사용되는 선택회로는 일반적으로 다수의 입력단과 한 개의 출력단으로 구성되는데 입출력 간 격리(isolation) 특성이 나쁘면 원하는 입력 신호를 선택할 때 원하지 않는 입력 신호가 출력에 나타나는 문제가 발생된다. 따라서 본 연구에서는 LO 생성 회로의 스위칭 속도를 만족시키고 충분한 입출력단의 격리 특성을 얻기 위해, 그림 2에 사용된 3개의 선택 회로는 모두 커플링 제거 기술을 적용한 current-steering selector 회로를 채택하였다^[2].

그림 5는 그림 2의 제안하는 LO 생성 회로 구조에서 세 번째 선택 회로의 회로도이다. 그림 5에서 입력 두 개의 입력 신호 V_{in1} 과 V_{in2} 는 입력 트랜지스터쌍 M_1 - M_2 와 M_3 - M_4 의 게이트에 각각 항상 인가가 되고, 각각 전류원 M_9 과 M_{10} 를 이용하여 출력 신호를 선택한다. 여기서, V_{in1} 을 선택할 때 M_1 - M_2 는 턴-온(turn-on)되고 M_3 - M_4 는 오프 상태가 되는데, M_3 - M_4 에서 게이트-드레인 사이의 기생커패시턴스 성분을 통하여 선택되지 않은 입력 신호 V_{in2} 가 출력에서 누설되는 문제점이 발생된다. 이것을 제거하기 위해 M_3 - M_4 와 같은 크기의 dummy 트랜지스터 M_7 - M_8 를 사용함으로써 M_3 - M_4 에서 누설되는 신호와 크기가 같고 위상이 반대인 신호를 의도적으로 누설시킴으로서 출력단에서 제거시킬 수가 있다.

그림 5의 선택 회로 출력단은 그림 2에서 보는 바와 같이 5개의 중심주파수 ($6 f_b$, $9 f_b$, $12 f_b$, $15 f_b$, $18 f_b$)에 대한 선택도를 높이기 위하여 LC 공진회로를 사용하였

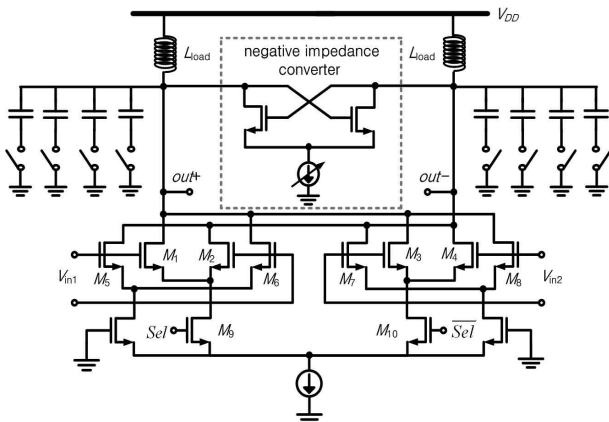
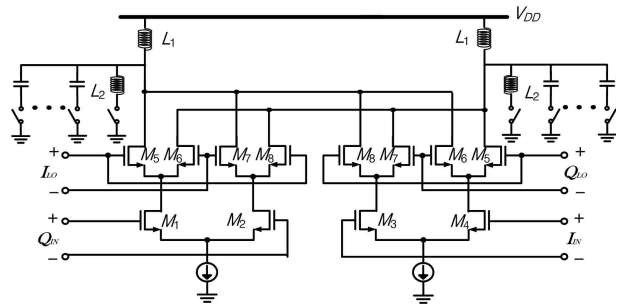


그림 5. 커플링 제거 기술을 이용한 선택회로
Fig. 5. Selector with coupling cancellation technique.

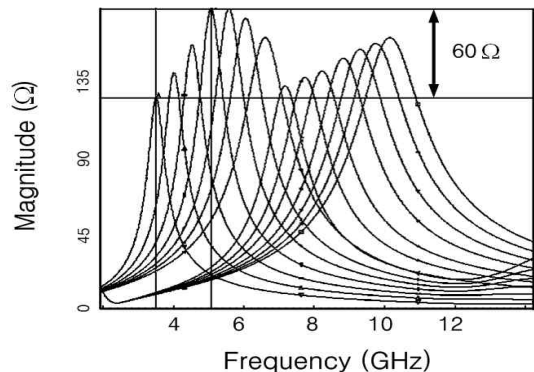
다. LC 공진회로의 중심주파수는 커패시터 뱅크 (capacitor bank)를 사용하여 가변이 가능하다. 또한, LC 공진회로는 음의 임피던스(negative impedance)회로를 이용하여 공진주파수에서 선택도를 크게 향상시켰다^[5]. 그림 2에서 첫 번째와 두 번째 선택 회로는 LO 신호의 순수성(purity)을 확보하기 위해서 역시 LC 공진회로를 부하로 채택하는 것이 좋으나, 본 연구에서는 그림 2에서 3번째 선택 회로와 2번째 SSB 주파수변환기에 LC 공진회로를 채택하였기 때문에 칩-면적을 줄이기 위해 저항부하를 사용하였다.

4. SSB 주파수 변환기

그림 6 (a)는 그림 2의 두 번째 SSB 주파수 변환기의 회로도로서 LO포트와 출력 포트사이의 격리 특성이 우수한 더블-밸런스 Gilbert 구조를 채택하였다. 그림 6 (a)의 두 번째 SSB 주파수 변환기에서는 5개의 중심주파수($6 f_b$, $9 f_b$, $12 f_b$, $15 f_b$, $18 f_b$)와 일련의 나누기 회로로부터 생성된 최종신호 ($0.5 f_b$, $1.5 f_b$)가 혼합하여서 14개 밴드의 LO-tone들을 출력으로 이끌어 낸다. 앞에서 설명한 선택회로와 같이 부하는 LC 공진회로를 사용하였고 커패시터 뱅크를 이용하여 공진 주파수를 가

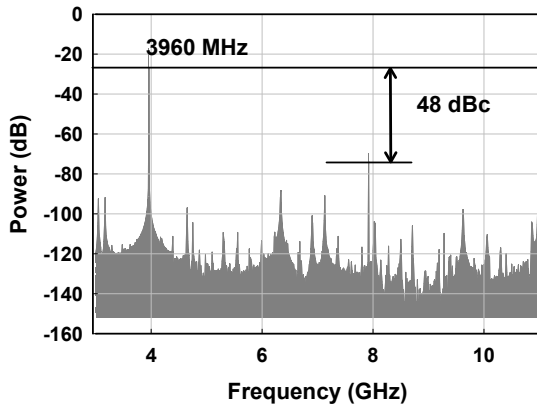


(a) 회로도

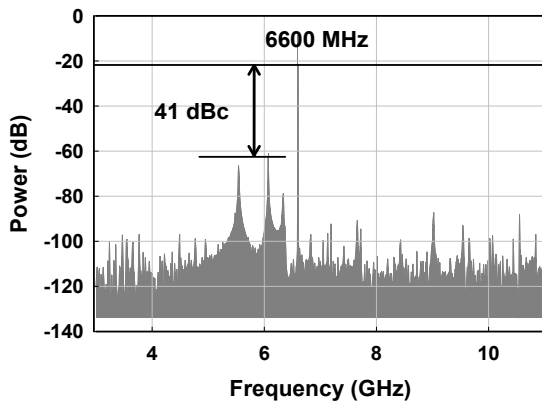


(b) 부하 공진 특성

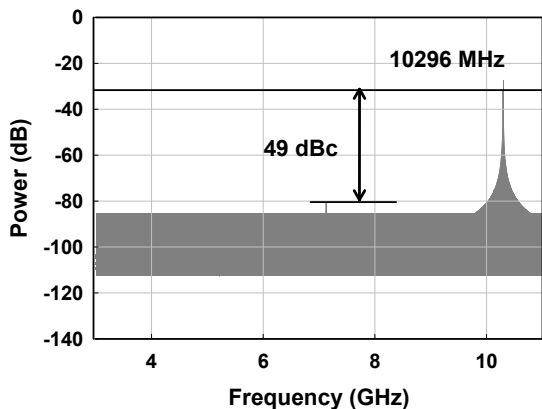
그림 6. 두 번째 SSB 주파수 변환기
Fig. 6. 2nd SSB mixer.



(a) 밴드 2 (3960 MHz)



(b) 밴드 7 (6600 MHz)



(c) 밴드 14 (10296 MHz)

그림 7. 제안하는 LO 생성 회로의 출력 스펙트럼에 대한 모의실험 결과

Fig. 7. Simulated output LO spectrum.

변 하여 깨끗한 14개 LO-신호들을 출력으로 이끌어 낼 수 있도록 설계하였다. 그림 6 (a)에서 온-칩 인덕터 L_2 는 출력단에서 L_1 와 선택적으로 병렬연결이 되어 LC 공진회로의 인덕턴스 값을 조정하게 되는데, 이것은 14

표 2. LO 생성 회로의 성능 비교

Table 2. Performance comparison.

	[2]	[3]	This work
Structure	synthesizer	synthesizer	synthesizer
Frequency (GHz)	3.4~7.9	3.1~10.6	3.1~10.6
No. of Bands	7	14	14
Technology	0.18- μ m CMOS	0.18- μ m CMOS	0.13- μ m CMOS
Supply Voltage (V)	2.2	1.8	1.5
Power Diss. (mW)	48	162	93~103*
In-band spurs. (dBc)	< -37	< -35	< -41
Switching time (nS)	< 1	< 3	< 3

* without a PLL

밴드에 전체에 대하여 SSB 주파수 변환기 출력단의 신호크기를 일정하게 하기 위함이다. 그림 6 (b)는 SSB 주파수 변환기 부하단의 공진 특성을 나타낸 그림이다. 그림 6 (b)에서 보는 바와 같이 LC 공진회로를 이용하여 14개 밴드의 공진주파수에서 부하의 크기가 60 Ω 이하의 차이가 나는 것을 알 수 있다.

IV. 모의실험 결과

그림 2의 14개 LO-tone을 생성하는 MB-OFDM UWB용 LO 생성 회로의 구조는 0.13- μ m CMOS 공정으로 설계되었으며, 1.5 V의 전압으로부터 최소 93 mW, 최대 103 mW의 전력을 소모한다. 그림 7은 제안하는 LO 생성 회로의 3개의 출력 LO-tone (3960 MHz, 6600 MHz 그리고 10296 MHz)들에 대한 3 GHz에서 11 GHz 사이의 주파수 스펙트럼을 각각 보여 주고 있다. 그림 7 (a)에서 3960 MHz LO-tone이 최종 선택될 때 in-band spurious 성분과 48 dBc의 차이를 보이는 것을 알 수 있으며, 그림 7 (b)와 (c)에서도 역시 6600 MHz 및 10296 MHz LO-tone들도 in-band spurious와 각각 41 dBc 및 49 dBc의 차이를 보여주고 있다. 그림 7에서, II 장에서 이미 언급한 바와 같이 주요 spurious 들은 UWB 대역 밖에 존재하였으나, 첫 번째 SSB 주파수 변환기에서 발생한 spurious들이 두 번째 SSB 주파수 변환기에서 RF 입력 신호와 합성되어 발생한 전력 크기가 약한 일부 spurious들만이 UWB 대역 안에서 관찰되었다.

표 2는 본 논문에서 제안하는 LO 생성 회로와 기준

에 발표된 LO 생성 회로들에 대한 성능 비교를 보여 주고 있다. 표 2에서 보는 바와 같이 제안하는 LO 생성 회로는 기존의 14개 LO-tone을 발생하는 LO 생성 회로보다 전력소모가 낮게 설계되었고 in-band spurious가 우수함을 알 수 있다.

V. 결 론

본 논문에서는 14개 LO-tone을 생성하는 MB-OFDM UWB용 LO 생성 회로의 구조를 제안하였다. 제안하는 LO 생성 회로는 전류 소모를 최소화 하면서 깨끗한 14개의 LO 신호를 합성하기 위해 1개의 PLL을 사용하였고 주파수 합성에 반드시 필요로 하는 비선형 회로의 숫자를 최소화하였다. 또한, 주파수 합성과정에서 발생하는 주요 spurious를 UWB 대역 밖에 존재시킴으로서 in-band spurious 문제를 보다 근본적으로 해결하였다. 제안하는 LO 생성 회로는 0.13- μm CMOS 공정으로 설계 되었으며, 1.5 V의 전압으로 부터 최소 93 mW, 최대 103 mW의 전력을 소모한다.

참 고 문 헌

- [1] *MultiBand OFDM Alliance, Multiband OFDM physical layer proposal for IEEE 802.15 Task Group 3a*, MBOA-SIG, Sept. 2004.
- [2] J. Lee, "A 3-to-8-GHz fast-hopping frequency synthesizer in 0.18- μm CMOS technology," *IEEE J. Solid-State Circuits*, vol. 41, no. 3, pp. 566-573, Mar. 2006.
- [3] Che-Fu Liang *et al.*, "A 14-band frequency synthesizer for MB-OFDM UWB application" in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp. 428-437, Feb. 2006.
- [4] A. Ismail and A. Abidi, "A 3.1- to 8.2-GHz zero-IF receiver and direct frequency synthesizer in 0.18- μm SiGe BiCMOS for mode-2 MB-OFDM UWB communication," *IEEE J. Solid-State Circuits*, vol.40, pp. 2573-2582, Dec. 2005.
- [5] F. D lger *et al.*, "A 1.3-V 5-mW fully integrated tunable bandpass filter at 2.1 GHz in 0.35- μm CMOS," *IEEE J. Solid-State Circuits*, vol.38, pp. 918-928, June 2003.
- [6] 정하용, 황인용, 박찬형, "CMOS 0.18 μm 공정을 이용한 3.1-10.6 GHz UWB LNA 설계," 대한전자공학회, 대한전자공학회 학술대회 대한전자

공학회 2008년 하계종합학술대회, 539쪽~540쪽, 2008년 6월.

- [7] 박현규, 장호준, 윤태열, "저전력 초광대역 저잡음 증폭기 설계," 대한전자공학회, 대한전자공학회 학술대회 대한전자공학회 2009년 하계종합학술대회, 486쪽~487쪽, 2009년 7월.

저 자 소 개



서 영 호(학생회원)
 2009년 동아대학교 전자공학과
 학사 졸업.
 2009년~현재 동아대학교
 전자공학과 석사과정.
 <주관심분야 : Mixer, Divider,
 RF/Analog 집적회로 설계>



신 상 운(학생회원)
 2009년 동아대학교 전자공학과
 학사 졸업.
 2009년~현재 동아대학교
 전자공학과 석사과정.
 <주관심분야 : LNA, DA, RF/
 Analog 집적회로 설계>



김 창 완(정회원)
 1997년 경북대학교 전자공학과
 학사 졸업.
 2003년 한국정보통신대학교
 전자공학과 석사 졸업.
 2006년 한국정보통신대학교
 전자공학과 박사 졸업.

2006년~2007년 한국전자통신연구원(ETRI)
 선임 연구원
 2007년~현재 동아대학교 전자공학과 조교수
 <주관심분야 : CMOS RFIC, RF / Analog 집적
 회로 설계>