

논문 2010-47SD-11-6

# 히스테리시스가 디지털로 제어되는 CMOS 비교기 IC 회로

## ( A Digitally Controllable Hysteresis CMOS Monolithic Comparator Circuit )

김 영 기\*

( Young Gi Kim )

### 요 약

본 논문에서는 주변의 간섭 잡음의 변화가 큰 RFID 환경에서 입력 신호를 구형파로 복원할 때 히스테리시스의 문턱전압을 디지털적으로 제어하여 신호 수신 신뢰도를 높이기 위한 비교기 회로를 0.35 마이크로미터 선폭의 CMOS IC 로 제안 하고 분석, 설계 후 제작하여 전기적 특성을 측정, 비교, 분석하였다. 이론에서 예측한 디지털 제어 비트의 변화에 대한 히스테리시스의 문턱전압의 가변성이 실험에서 잘 일치함을 입증하였다.

### Abstract

A novel hysteresis tunable monolithic comparator circuit based on a 0.35  $\mu\text{m}$  CMOS process is suggested, designed, fabricated, measured and analyzed in this paper. To tune the threshold voltage of the hysteresis in the comparator circuit, two external digital bits are used with supply voltage of 3.3V.

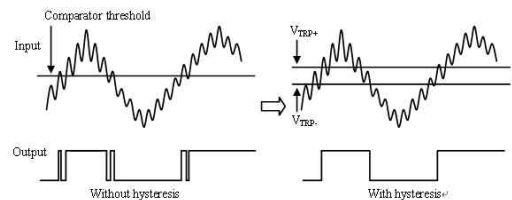
**Keywords :** 비교기, 히스테리시스, 알에프아이디 (스타일:Keywords내용)

## I. 서 론

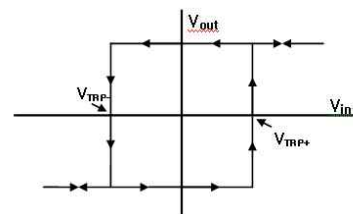
RFID가 보편 화 됨에 따라 인접한 다른 무선 통신 기기 및 주변으로 부터의 간섭 잡음에 의한 영향으로 통신 신뢰도가 저하 되는 것을 막기 위한 연구가 진행 되어 왔다<sup>[1]</sup>.

그림 1의 (a)와 같이 간섭 잡음의 크기가 일정하고 그 신호의 크기가 전송신호보다 적으면 비교기에 그림 1의 (b)와 같은 일정한 크기의 히스테리시스를 부여하여 수신 신호를 안정된 구형파 신호로 복원 할 수 있다. 하지만 RFID 의 무선 통신환경에서는 주변 간섭 신호의 크기 및 주 전송신호의 크기가 주의 환경에 따라 수시로 변화함으로 히스테리시스의 문턱 전압을 간섭 잡음의 크기에 맞게 가변 하는 것이 효율적이다.

히스테리시스의 문턱전압을 낮추기 위한 BICMOS



(a) 비교기회로의 신호 복원 특성  
(a) Comparator response of a noisy input.



(b) 히스테리시스 특성  
(b) Comparator hysteresis curve.

그림 1. 히스테리시스를 갖는 비교기회로의 신호 복원 특성

Fig. 1. Hysteresis comparator response.

\* 정회원, 안양대학교  
(Anyang University)

접수일자: 2010년7월29일, 수정완료일: 2010년10월5일

구조의 회로가 제안 되었으며<sup>[2]</sup>, 히스테리시스의 문턱 전압을 제어하기 위하여 단지 시뮬레이션 결과만으로 MUX, D-플립플롭등 비교적 복잡하고 검증 되지 않는 회로들을 이용하여 전류를 제어함으로써 히스테리시스를 제어 하는 CMOS IC 회로가 제안 되었다<sup>[3]</sup>.

본 논문에서는 히스테리시스의 문턱 전압을 안정된 디지털방식의 두개의 비트로 조절 할 수 있는 비교기 회로를 CMOS 회로로 제안한다.

### II. 비교기 회로의 이론 및 설계

그림 2는 히스테리시스를 갖는 일반적인 비교기회로 도이며 트랜지스터 M3, M4, M6, M7 에 흐르는 전류의 비  $I_{D6}/I_{D3}$ 와  $I_{D7}/I_{D4}$ 의 값이 1 보다 작으면 음의 피드백이 되어 히스테리시스가 없다. 반면에 그 비율 값이 1 보다 커지면 양의 피드백이 형성되고 히스테리시스가 시작된다.

M1의 게이트  $v_{in1}$ 을 접지 시킨 상태에서  $v_{in2}$ 가 약간 높은 값으로 가면 M1은 도통되고 M2 는 차단되어,  $v_{o1}$ 이 높아져서  $v_{gs3}$ 와  $v_{gs6}$ 가 높아져 M3와 M6가 도통되고, 반대로  $v_{o2}$ 는 낮아져서  $v_{gs4}$ 와  $v_{gs7}$ 이 낮아서 M4와 M7 은 차단된다. 따라서  $I_5$ 는 모두 M1과 M3로 흐른다.

$$I_1 = I_3 = I_5 \tag{1}$$

$$v_{gs3} = v_{gs6} \tag{2}$$

이고, MOS 트랜지스터에 흐르는 전류와 게이트전압과의 관계는 다음과 같다.

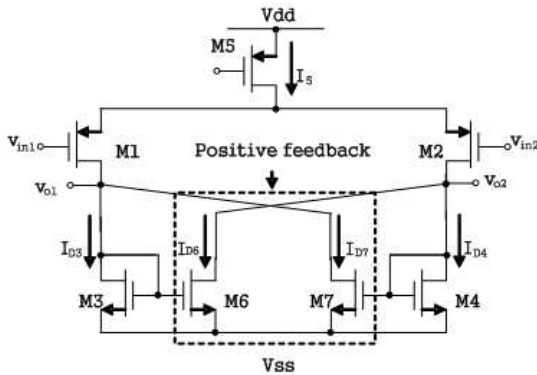


그림 2. 히스테리시스를 갖는 비교기회로도  
Fig. 2. Hysteresis comparator.

$$v_{gs} = \sqrt{\frac{2I}{\mu C_{ox} (W/L)}} + V_T \tag{3}$$

여기서

$v_{gs}$ 는 게이트 소스간의 전압,  $\mu$ 는 캐리어의 이동도,  $C_{ox}$ 는 산화막의 정전용량,  $V_T$ 는 문턱전압,  $L$ 는 게이트의 길이,  $W$ 는 게이트의 넓이,  $I$ 는 흐르는 전류를 각각 나타낸다.

식 (1), (2), (3) 에서부터

$$I_6 = \frac{\left(\frac{W_6}{L_6}\right)}{\left(\frac{W_3}{L_3}\right)} I_5 \tag{4}$$

이고  $v_{in2}$ 이 감소되면 M2의 전류가 증가하여

$$I_2 = I_6 \tag{5}$$

를 지나는 근사 시점에서 비교기 회로의 상태가 천이된다.

이때

$$v_{gs3} = v_{gs6} \tag{6}$$

임으로

$$I_6 = \frac{\left(\frac{W_6}{L_6}\right)}{\left(\frac{W_3}{L_3}\right)} I_3 \tag{7}$$

이고

$$I_2 = I_6 \tag{8}$$

$$I_5 = I_1 + I_2 \tag{9}$$

$$I_1 = I_3 \tag{10}$$

에서

$$I_3 = \frac{I_5}{1 + \frac{\left(\frac{W_6}{L_6}\right)}{\left(\frac{W_3}{L_3}\right)}} = I_1 \tag{11}$$

$$I_2 = I_5 - I_1 = \frac{\left(\frac{W_6/L_6}{W_3/L_3}\right)}{1 + \left(\frac{W_6/L_6}{W_3/L_3}\right)} I_5 \quad (12)$$

$$\begin{aligned} V_{TRT+} &= v_{gs2} - v_{gs1} \\ &= \sqrt{\frac{2}{\mu C_{ox}}} \left( \sqrt{\frac{I_2}{W_2/L_2}} - \sqrt{\frac{I_1}{W_1/L_1}} \right) \\ &= \sqrt{\frac{2I_5}{\mu C_{ox}}} \frac{\left( \sqrt{\frac{\left(\frac{W_6/L_6}{W_2/L_2}\right)\left(\frac{W_3/L_3}{W_1/L_1}\right)}{1 + \left(\frac{W_6/L_6}{W_3/L_3}\right)}} - \sqrt{\frac{1}{W_1/L_1}} \right)}{\sqrt{1 + \left(\frac{W_6/L_6}{W_3/L_3}\right)}} \end{aligned} \quad (13)$$

이를 종합하면 양의 문턱 전압  $V_{TRP+}$ 은 다음과 같이 구해진다.

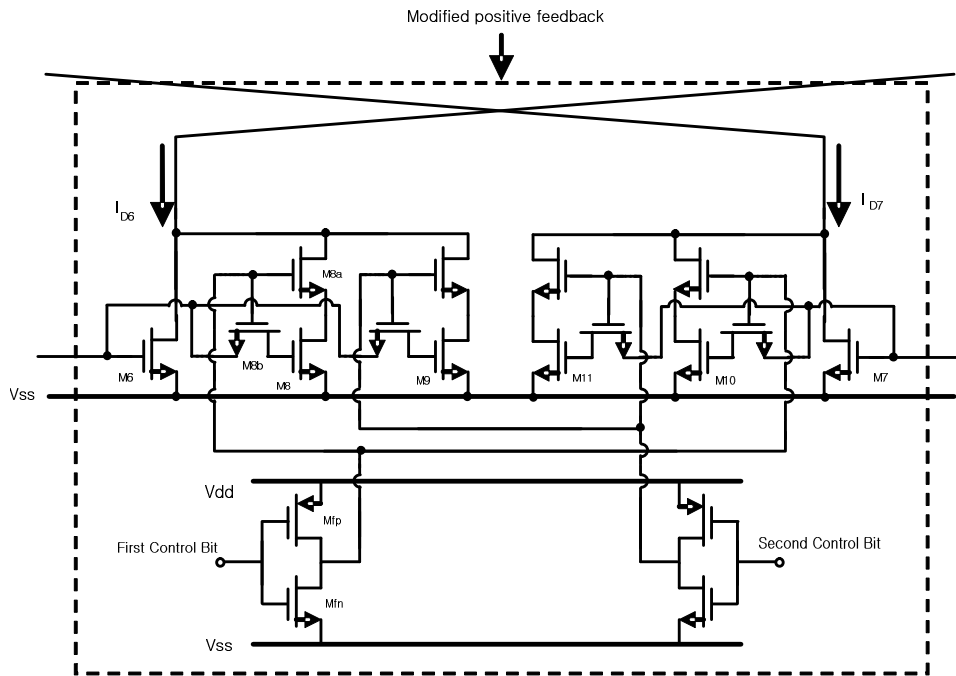


그림 3. 본 논문에서 제안한 디지털 피드백 제어회로 부  
Fig. 3. Modification of a positive feedback circuit in a hysteresis comparator.

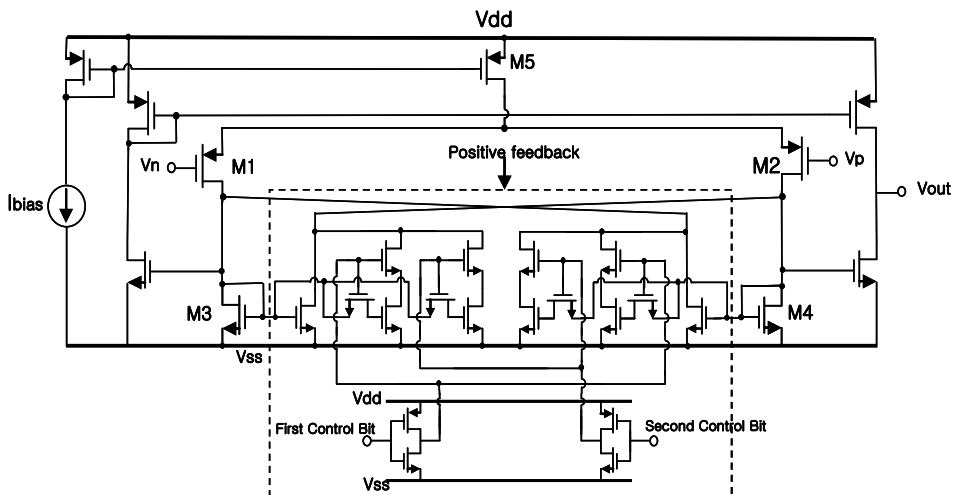


그림 4. 비교기 전체 회로도  
Fig. 4. Schematics of total comparator circuit.

여기서 M1과 M2의 게이트 크기가 같고 M3와 M6가 같은 게이트 길이를 갖게 회로를 구성하면 이식은 다음과 같이 간략히 된다.

$$V_{TRP+} = \sqrt{\frac{2I_5}{\mu C_{ox} \frac{W_1}{L_1}}} \frac{\left( \sqrt{\left( \frac{W_6}{W_3} \right) - 1} \right)}{\sqrt{1 + \left( \frac{W_6}{W_3} \right)}} \quad (14)$$

이식에서  $W_1$ ,  $W_3$ ,  $L_1$ ,  $I_5$ 가 고정되면  $W_6$ 을 변화시킴으로 문턱전압  $V_{TRP+}$ 을 조절 할 수 있다.

$V_{TRP+}$ 을 조절하기 위하여 그림 3에서의 양의 피드백 회로를 그림 3과 같이 본 논문에서 제안한 디지털 피드백 제어회로부로 대체하였다. 이 제안된 디지털 피드백 제어 회로 부는 M8부터 M11까지 4개의 피드백 NMOS와 8개의 스위칭 NMOS와 2 쌍의 CMOS 역전회로로 구성되었다. 양의 피드백 회로는 외부 디지털 비트로 제어되는 데, 첫 번째 비트가 1에 해당하는 전압으로 올라가면 Mfp, M8a, M8b을 차단시켜 M8은 M6와 격리되어 영향을 미치지 못 한다. 그러나 첫 번째 비트의 전압이 0으로 내려가면 Mfp, M8a, M8b가 도통하여 M8이 M8a를 통하여 M6와 병렬 연결된 효과를 만들어 위 식의  $W_6$ 를 늘리는 효과를 발생시켜 양의 문턱전압  $V_{TRP+}$ 의 값을 증가시킨다. 이 첫 번째 비트의 영향은 M10에도 동시에 동일하게 작용하여 음의 문턱전압의 절대 값을 증가시킨다. 두 번째 비트는 M9과 M11를 같은 방법으로 제어한다. M6, M8, M9의 게이트 넓이의 비는 1:1:2로 하여 디지털 제어 비트의 값이 11에서 00로 변화함에 따라  $W_6/W_3$ 의 값이 1, 2, 3, 4로 순차적으로 변화하게 설계하였다.

증폭회로와 전류제어 회로를 추가하여 그림 4와 같이 완성된 비교기 회로를 단일 칩으로 설계하였다.

### III. 회로 제작 및 전기적 특성 분석

앞 절에서 기술된 히스테리시스 제어형 비교기 회로 구조는 0.35 마이크로선 선폰의 CMOS 공정을 적용하여 반복적 시뮬레이션을 통하여 회로를 설계 하였다. 그림 5는 제작한 단일 칩 비교기 회로의 현미경사진으로 연결선, 패드, 외각 선을 포함한 칩의 크기는  $0.58 \times 0.44 \text{ mm}^2$ 이다. 패드와 연결선등을 제외한 실제 비교기 회로만의 크기는  $0.16 \times 0.11 \text{ mm}^2$ 이다.

그림 6에는 100kHz의 입력신호에 대하여 디지털 제

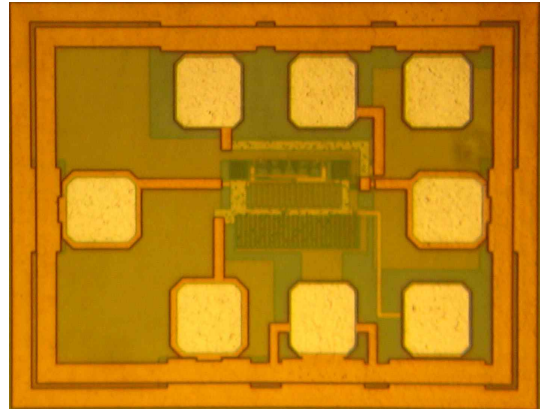
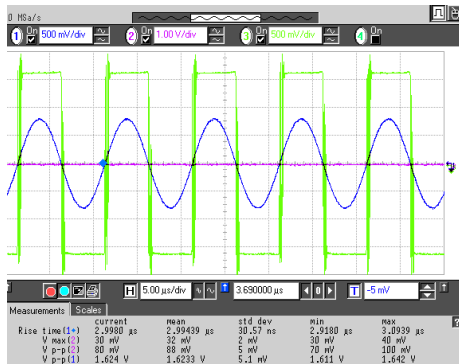


그림 5. 제작한 단일 칩 비교기 회로의 현미경사진  
Fig. 5. Micro-photograph of a hysteresis controllable comparator.

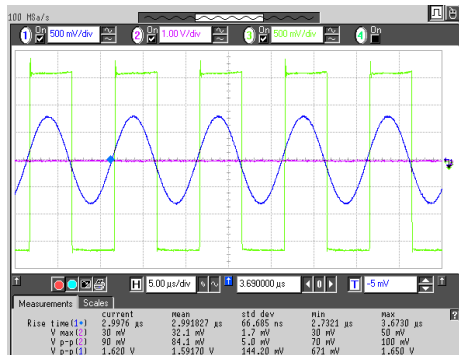
어 비트를 변화시킴에 따라 측정된 출력 파형을 나타내었다. 본 비교기회로는 디지털 제어 비트의 값이 11에서 00로 변화함에 따라  $W_6/W_3$ 의 값이 1, 2, 3, 4로 순차적으로 변화하게 설계되었다. 제어 비트가 11인 (a)의 경우 히스테리시스가 전혀 나타나지 않아 입력신호가 영을 통과하는 부근에서 잡음에 의하여 출력이 불규칙하게 변하는 글리치(glitch) 오류가 발생함을 알 수 있다. 히스테리시스가 있는 (b), (c), (d)에서는 이 글리치 오류가 개선되었다. RFID의 무선 통신환경에서는 주변 간섭 신호의 크기 및 주 전송 입력신호의 크기가 주의 환경에 따라 수시로 변화하므로 히스테리시스의 문턱전압을 간섭 잡음의 크기에 맞게 가변 하는 것이 요구된다. 본 CMOS 비교기 회로는 입력신호의 주파수가 높아짐에 따라 정상적인 구형파로의 변환을 위하여 이를 구동하는 식 (14)의  $I_5$ 에 해당하는 구동전류도 증가하여야 하는 데 100kHz의 사인파 입력신호에 대하여 357 $\mu\text{A}$ 의 구동전류에 대한 응답 특성을 분석 하였다.

제어비트의 조합에 따른 히스테리시스 문턱전압의 변화를 표 1에 식 (14)에서 계산된 값, 시뮬레이션 값, 측정값을 비교하였는데 매우 근접함을 알 수 있다.

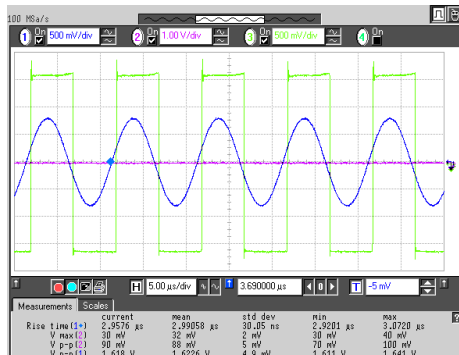
낮은 주파수 신호에 대한 본 비교기 회로의 적용을 위하여 100Hz의 삼각파 입력 신호에 대하여 측정된 응답특성을 그림 7에 도시하였고, 이를 표 1에 계산 값과 시뮬레이션 값을 함께 정리하였다. 입력신호의 주파수가 낮아짐에 따라 회로의 구동전류  $I_5$ 도 12.6 $\mu\text{A}$ 로 낮아질 수 있었다. 그림 6에 비하여 그림 7은 문턱전압의 측정치가 수십 밀리볼트로 매우 낮아 측정치의 불확실성이 더 많이 내포되어 있다.



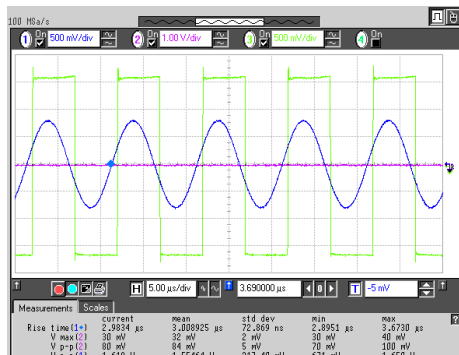
(a) 11



(b) 10

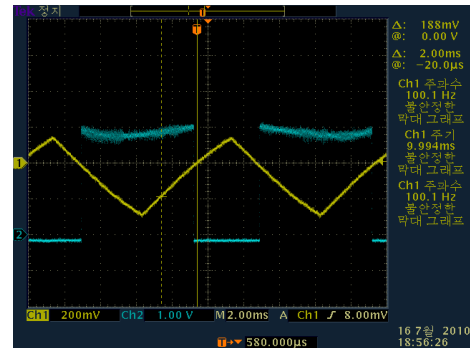


(c) 01

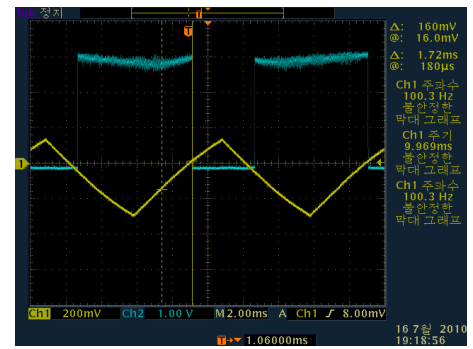


(d) 00

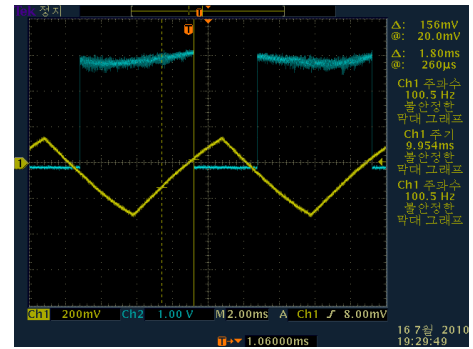
그림 6. 디지털 제어비트에 따른 히스테리시스 특성  
Fig. 6. Hysteresis comparator response for the digital control bit changes.



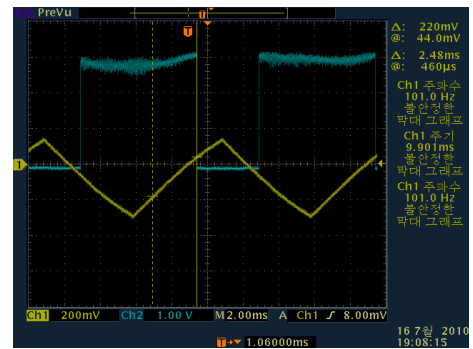
(a) 11



(b) 10



(c) 01



(d) 00

그림 7. 저주파 입력파형(100kHz)에 따른 저 구동 전류 ( $I_D=367\mu A$ )에서의 디지털 제어비트에 따른 히스테리시스 특성

Fig. 7. Hysteresis comparator response for the digital control bit changes when low frequency input signal(100kHz) and low driving current( $I_D=367\mu A$ ) are applied.

표 1. 제어비트의 조합에 따른 히스테리시스 특성 변화

Table 1. Hysteresis characteristics for the combination of control bits.

입력 제어 비트		11	10	01	00
W <sub>6</sub> /W <sub>3</sub> 비율		1	2	3	4
고주파(100kHz)의 사인과 입력신호에 따른 고 구동전류 (I <sub>5</sub> =357μA)일 때	계산된 히스테리시스 양의 문턱전압 (mV)	0	115	177	246
	시뮬레이션상의 히스테리시스 양의 문턱전압 (mV)	12	131	200	246
	측정된 히스테리시스 양의 문턱전압 (mV)	0	130	190	250
저주파(100Hz)의 삼각파와 입력신호에 따른 저 구동전류 (I <sub>5</sub> =12.6μA)일 때	계산된 히스테리시스 양의 문턱전압 (mV)	0	25	38	46
	시뮬레이션상의 히스테리시스 양의 문턱전압 (mV)	0	35	58	71
	측정된 히스테리시스 양의 문턱전압 (mV)	0	16	20	44

IV. 결 론

본 논문에서는 주변의 간섭 잡음의 변화가 큰 RFID 환경에서 입력 신호를 구형파로 복원할 때 히스테리시스의 문턱전압을 디지털적으로 제어하여 간섭 잡음 신호에 대한 신호 수신 신뢰도를 높이기 위한 비교기 회로를 0.35 마이크로 선포의 CMOS IC로 제안하고 분석, 설계 후 제작하여 전기적 특성을 측정 및 분석하였다.

히스테리시스의 문턱전압을 디지털적으로 제어할 수 있는 회로구조를 제안하고 히스테리시스의 문턱전압에 영향을 미치는 요인인 제어용 MOS의 게이트 넓이와 구동전류의 관계식을 해석적으로 분석하여 회로설계에 적용하고 제작하여 전기적 특성을 측정 및 분석하여 이를 검증 한 결과 비교적 정확한 일치를 보였다.

본 논문에서 제시한 가변 히스테리시스 비교기 회로는 차후 다른 회로와의 종합적인 통합으로 실제의 무선 통신 시스템에 적용하여 본 논문의 이론을 좀 더 검증 함이 바람직 할 것이다.

참 고 문 헌

[1] K. Udo and F. Martin, "Fully Integrated Passive UHF RFID Transponder IC With 16.7-W Minimum RF Input Power," IEEE JOURNAL OF SOLID-STATE CIRCUITS, NO. 10, VOL. 38, pp. 1602-1608, October 2003.

[2] G. Xiaofeng, L. Xinquan, L. Yushan, W. Jianping Z. Jie, "Design and application of the novel low-threshold comparator using hysteresis," in Proc. of 6th International Conference On ASIC Proceedings, pp. 549-553, Shanghai, China, October 2005.

[3] H. W. Huang, C. H. Lin, K. H. Chen, " A programmable dual hysteretic window comparator," in Proc. of IEEE International Symposium on Circuits and Systems 2008, pp. 1930-1933, Seattle, U. S. A, May 2008.

[4] P. E. Allen and D. R. Holberg, "CMOS Analog Circuit Design." 2nd Edition, Oxford University Press. 2002.

저 자 소 개



김 영 기(정회원)

1983년 한양대학교 전자공학과 (공학사)

1985년 한양대학교 전자공학과 (공학석사)

1993년 Univ. of Texas at Arlington 전기 공학과 (공학박사)

1986년~1996 한국전기통신공사 연구개발원 (선임연구원)

1996년~현재 안양대학교 이공대학 정보통신 공학과 (교수)

2005년~2006년 The Ohio State Univ.(객원교수)  
<주관심분야 : RFIC, MMIC, 반도체 소자 및 회로>