

논문 2010-47SD-11-4

## 적층 구조의 3차원 결함극복 메모리

( Three-Dimensional Stacked Memory System for Defect Tolerance )

한 세 환\*, 유 영 갑\*\*, 조 태 원\*\*\*

( Se-hwan Han, Young-gap You, and Tae-won Cho )

### 요 약

메모리칩의 제조 과정에서 발생하는 불량 칩 중 한 두개 비트의 결함이 있는 여러 개의 칩들을 모아서 정상 동작하는 메모리 시스템을 구성하는 방법을 제시한다. 여기에서 제시하는 메모리 시스템은 여러 개의 결함 있는 메모리칩을 겹쳐 쌓은 3차원 다층 구조를 가진다. 이들 칩 간의 신호 선은 through silicon via (TSV)를 통하여 연결한다. 각 칩의 결함이 있는 메모리 셀이 포함된 구역이 칩 마다 서로 다르도록 칩을 분류하여 선택한다. 이 메모리들의 결함이 없는 셀 구역만을 모아 조합하여 전체가 결함이 없는 메모리 시스템이 되도록 한다. 독립적인 주소지정 가능한 n 개의 storage block을 가진 메모리 각각에 k 개의 결함 있는 storage block이 있는 경우 k+1 개의 여유 칩이 조합되어야 한다.

### Abstract

This paper presents a method for constructing a memory system using defective memory chips comprising faulty storage blocks. The three-dimensional memory system introduced here employs a die-stacked structure of faulty memory chips. Signals lines passing through the through-silicon-vias (TSVs) connect chips in the defect tolerant structure. Defective chips are classified into several groups each group comprising defective chips having faulty blocks at the same location. A defect tolerant memory system is constructed using chips from different groups. Defect-free storage blocks from spare chips replace faulty blocks using additional routing circuitry. The number of spare chips for defect tolerance is  $s = \lceil (k \times n) / (m - k) \rceil$  to make a system defect tolerant for (n+s) chips with k faulty blocks among m independently addressable blocks.

**Keywords :** Defect tolerance, memory stacking, TSV, independently addressable block, spare chips

### I. 서 론

반도체 집적회로의 선평이 수십 나노미터에서 계속 축소되는 과정에서 회로 내부의 결함은 전체회로의 동작에 치명적인 영향을 미친다. 결함을 극복할 수 있는

구조상의 방법은 생산 수율 향상에 기여하는 측면에서 그간 많은 관심의 대상이 되어 왔다. 향후 나노 기술의 발전과 더불어 작은 결함이 시스템 동작에 치명적이기 때문에 결함 극복의 문제는 지속적으로 추구되는 분야이다. 미세구조일수록 결함 극복을 위한 추가 기능의 구현에 드는 비용이 감소할 것으로 기대된다.

반도체 메모리는 축소지향적인 공정기술의 가장 성공적인 적용사례로 꼽힌다. 메모리 제품은 극심한 가격 경쟁을 극복하기 위한 수단으로 생산 수율 향상은 가장 중요한 요소이기도 하다. 결함 극복 방안 없이는 기가비트 급의 메모리를 시장 가격에 맞추기는 지극히 어렵다. 메모리의 고장 극복 방식은 결함이 있는 부분을 온전한 여분회로로 대체하는 것이 주류를 이룬다. 대체 메모리 셀을 가지고 고장 부위를 대체하기 위한 메모리

\* 학생회원, \*\*\* 평생회원-교신저자, 충북대학교 전자공학

학과  
(Department of Electronics Engineering, Chungbuk National University)

\*\* 정회원, 충북대학교 정보통신공학과

(Department of Information and Communication Engineering, Chungbuk National University)

※ 본 연구는 연구중심대학 육성사업 (WCU)의 연구결과  
과업 (R33-2008-000-10040-0)

접수일자: 2010년6월7일, 수정완료일: 2010년10월29일

구조의 재구성 기법은 상당기간 존속할 것이다<sup>[1]</sup>.

최근 반도체 칩 적층 기술은 수십 개의 칩을 쌓아 올려서 이들 간의 연결을 통하여 부피를 작게 하고 소모 전력을 줄이며 동작 속도를 빠르게 하는 수단으로 각광을 받기 시작하고 있다<sup>[2]</sup>. 이 칩 적층 기술의 핵심은 through silicon via (TSV)를 통한 칩 간 연결방식이다<sup>[3]</sup>. 메모리칩의 윗면에서 아랫면으로 관통하는 연결 구조를 경제적이고 신뢰성 있게 만들 수 있게 되었다<sup>[4]</sup>. 이 적층 구조를 대용량 메모리 시스템에 적용할 경우 고장 극복에 새로운 방식을 요구하고 있다.

이 논문은 다수의 메모리칩을 겹쳐 쌓아 만든 3 차원 구조에서 메모리 셀의 결합 극복 방안을 제시하는 것이다. 기존의 평면적인 재구성 방식은 단일 칩 위에서 고장 극복을 위한 회로 재구성을 다루고 있다<sup>[1]</sup>. 기존의 기술은 여분의 무결함 메모리 블록을 사용하여 전체를 정상적으로 동작하도록 하는 방식이다<sup>[7]</sup>. 이 논문에서 제안하는 것은 여러 장의 약간 씩 결함이 있는 메모리 칩만을 겹쳐 쌓고, 연결하고, 결함이 없는 부분만을 모아서 온전한 메모리 시스템을 완성하는 구조를 제시하는 것이다. 이 구조체에 대한 대체 메모리 블록의 할당, 연결선 배정 원리, 속도 및 전력 소모 평가, 수율 향상 예측 등을 통하여 제시한 3차원 메모리 시스템의 고장 극복 방식의 효과를 평가하고자 한다.

이 논문의 구성은 다음과 같다. II장에서는 기존의 2 차원 구조에 3차원 구조로 전환하는 데 필요한 TSV 기술을 검토한다. 또한 한 개의 정상 메모리와 네 개의 결함 있는 메모리를 가지고 네 개의 정상 메모리로 구성된 메모리 시스템을 만드는 과정을 소개한다. III장에서는 6개의 결함 메모리만을 가지고 4개의 정상 메모리로 구성된 메모리 시스템을 만드는 과정을 통하여 대체 블록 할당 방법, 연결 선 구조 등을 제시한다. IV장에서는 이 방안에 대한 평가와 함께 결론을 짓는다.

## II. 메모리의 겹쳐 쌓기와 결합 극복

칩 적층기술은 차세대 반도체 공정이나 디바이스 기술 등과 같은 비용을 들이지 않고 고용량 메모리 시스템을 구성할 수 있는 간단한 방법이다. 그림 1은 다층 구조를 가진 메모리 시스템의 예를 도시 한 것이다.  $i$ 번째 칩의  $j$ 번째 블록은  $(i, j)$ 의 쌍으로 나타내었다. 이런 구조는 이미 2006년 삼성전자가 flash memory 적층에 활용한 바 있다<sup>[5]</sup>. 앞으로 고집적 메모리뿐만 아니라 상

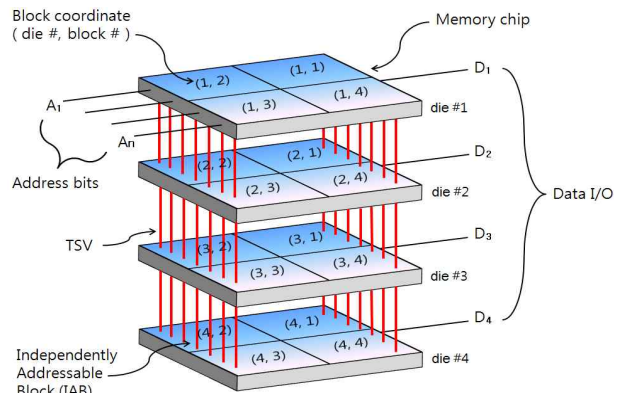


그림 1. Memory 적층 구조  
Fig. 1. Memory stacking using TSV.

당한 system on chip 제품의 상당 부분이 이러한 3 차원 구조의 package를 채택할 것이다<sup>[6]</sup>.

메모리칩을 겹쳐 쌓아 다층 구조를 만들 때 필요한 핵심기술은 through silicon via (TSV) 구현 기술이다. 칩의 윗면에만 회로가 구현되기 때문에 칩을 쌓아 올릴 때 위아래 칩 간의 연결이 필요하다. TSV는 실리콘 칩의 위 표면에 구현된 회로에서부터 칩을 관통하여 아래 면까지 구멍을 뚫어 아래 측에 붙게 된 다른 칩까지 연결선을 구현한 기술이다. 이것은 과도한 구동 전류가 필요한 입출력 패드 회로를 생략하기 때문에 소모 전력을 획기적으로 줄일 수 있다. 또한 칩 사이에 수 만개의 연결선을 구현할 수 있어서 대형 칩을 분리하여 특성에 맞는 최적 공정으로 따로 제작할 수 있다. 현재 기술은 직경 5 - 20 $\mu$ m 정도인 구리 성분의 기둥으로 구현한다. TSV 기술은 안정적인 공정의 뒷받침을 가지고 상용 제품에 적용되기 시작하고 있다.

TSV 기술이 주는 장점은 여러 가지가 있다. 연결선의 길이가 줄어들게 되어 고속 신호 전달 시간이 줄어들고 고속 동작이 가능하다. 상대적으로 작은 구동회로가 사용되므로 출력에 소요되는 전력을 획기적으로 줄일 수 있다. 따라서 회로 내부의 작은 블록 단위의 신호를 다른 칩에 보낼 수 있게 되었다. 또한 발열 문제도 상당히 완화된다. 연결의 자유도가 증가되어 3 차원 구조를 가지는 새로운 시스템 구조의 설계가 가능하게 되었다.

메모리를 겹쳐 쌓고 난 후 이들 간의 연결에 TSV 기술을 사용하게 되면 셀 block 단위의 할당과 주소지정 방식의 재구성이 쉬워진다. 결함 있는 블록을 효과적으로 차단시키고 다른 칩에 있는 여분의 블록으로 대체하는 과정이 쉬워진다. 기존의 방식에서는 여분의 블

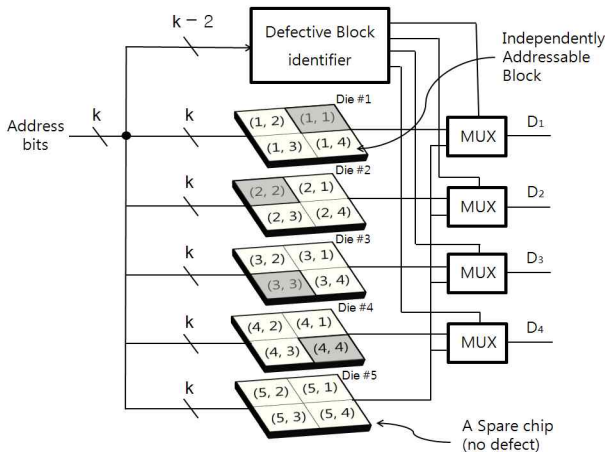


그림 2. 결함 메모리와 무결함 여유 메모리로 구성된 결함극복 설계<sup>[7]</sup>  
 Fig. 2. Defect tolerant system with defective memory chips and a defect free chip<sup>[7]</sup>.

록이 같은 칩 위에 존재해야 하거나 다른 칩에 있는 블록을 사용할 때 심각한 속도 지연을 감수해야 하는 불편함이 있었다. TSV에 의한 지연시간 정도는 메모리 동작상의 전략, 예를 들면 메모리 interleaving 같은 기법으로 쉽게 보상할 수 있다. 이 논문에서 다루는 메모리 재구성성은 TSV 기술을 바탕으로 만들어진 것이다.

결함이 있는 다수의 메모리칩과 소수의 무결함 칩을 사용하여 다수의 메모리를 사용할 수 있도록 하는 것이 기존의 기술이다<sup>[7]</sup>. 여기서 다루는 예에서 메모리칩은 4개의 독립적으로 주소지정이 가능한 블록(independently addressable block - IAB)으로 분할되어 있다고 하자. 그림 2는 4개의 결함이 있는 메모리칩(die #1부터 die #4까지)과 1개의 정상 메모리칩(die #5)을 여유 칩으로 조합하여 결함을 극복하는 구조를 보이고 있다. 메모리칩의 어드레스 신호 중 상위 k비트 신호를 이용하여  $n(=2^k)$ 개로 나뉜 블록에 대한 접근을 제어하게 된다. 결함이 있는 블록에 접근 시 여유 메모리칩 (5번 칩)의 정상블록으로 대체 된다. 즉 1번 칩의 IAB (1, 1)은 (5, 1)으로 대체된다. (2, 2), (3, 3) 그리고 (4, 4)는 각각 (5, 2), (5, 3) 그리고 (5, 4)로 대체된다. 결함 있는 칩으로 조합할 때 한 칩의 결함이 IAB는 다른 칩의 결함이 있는 IAB위치와 중복되지 않도록 한다. 결함이 있는 블록에 접근 시 여유 메모리칩의 같은 위치에 해당하는 블록이 대체하여 동작하도록 한 것이다.

메모리 접근 과정에서 결함블록으로 접근 시 결함블록 대신 같은 주소를 갖는 여유 메모리칩의 블록이 그 기능을 대신하게 된다. 결함블록이 포함된 메모리칩에

결함 위치가 포함된 블록이 접근되면 멀티플렉서가 데이터 입출력 경로를 바꾸어 여유 메모리가 대신하도록 해준다. 여유 메모리칩에서 같은 주소를 갖는 블록이 결함블록을 대체하여 동작한다. 여기에 결함이 있는 블록의 주소를 판단하여 네 개의 멀티플렉서에 데이터 경로 우회를 결정신호를 보내주는 회로가 추가되어 있다. 결함이 있는 메모리칩은 접근이 차단되고 나머지 4개의 메모리칩이 데이터 입출력을 하게 된다.

이 결함 극복 메모리 시스템은 4개의 결함 메모리칩에 1개의 무결함 메모리칩을 조합한 것이다. 결함 없는 메모리칩을 반드시 필요로 하게 된다. 또한, 4개의 결함 메모리칩은 결함블록이 중복되지 않아야만 한다. 본 논문에서 제안하는 시스템은 결함 있는 메모리칩만을 사용하여 생산 수율 향상에 더욱 기여하고자 한다.

### III. 결함 있는 메모리만을 사용하는 시스템

제안하는 고장 극복 메모리 시스템은 결함이 있는 메모리칩만을 사용하여 정상 동작하는 메모리 시스템을 설계한 것이다. 결함은 한 개의 대체 가능한 블록 단위로 제한되고 메모리칩은 하나의 블록이 불량으로 판정된 것으로 가정한다. 무결함 메모리칩을 추가해야 하는 과정이 필요 없는 것이다. 또한 총 6개의 결함 메모리칩은 결함블록의 위치가 중복되는 것이 제한적으로 허용되어 더욱 효율적으로 정상 메모리 시스템을 구현할 수 있다.

결함 있는 메모리만을 사용하는 시스템 구조를 보자. 그림 3은 6개의 결함 메모리칩을 TSV를 이용하여 연결한 구조이다. 메모리칩은 상단부터 1~6번 메모리칩이라 한다. 한 메모리칩은 4개의 블록으로 구성되고 각 블록은 1~4번 블록이라 한다. 여기서 1~4번 메모리칩은 각기 다른 위치에 결함이 있는 블록이 있는 것을 골라서 구성하였다. 여분의 5, 6번 메모리칩은 1, 2번 메모리칩과 각각 같은 위치에 결함블록을 갖는다고 하자. 그림에서 (1, 1), (5, 1) 그리고 (2, 2), (6, 2)에 중복되는 결함블록이 있다.

정상 메모리 시스템은 총 6개의 결함 메모리칩을 조합하여 Working Group인 4개의 메모리칩이 정상적인 동작을 할 수 있다. Working Group의 결함블록에 접근 시 해당 메모리칩은 비 활성화되고, Spare 5,6의 정상블록으로 우회하여 결함을 극복한다. 결함블록이 중복되는 경우, 메모리칩 간 거리가 최대 4층으로 줄이기 위

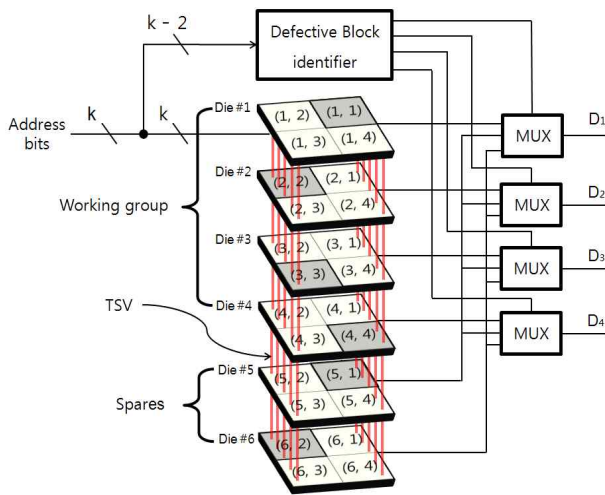


그림 3. 결함 있는 메모리만으로 구성된 결함극복 설계  
 Fig. 3. Defect tolerant system using only defective memory chips.

해 1번은 5번 메모리칩의, 2번은 6번 메모리칩의 정상 블록으로 대체된다.

결함블록 (3, 3)은 정상블록 (5, 3)으로, 결함블록 (4, 4)은 정상블록(6, 4)으로 대체된다. 결함블록 (3, 3)과 (4, 4)의 경우 정상블록과의 층간 거리는 2층이다.

여기서 6개의 메모리칩을 겹쳐 쌓아 올릴 때 TSV를 이용하여 연결한다. 각각의 어드레스 신호 중 상위 k비트를 이용하여 블록을 접근하며, 결함블록으로 접근 시 해당 메모리칩은 비 활성화되고 여분의 메모리칩이 활성화되어 데이터가 멀티플렉서로 출력된다. Defective Block identifier는 어드레스 신호를 이용하여 결함블록으로 접근 시 결함블록이 포함된 메모리칩을 비 활성화시키고, 대체할 메모리칩을 활성화시켜서 해당 멀티플렉서를 통해 데이터를 출력시키는 역할을 한다. 이러한 TSV를 이용한 연결로 인해 메모리칩 간의 신호 및 데이터 전송이 용이해진다. 메모리칩 외부의 주변 회로나 전송선을 통해 신호 및 데이터 전송이 이루어지는 기존의 구조와 달리, TSV를 이용하여 메모리칩 간 직접적인 신호 및 데이터 전송이 가능한 것이다. 다만 (1, 1)과 (5, 1)의 경우에는 전송지연이 있을 것으로 예상된다.

결함이 있는 메모리칩으로 구성된 정상 메모리 시스템의 결함극복 과정은 결함블록이 중복되는 경우와 그렇지 않은 경우로 나뉜다. 결함이 중복되는 경우는 중복되지 않는 경우보다 먼저 여유 칩 안에서 대체 블록을 할당한다. 즉, 1, 2번 메모리칩에 대해 각각 5, 6번 메모리칩이 대응하여 대체되는 것이다. 1~4번 메모리칩에 대응하는 5, 6번 메모리칩을 대체하는 경우 결함

을 가지는 메모리칩에서 가장 가까운 여유 메모리칩을 접근한다. 본 구조에서는 1, 2번 메모리칩과 5, 6번 메모리칩의 결함블록이 중복된다. 1번 메모리칩의 블록의 주소가 지정된 경우 5, 6번 메모리칩 가운데 상단에 위치한, 즉 결함 메모리칩과 가장 가까운 여유 메모리칩의 블록 주소가 사용된다. 결함 메모리칩의 세 개의 정상블록의 데이터는 정상적으로 출력되고 결함블록과 같은 주소에 해당하는 정상메모리칩의 정상블록의 데이터가 출력되는 것이다.

결함블록이 중복되는 경우의 결함 대체과정을 살펴보기로 하자. 이 구조에서 1~4번의 메모리칩은 서로 다른 결함블록을 가지며 5, 6번 메모리칩은 각각 1, 2번 메모리칩과 같은 결함블록을 갖게 되므로 중복되는 블록의 개수는 2개이다. 여유메모리는 중복되지 않는 결함블록에 대해 정상블록으로 대체해야 하므로 중복되는 블록과 중복되지 않는 블록에 대해서 겹치지 않도록 블록을 정해야 한다. 이를 위한 대체블록 할당방법을 다음과 같다. (1, 1), (2, 2)의 블록이 (5, 1), (6, 2)의 블록과 중복되므로 대체하는 과정에서 5, 6번 메모리칩의 1, 2블록만을 선택하게 된다. 그리고 (1, 1)의 경우 가장 가까운 5번 메모리칩이 선택되고 난 후 중복되는 블록인 5번 메모리칩의 1, 2번 블록을 지정한다. 1, 2번 블록 중 1번 블록은 (1, 1)과 결함블록이 중복되므로 2번 블록을 최종 선택하여 대체하는 과정을 거친다. 다시 말해, 중복되는 두 개의 결함블록에 대응하는 여유 메모리칩의 두 블록만을 사용하고, 두 블록 중에 결함블록의 주소가 포함되지 않은 블록으로 대체하는 것이다. 이렇게 하면 결함블록 대체 과정에서 모든 결함블록에 대해 정상블록의 대체가 가능하다.

다음은 중복되지 않는 결함을 대체하는 경우의 결함극복 과정을 알아보도록 하자. 중복의 경우와 마찬가지로 결함을 가지는 메모리칩은 서로 다른 메모리칩이 선택 된다. 3번 메모리칩은 5번 메모리칩으로, 4번 메모리칩은 6번 메모리칩으로 대체가 된다. 중복되지 않는 결함블록(3, 3)에 대해서는 먼저 가장 가까운 5번 메모리칩을 선택하게 되고, 결함블록 주소와 같은 (5, 3)의 블록의 데이터가 출력되는 것이다. 즉, 중복되지 않는 결함 메모리칩의 결함블록 대체 시에는 결함블록의 주소와 같은, 여유 메모리칩의 정상블록 주소를 사용한다. 결함블록의 주소와 같은 정상블록이 그 기능을 대신하는 것이다. 이러한 과정으로 앞서 언급한 중복되는 결함블록의 대체와 겹치지 않도록 할 수 있게 된다.

#### IV. 여분 메모리칩의 수

제안한 구조 및 제안한 구조를 확장한 구조에서 여분의 칩 개수를 결정하는 방법에 대하여 알아보도록 한다. 메모리칩 당 4개의 독립적으로 어드레스가 가능한 블록(Independently Addressable Block, IAB)을 갖는 경우와 4개부터 2<sup>n</sup>개까지의 IAB를 갖는 경우 각각에 대하여 메모리칩 당 1개 및 2개의 결합을 갖는 블록 구조의 여분의 칩 개수 결정을 살펴본다.

먼저 제안한 4개의 메모리칩이 IAB 4개로 구성되고 각 메모리칩 당 1개의 결합을 갖는 블록을 갖는 구조를 보도록 한다. 제안한 구조는 하나의 결합을 갖는 메모리칩 4개를 이용하여 16개의 결합이 없는 블록(Defect Free Block, DFB)을 구현한다. 각 메모리칩 당 3개의 DFB를 가지므로 총 12개의 DFB가 구성된다. 16개의 DFB를 위해서는 4개의 DFB가 추가로 필요하다. 여분의 칩은 4개의 IAB 중 3개의 DFB를 갖게 되므로 필요한 여분의 칩 개수는 2개이다.

제안한 구조를 확장하여 8개의 메모리칩이 있는 경우를 살펴보자. 메모리칩이 8개인 구조는 32개의 DFB를 구현한다. 각 메모리칩 당 3개의 DFB가 있게 되므로 24개의 DFB가 구성되고, 8개의 DFB를 추가하기 위해서 필요한 여분의 칩 개수는 3개이다. 메모리칩 당 4개의 IAB 중 1개의 결합을 가지며, 전체 메모리칩이 4개와 8개인 경우 결합을 극복하기 위해서 2개 이상의 여유 메모리칩을 필요로 하게 된다.

이제까지 각 메모리칩이 4개의 IAB로 구성된 경우에 대하여 살펴보았다. 이어서 각 메모리칩 당 IAB가 8개, 16개 그리고 2<sup>n</sup>개인 경우에 대하여 결합 블록이 1개와 2개인 구조를 고려해보도록 한다. 먼저 결합을 갖는 블록이 1개인 경우에서 여분의 메모리칩 개수 결정에 대해 알아보자. 8개의 IAB를 가지는 메모리칩 8개를 이용한 구조는 총 64개의 DFB를 구현한다. 56개의 DFB를 구성하며, 8개의 DFB를 추가하기 위해 여분의 메모리칩 2개가 필요하다. 16개의 IAB를 가지는 메모리칩은 16개로 구조를 구성하며 총 256개의 DFB를 구현한다. 240개의 DFB를 구성하므로 16개의 DFB를 추가하기 위해서 역시 여분의 메모리칩 2개를 필요로 한다. 마지막으로 2<sup>n</sup>개의 IAB를 가지는 메모리칩은 2<sup>n</sup>개가 모여 구조를 이루며 총 2<sup>2n</sup>개의 DFB를 구현한다. 2<sup>2n</sup> - 2<sup>n</sup>개의 DFB를 구성하므로 2<sup>2n</sup> - (2<sup>2n</sup> - 2<sup>n</sup>) = 2<sup>n</sup>개의 DFB를 추가하기 위해 여분의 메모리칩 결정은 식 s(2<sup>n</sup> - 1) ≥

2<sup>n</sup> 을 이용한다. s와 m은 각각 여분의 메모리칩 개수와 칩의 IAB의 개수를 나타내며, 사용되는 여분의 메모리칩 개수와 메모리칩의 DFB개수를 곱한 수가 추가해야 하는 DFB의 개수보다 크거나 같아야만 결합이 극복된다. s=1이면, (2<sup>n</sup> - 1) ≥ 2<sup>n</sup> 이므로 조건을 충족시키지 못한다. s=2이면, (2<sup>n+1</sup> - 2) ≥ 2<sup>n</sup> 이므로 조건을 만족시키며 필요한 여분의 메모리칩 개수는 2개이다.

메모리칩 당 결합을 갖는 블록이 2개인 경우는 다음과 같다. 8개의 IAB를 가지는 메모리칩 8개를 이용한 구조는 총 64개의 DFB를 구현한다. 메모리칩 당 결합을 갖는 블록이 2개이므로 48개의 DFB를 구성한다. 16개의 DFB를 추가하기 위해 여분의 메모리칩 3개가 필요하다. 16개의 IAB를 가지는 메모리칩은 16개로 구조를 구성하며 총 256개의 DFB를 구현한다. 224개의 DFB를 구성하므로 32개의 DFB를 추가하기 위해서 역시 여분의 메모리칩 3개를 필요로 한다. 마지막으로 2<sup>n</sup>개의 IAB를 가지는 메모리칩은 2<sup>n</sup>개가 모여 구조를 이루며 총 2<sup>2n</sup>개의 DFB를 구현한다. 2<sup>2n</sup> - 2<sup>n+1</sup> 개의 DFB를 구성하므로 2<sup>2n</sup> - (2<sup>2n</sup> - 2<sup>n+1</sup>) = 2<sup>n+1</sup> 개의 DFB를 추가하기 위해 여분의 메모리칩 결정은 식 s(2<sup>n+1</sup> - 2) ≥ 2<sup>n+1</sup>을 이용한다. s=3이면, (3×2<sup>n+1</sup> - 6) ≥ 2<sup>n+1</sup>이므로 조건을 만족시키며 필요한 여분의 메모리칩 개수는 3개이다.

결합을 갖는 블록이 k개인 경우를 고려해보자. n개의 IAB를 갖는 메모리칩에 대하여 k개의 결합을 갖는 블록이 있는 구조는 2<sup>kn</sup>개의 DFB를 구현한다. 결합을 갖는 블록의 수가 k개이므로 2<sup>kn</sup> - k·2<sup>n</sup>의 DFB를 구성한다. 추가해야 하는 DFB의 개수는 k·2<sup>n</sup>개이며 필요로 하는 여분 메모리칩 개수는 k+1개로 나타낼 수가 있다. 또한 s < 2<sup>n</sup>인 경우, 즉 IAB의 수보다 적층 칩의 개수가 훨씬 작은 경우에도 여분 메모리칩은 k+1개가 필요하다. 이상 IAB 개수와 결합을 갖는 블록의 개수에 따른 필요한 여분의 메모리칩 수를 구하는 식은 (1)과 같고 칩 당 결합블록의 개수에 따른 메모리칩 수는 표 1에 나타내었다. 식(1)에서 「 x 」는 x에 대한 올림함수이다.

$$S = \lceil (k \times n) / (m - k) \rceil \quad (1)$$

이제 현실적으로 적층되는 칩의 수보다 IAB의 수가 훨씬 크다는 사실에 주목하자. 칩 속에 독립적으로 주소지정이 가능한 블록은 수 천 개 이상일 수 있다. 현재 기술로 쌓아 올릴 수 있는 칩의 수는 128개를 넘지 못

표 1. 결함을 갖는 블록의 개수에 따른 여분의 메모리 칩 개수 결정

Table 1. The number of spare chips reflecting the number of defective storage blocks.

Defective storage blocks	1 block / chip			2 blocks / chip			3 blocks / chip			...	k blocks / chip
IABs / chip	8	16	$2^n$	8	16	$2^n$	8	16	$2^n$		$2^n$
Stacked dies	8	16	$2^n$	8	16	$2^n$	8	16	$2^n$		$2^n$
Total IABs / sys	64	256	$2^{2n}$	64	256	$2^{2n}$	64	256	$2^{2n}$		$2^{2n}$
DFBs / sys.	56	240	$2^{2n} - 2^n$	48	224	$2^{2n} - 2^{n+1}$	40	208	$2^{2n} - 3 \cdot 2^n$		$2^{2n} - k \cdot 2^n$
DFBs needed	8	16	$2^n$	16	32	$2^{n+1}$	24	48	$3 \cdot 2^n$		$k \cdot 2^n$
Spare chips / sys.	2	2	2	3	3	3	5	4	4		k+1

할 것이다. 이 경우 k개의 DFB에 대하여 역시 k+1개의 여분 칩이 필요하다. 여기서 제약 요소는 DFB의 위치가 서로 달라야 하나의 시스템으로 구성 가능하다는 전제가 적용된다.

### V. 결 론

이 논문은 불량 메모리 칩 중 한 두개 비트의 결함이 있는 여러 개의 칩들을 모아서 정상 동작하는 메모리 시스템을 구성하는 방법을 제시하였다. 여기에서 제시하는 메모리 시스템은 through silicon via (TSV)를 통한 연결망이 채택된 3 차원 적층 구조를 가질 때 결함 있는 메모리 셀 구역을 대체하는 방법을 제시하였다. 결함이 있는 메모리 셀이 포함된 구역을 서로 다르도록 결함 메모리를 선별한다. 이 메모리들의 결함이 없는 셀 구역만을 모아서 조합하여 전체가 결함이 없는 메모리 시스템이 되도록 한다. 이들 메모리 칩 간의 연결은 재구성 가능한 TSV를 사용한다. N개의 독립적인 주소 지정 가능한 storage block을 가진 메모리 각각에 k 개의 결함 있는 storage block이 있는 경우 k+1 개의 여유 칩이 조합되어야 한다. 이 방식은 TSV의 지연 시간이 큰 장애가 되지 않는 경우 결함메모리의 효과적인 활용을 통하여 칩 생산 수율을 높이는 데 기여하게 된다. 또한 대용량 3 차원 메모리의 테스트와 고장이 발견되었을 때 수리하는 방법을 제시한다.

### 감사의 글

본 연구는 한국연구재단을 통해 교육과학기술부의 세계수준의 연구중심대학 육성사업(WCU)으로부터 지

원받아 수행되었습니다. (R33-2008-000-10040-0)

### 참 고 문 헌

- [1] D. Niggemeyer, J. Otterstedt, and M. Redeker, "A defect-tolerant DRAM employing a hierarchical redundancy scheme, built-in self-test and self-reconfiguration," Proceedings International Workshop on Memory Technology, Design and Testing, pp.33-40, San Jose, USA, August 1997.
- [2] G. Venkatasubramanian, P. O. Boykin and R. J. Figueiredo, "Design of high-yield defect-tolerant self-assembled nanoscale memories", 2007 IEEE International Symposium on Nanoscale Architecture, pp. 77-84, San Jose, USA, October 2007.
- [3] M. Motoyoshi, "Through-silicon via (TSV)," Proceedings of the IEEE, vol. 97, no.1, pp. 43-48, January 2009.
- [4] T. Yasufuku1, et al., "Effect of resistance of TSV's on performance of boost converter for low power 3D SSD with NAND flash memories," IEEE International Conference on 3D System Integration, San Francisco, USA, September 2009.
- [5] D. M. Jang, et al., "Development and Evaluation of 3-D SiP with Vertically Interconnected Through Silicon Vias (TSV)," Proc. IEEE Int'l Electronic Components and Tech. Conf., pp. 847-850, June 2007.
- [6] D. Gerke, NASA 2009 Body of Knowledge (BoK): Through-Silicon Via Technology, JPL Publication 09-28 11/09, NASA WBS: 724927.40.43, JPL Project Number: 103982, Task Number:03.03.15, download from

<http://nepp.nasa.gov>(April,2010)

- [7] 유영갑, 한선경, 결합 메모리를 이용한 정상적인 메모리 시스템 구현방법, 특허청 등록번호 0336434, 특허청, 2002.

— 저 자 소 개 —



한 세 환(학생회원)  
2009년 충북대학교 전자공학과  
학사 졸업  
2009년~현재 충북대학교  
전자공학과 석사과정  
<주관심분야 : VLSI설계, 결합극  
복 메모리, >



유 영 갑(정회원)  
1975년 서강대학교 전자공학과  
공학사  
1981년 Univ. of Michigan, Ann  
Arbor 전기전산 공학석사  
1986년 Univ. of Michigan, Ann  
Arbor 전기전산 공학박사  
1975년~1979년 국방과학연구소 연구원  
1986년~1988년 금성반도체(주) 책임연구원  
1993년~1994년 아리조나 대학교 객원교수  
2000년~2001년 오레곤 주립대학교 교환교수  
2007년~2008년 일리노이 주립대학교 객원연구원  
1988년~현재 충북대학교 정보통신공학과 교수  
<주관심분야 : VLSI 설계 및 Test, 고속 인쇄회  
로설계, 암호학>



조 태 원(평생회원)  
1973년 서울대학교 전자공학과  
공학사  
1986년 Univ. of Louisville  
전자공학과 공학석사  
1992년 Univ. of Kentucky  
전자공학과 공학박사  
1973년~1983년 금성전선(주)  
1992년~현재 충북대학교 전자공학과 교수  
2009년~현재 RIUBIT 센터장  
2010년~현재 (주)유비콤 대표이사  
<주관심분야 : VLSI, 컴퓨터구조, 저전력 회로,  
반도체 메모리>