논문 2010-47SD-11-3

입력 위상 잡음 억제 및 체배 주파수의 듀티 사이클 보정을 위한 VCO/VCDL 혼용 기반의 다중위상 동기회로

(A Multiphase DLL Based on a Mixed VCO/VCDL for Input Phase Noise Suppression and Duty-Cycle Correction of Multiple Frequencies)

하 종 찬*, 위 재 경**, 이 필 수**, 정 원 영***, 송 인 채**

(Jong-Chan Ha, Jae-Kyung Wee, Pil-Soo Lee, Won-Young Jung, and In-Chae Song)

요 약

본 논문은 입력 클록의 고주파 위상 잡음 억제와 정확한 듀티 사이클을 갖는 체배 주파수 생성을 위하여 Voltage-Controlled Oscillator(VCO)/Voltage-Controlled Delay Line(VCDL) 혼용기반의 다중 위상 Delay-Locked Loop(DLL)를 제시한다. 이 제안된 구조에서, 다중 위상 DLL은 혼용 VCO/VCDL의 입력 단에 nMOS 소스 결합 회로 기반의 이중 입력 차동 버퍼를 사용한다. 이것은 고주파 입력 위상 잡음 억제를 위하여 전 대역 통과 필터 특성을 갖는 기존 DLL의 입/출력 위상 전달을 저주파 통과 필터 특성을 갖는 PLL의 입/출력 위상 전달로 쉽게 변환시킬 수 있다. 또한, 제안된 DLL은 추가적인 보정 제어 루프 없이 단지 듀티 사이클 보정 회로와 위상 추적 루프를 이용하여 체배 주파수의 듀티 사이클 에러를 보정할 수 있다. 0.18㎛ CMOS 공정을 이용한 시뮬레이션 결과에서, 제안된 DLL의 출력 위상 잡음은 800MHz의 입력 위상 잡음을 갖는 1GHz 입력 클록에 대하여 -13dB 이하로 개선된다. 또한, 40%~60%의 듀티 사이클 에러를 갖는 1GHz 동작 주파수에서, 체배 주파수의 듀티 사이클 에러는 2GHz 체배 주파수에서 50±1%이하로 보정된다.

Abstract

This paper proposed the dual-loops multiphase DLL based mixed VCO/VCDL for a high frequency phase noise suppression of the input clock and the multiple frequencies generation with a precise duty cycle. In the proposed architecture, the dual-loops DLL uses the dual input differential buffer based nMOS source-coupled pairs at the input stage of the mixed VCO/VCDL. This can easily convert the input and output phase transfer of the conventional DLL with bypass pass filter characteristic to the input and output phase transfer of PLL with low pass filter characteristic for the high frequency input phase noise suppression. Also, the proposed DLL can correct the duty-cycle error of multiple frequencies by using only the duty-cycle correction circuits and the phase tracking loop without additional correction controlled loop. At the simulation result with 0.18㎛ CMOS technology, the output phase noise of the proposed DLL is improved under -13dB for 1GHz input clock with 800MHz input phase noise. Also, at 1GHz operating frequency with 40%~60% duty-cycle error, the duty-cycle error of the multiple frequencies is corrected under 50±1% at 2GHz the input clock.

Keywords: Delay-locked loop, input phase noise, duty-cycle correction, multiple frequencies

Ⅰ. 서 론

Phase-Locked Loop(PLL)와 Delay-Locked Loop (DLL)는 고속 마이크로프로세서-메모리 인터페이스 및 고속 통신 시스템에서 클록 신호의 스큐(skew)와 지터(jitter)를 줄이기 위하여 광범위하게 사용되고 있

* 학생회원, ** 정회원, 숭실대학교 전자공학과
(School of Electronic Engineering Soongsil Univ.)
*** 정회원, (주)동부하이텍
(Dongbu HiTek)
※ 본 논문은 2009년도 정부(교육 과학 기술부)의 재원으로 한국 연구 재단의 지원을 받아 수행된 연구임 (2009-0086631)
접수일자: 2010년4월19일, 수정완료일: 2010년10월19일

다. 일반적으로, 주파수 합성이 요구되지 않는 시스템에서, DLL은 전원 공급 잡음에 의한 위상 잡음이 Voltage-Controlled Delay Line(VCDL)에 축적되지 않기 때문에 PLL에 비교하여 지터가 낮고 주파수 안정도가 우수하며 디지털 회로로 구현하기가 쉽다. 따라서 DLL이 낮은 지터 특성과 안정성 때문에 클록의 동기화나 다중 위상의 클록 신호를 생성하는데 널리 사용된다. 그러나 일반적인 DLL은 입력 클록의 위상 잡음 전달 특성, 제한된 위상 획득 범위 그리고 주파수 합성이 어려운 단점을 가진다.

VCDL은 입력 클록과 출력 클록의 위상 일치를 위하여 입력 클록을 한 클록 사이클로 지연시킨다. 따라서 입력 클록의 위상 잡음이 직접적으로 출력 클록에 전달된다. 이러한 DLL의 위상 전달 특성은 입력 클록의 위상 잡음에 대하여 전 대역 통과 필터 특성을 가지기 때문에 다중 위상 클록을 이용하는 고속 직렬 링크에서 입/출력 타이밍 마진을 감소시키는 원인이 된다. 이를 해결하기 위하여 고 주파수 잡음 필터를 위한 2^{nd} 차수 DLL, 종속 회로인 발진기를 이용한 DLL 그리고 혼용 PLL/DLL등이 사용된다[1~3]. 그러나 이러한 방법은 설계의 복잡성과 면적이 큰 단점을 가진다. 또한, DLL은 VCDL의 최소 지연 시간과 최대 지연 시간의 구간까지만 입력 클록 신호를 지연시키기 때문에 제한된 위상 획득 범위를 갖는다. 이러한 문제는 위상 보간 회로를 사용하여 이음매 없이 360° 위상 이동이 가능한 이중 루프 DLL을 사용하여 해결될 수 있다[4]. 따라서 고속 입/출력 인터페이스에서 타이밍 마진을 확보하기 위하여 무한정 위상 획득과 고주파 위상 잡음 억제를 위한 DLL이 필요하다.

일반적인 DLL은 주파수 합성 문제를 해결하기 위하여 다중 위상 클록 신호의 에지 결합을 이용하여 체배 주파수를 발생시킨다[5]. 그러나 클록 에지 결합기를 이용한 체배 주파수의 듀티 사이클 에러는 입력 클록의 듀티 사이클 에러에 의존적이며 공정 기술 개발에 따른 지연 셀의 부정합 등의 원인에 의해 야기된다. 입력 클록의 듀티 사이클 에러는 주로 입력 클록 버퍼 또는 출력 클록 버퍼 사이의 듀티 사이클 보정 회로를 삽입하거나 PWCL(Pulsewidth control loop)을 이용하여 듀티 사이클 에러를 보정한다[6~8]. 그러나 이러한 구조는 추가적인 보정 제어 루프가 요구되고 면적과 전력 소모가 증가하는 단점을 가진다. 지연 셀의 부정합을 줄이기 위한 방법 중에 하나는 트랜지스터의 크기를 증가시키는 것이다. 그러나 이것은 기생 커패시턴스를 증가시킨다. 이것은 고속 클록 신호가 요구될 때, 최소 채널 길이를 가지는 지연 셀의 빈약한 부정합 특성 때문에 지연 셀 사이의 다중 위상 클록에 대하여 상당한 타이밍 에러를 발생시킬 수 있다.

이 연구에서는 간단한 혼용 VCO/VCDL 구조를 이용하여 입력 고주파 위상 잡음 억제와 추가적인 보정 제어 루프 없이 체배 주파수의 정확한 듀티 사이클 에러 보정이 가능한 이중 루프 DLL을 제시한다.

본 논문은 다음과 같이 구성되어 있다. Ⅱ장은 제안된 다중 위상 DLL 구조에 대하여 간단한 개요를 설명한다. Ⅲ장은 제안된 DLL의 회로 구현에 대하여 설명한다. Ⅳ장은 제안된 DLL의 시뮬레이션 결과 및 성능 요약을 보여준다. 최종적으로, 본 논문은 Ⅵ절에 결론으로 맺는다.

Ⅱ. 제안된 이중 루프 DLL

제안된 DLL의 블록 도는 그림 1에서 보여준다. 이 구조는 크게 주파수 추적 루프, 혼용 VCO/VCDL 그리고 위상 추적 및 체배 주파수의 듀티 사이클 보정(Duty- Cycle Correction:DCC)루프로 구성된다. 주파수 추적 루프는 VCO의 발진 특성 때문에 EXT_CLK 신호와 FBCLK 신호의 주파수 일치를 위하여 사용된다. 위상 추적 루프는 무한정 위상 획득 범위를 얻기 위하여 위상 멀티플렉서와 위상 보간 회로를 사용한다. 또한, 체배 주파수의 듀티 사이클 에러는 듀티 사이클 보정 회로와 위상 추적 루프에서 사용되는 같은 수의 멀티플렉서 및 위상 보간 회로를 이용하여 보정된다. 이 DLL 구조에서, 혼용 VCO/VCDL은 6-단의 버퍼들로 구성되어 있으며 각 버퍼의 출력 클록 신호들은 30°의 위상차를 갖는다. 다중 위상 DLL의 동작 흐름 도는 그림 2에서 보인바와 같이 다음과 같다.

(1) 주파수 추적 루프에서, 초기 FBCLK은 최소 주파수로 설정된다. 주파수 검출기(Frequency Detector:FD)의 출력 UP 신호에 의하여 FBCLK의 주파수는 점점 더 증가되고 FD의 두 입력 신호의 주파수가 같아지면, 디지털 값은 레지스터에 저장된다. 반대로, FBCLK은 최대 주파수로 설정된다. FD의 출력 DN신호에 의하여 두 입력 신호의 주파수가 같아지면, 디지털 값은 다른 레지스터에 저장된다. 이 때, 레지스터에 저장된 디지털 값은 로직 회로에 의하여 평균화된다. 이 평균화된 값

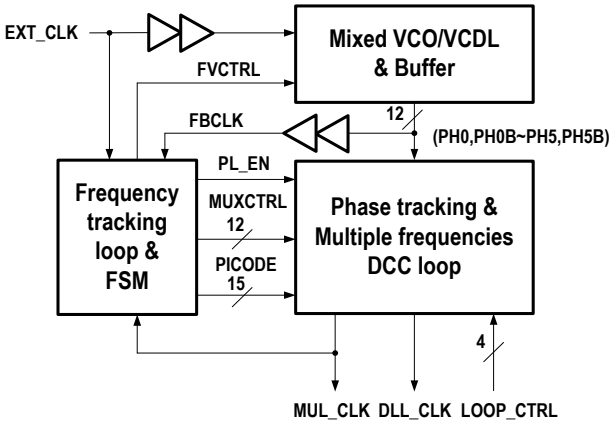


그림 1. 제안된 다중 위상 DLL의 블록
Fig. 1. Block diagram of the proposed multiphase DLL.

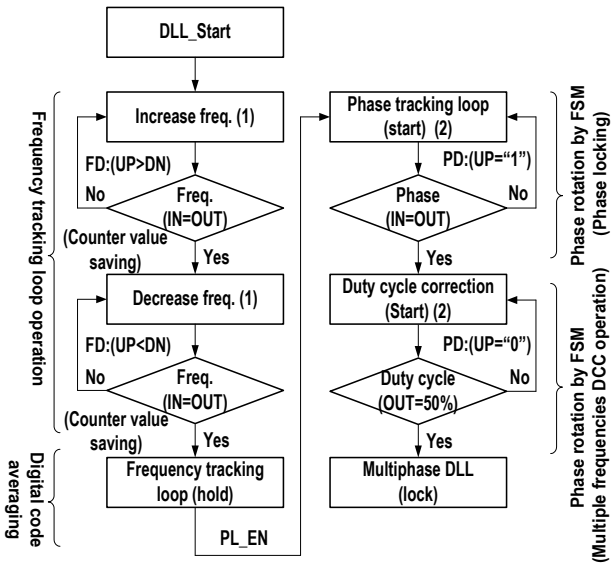


그림 2. 다중 위상 DLL의 동작 흐름도
Fig. 2. Operation flow of multiphase DLL.

에 의하여 주파수 추적 루프는 고정된 출력 주파수를 발생시키고 입력 클록의 위상 추적을 활성화시키기 위하여 PL_EN 신호를 발생시킨다.

(2) 위상 추적 루프에서, 위상 검출기(Phase Detector :PD)의 출력 UP 신호는 위상 보간 제어 신호를 발생시키기 위하여 FSM(Finite State Machine)에 사용되어진다. FSM은 30°의 위상차를 가지는 VCO/VCDL의 다중 클록이 순차적으로 위상 이동과 위상 보간 제어를 위해 사용된다. 만약 입력 신호와 출력 신호 사이의 위상이 일치되면, 제어 신호는 레지스터에 저장되고 DLL은 90° 위상 검출기를 활성화시킨다. 체배 주파수의 듀티 사이클 에러는 위상 추적 루프의 동작 방법과 마찬가지로 FSM의 제어 신호에 의해 보정된다. 입력 클록의 주파수 추적과 출력 클록의 위상이 회전되는 이 구조에서, DLL의 동작 주파수 범위는 VCO의 사이클 슬리핑 특성에 의해서 VCDL의 지연 시간에 영향을 받지 않는다. 또한, DLL은 0~2π 범위의 위상 이동 능력을 제공하기 때문에 더 이상 제한된 위상 획득 범위를 가지지 않는다.

Ⅲ. 회로구현

A. 주파수 추적 루프

그림 3은 주파수 추적 루프의 블록 도를 보여준다. 이 추적 루프는 주파수 검출기와 디지털 코드 평균화 회로 그리고 4-비트 디지털-아날로그 변환기(Digital-to -Analog Converter:DAC)로 구성된다. 위에서 언급하였듯이, 주파수 추적 루프는 입력 주파수 추적 방법에 대하여 크게 두 가지로 수행된다. 첫째로, FBCLK은 최소 주파수에서 최대 주파수까지 주파수 추적을 수행한다. 만약 EXT_CLK이 FBCLK보다 주파수가 높으면 상단의 주파수 검출기는 f(EXT_CLK)/16의 주파수를 갖는 일정한 LUP 신호를 생성한다. 필터 FSM은 LUP 신호의 3-사이클마다 작은 펄스폭을 갖는 UP 신호를 생성한다. 이 UP 신호에 의하여, 4-비트 UP 카운터의 출력 값은 EXT_CLK과 FBCLK이 같은 주파수가 될 때까지 초기값 "0000"에서 +1씩 증가되어

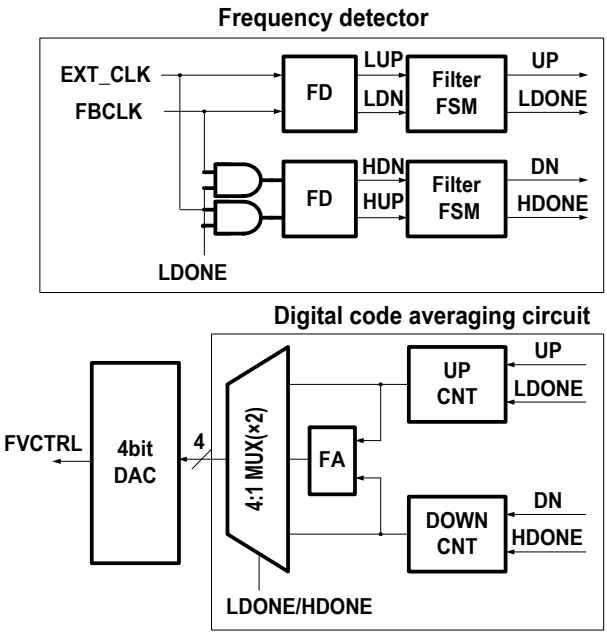


그림 3. 주파수 추적 루프의 블록 도
Fig. 3. Block diagram of the frequency tracking loop.

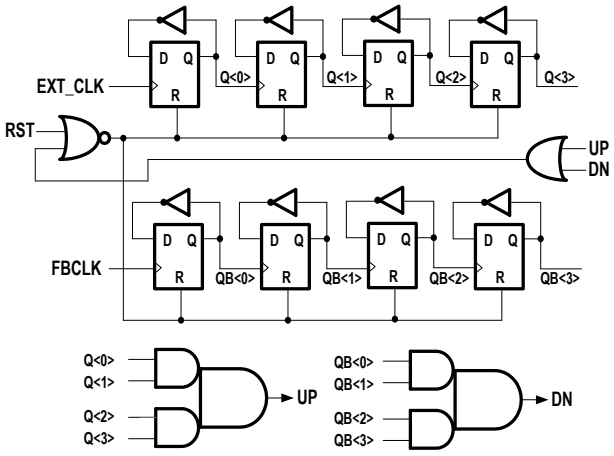


그림 4. 주파수 검출기
Fig. 4. Frequency detector.

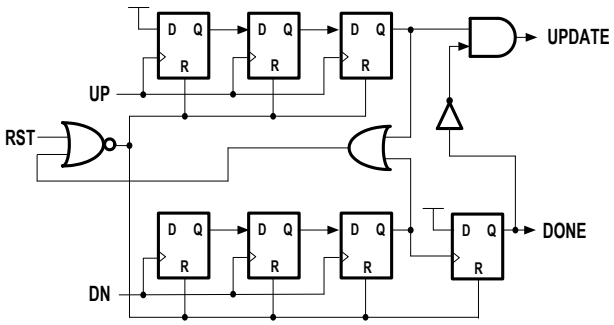


그림 5. 필터 FSM
Fig. 5. Filter FSM.

4-비트 DAC에 입력된다. 만약 두 입력 주파수가 같아지면, 필터 FSM의 LDONE 신호는 low에서 high로 천이된다. 이것은 두 입력 신호가 하단의 주파수 검출기에 입력되도록 AND 게이트를 활성화시키고 4-비트 DOWN 카운터의 초기 값 "1111"을 4-비트 DAC에 전달한다. 둘째로, 최대 주파수에서 최소 주파수의 추적 방법은 단지 4-비트 DOWN 카운터가 필터 FSM의 출력 DN 신호에 의해 -1씩 감소되는 것을 제외하면 첫 번째 주파수 추적 방법과 같은 방법으로 수행된다. 이 두 가지의 주파수 추적 방법이 수행되면, LDONE과 HDONE의 제어 신호에 의하여 4:1멀티플렉서는 덧셈기의 출력 평균값을 4-비트 DAC에 전달한다. FVCTRL은 고정된 출력 주파수를 위하여 혼용 VCO/VCDL의 제어 전압으로 사용된다.

그림 4는 주파수 검출기를 보여준다. 주파수 검출기는 고속 동작을 위하여 2개의 비동기식 4-비트 카운터와 자체 초기화를 위한 AND, OR 그리고 NOR 회로들을 사용한다. 카운터의 초기화는 Q[3:0] 또는 QB[3:0]의 값이 모두 high가 되면, 출력 UP 또는 DN 신호는 high가 되어 카운터를 초기화시킨다. 이 때, 내부 RST 신호는 OR, NOR 게이트의 전달 지연 시간만큼의 펄스폭을 갖는다.

그림 5는 필터 FSM을 보여준다. 필터 FSM은 주파수 추적의 루프 대역폭을 확보하기 위하여 사용된다. 필터 FSM은 동기식 3-비트 카운터로 구성되어 있으며 입력 UP 또는 DN 신호의 3-사이클마다 UPDATE 신호를 발생시킨다. DONE 신호는 3-비트 카운터의 출력 신호를 low로 초기화하고 현재의 주파수 추적 상태를 비활성화 시키기 위하여 사용된다.

B. 혼용 VCO/VCDL

일반적인 DLL은 전 대역 통과 필터 특성으로 인하여 입력 클록의 어떠한 위상 잡음도 필터링할 수 없다. 따라서 입력 클록의 위상 잡음을 개선하기 위한 DLL이 필요하다. 그림 6은 제어 전압 버퍼, 보간 회로 그리고 지연 셀로 구성된 혼용 VCO/VCLD의 구조 및 회로를 보여준다. 제어 전압 버퍼의 다이오드 연결 부하 소자에 서, pMOS의 게이트는 출력 노드에 연결되어 있다. 이것은 nMOS 전류 소스 바이어스 전압으로부터 VBP 바이어스 전압 생성을 위해 사용된다. 보간 회로와 지연 셀은 대칭 부하 소자를 가지는 차동 nMOS 소스 결합 회로와 동적으로 바이어스 되는 간단한 nMOS 전류 소스를 사용한다[9].

그림 7은 혼용 VCO/VCDL에서 동작 주파수에 따른 출력 스윙 변화를 나타낸다. 출력 스윙은 제어 전압 버퍼 상에서 바이어스 pMOS 트랜지스터의 VBP 전압 레벨을 기준으로 대칭적인 값을 가지며 입력 주파수에 비례하여 증가한다. 혼용 VCO/VCDL의 보간 회로에서, 출력 스윙의 증가에 따라 M_2, M_3의 턴-온 시간이 M_1, M_4보다 턴-온 시간보다 증가된다. 따라서 출력 주파수는 입력 주파수가 증가할수록 크게 의존한다. 여기서 사용된 보간 회로의 (W_1/W_2), (W_4/W_3)의 채널 폭 비율은 3.42이다. 지연 셀은 혼용 VCO/VCDL에서 같은 위상차를 갖는 출력 클록을 얻기 위하여 보간 회로와 같은 구조의 회로를 사용한다.

그림 8은 혼용 VCO/VCDL의 특성 곡선 시뮬레이션 결과를 보여준다. 혼용 VCO/VCLD의 고정된 출력 주파수에서의 DAC 코드 변화는 M1과 M2의 전류비에 의존한다. 따라서 입력 주파수에 따른 출력 주파수는 고정된 범위의 DAC 코드 값을 가진다. 이것은 DAC의 출력 전압이 낮은 입력 주파수에서 약 25mV(1비트 DAC

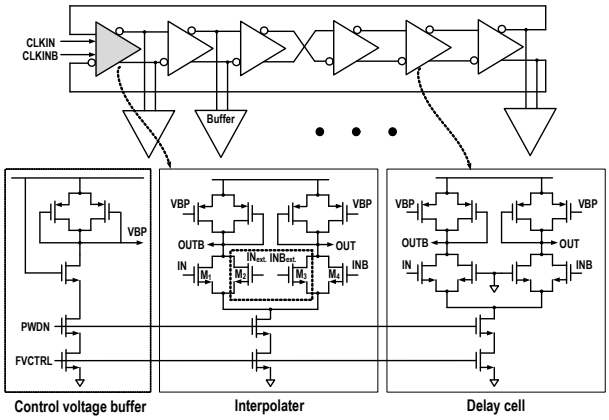


그림 6. 혼용 VCO/VCDL의 구조 및 지연 셀
Fig. 6. Mixed VCO/VCDL architecture and delay cell.

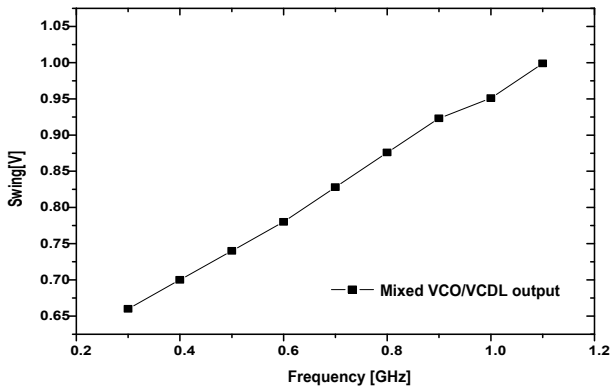


그림 7. 혼용 VCO/VCDL에서 동작 주파수에 따른 출력 스윙 변화
Fig. 7. The variation of output swing according to the operating frequency in mixed VCO/VCDL.

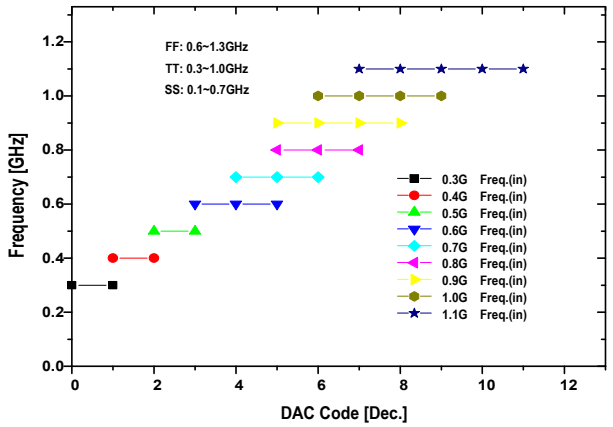


그림 8. 혼용 VCO/VCDL의 특성 곡선
Fig. 8. The characteristics curve of mixed VCO/VCDL.

출력 범위)내에 변동하더라도 고정된 출력 주파수 특성을 가진다. 공정 변화에 따른 시뮬레이션 결과에서, 혼용 VCO/VCDL의 동작 주파수는 최소 0.1GHz~0.7GHz 주파수 범위에서 최대 0.6GHz~1.3GHz의 주파수 범위를 갖는다. 주파수 추적 루프는 입력 클록과 VCO 클록 사이의 위상을 보간함으로써 낮은 루프 대역폭에 의해 저주파 통과 필터 특성을 갖는 PLL의 위상 전달 특성을 가진다.

C. 위상 추적 및 체배 주파수 듀티 사이클 보정 루프

그림 9는 위상 추적 및 체배 주파수의 듀티 사이클 보정 루프를 보여준다. 이 루프에서, 360° 위상 이동을 위하여 위상 멀티플렉서가 사용되고 정확한 디지털-위상 변환을 위하여 위상보간 회로가 사용된다[4]. 버퍼 회로는 bang-bang 위상 검출기의 디지털 동작을 위하여 낮은 전압 스윙 범위를 공급 전압의 높은 스윙 범위로 변환하기 위하여 사용된다. Bang-bang 위상 검출기는 빠른 래치 동작, 최소한의 데드 존(dead zone) 그리고 위상 오프셋 제거를 위하여 하나의 인버터 전달 지연 위상 오프셋 제거를 위하여 하나의 인버터 전달 지연 시간을 가지는 대칭적인 구조를 사용한다[10].

디지털 필터는 위상 추적의 충분한 루프 대역폭을 확보하기 위하여 외부 LOOP_CTRL 신호에 의해 제어된다. 위상 추적 방법은 다음과 같다. 위상 검출기는 입력 EXT_ CLK과 FFBCLK 사이의 위상 차이에 따라 UP 신호를 디지털 필터에 전달한다. 디지털 필터는 카운터의 증감 제어와 레지스터 활성화를 위해 UP/DN과 PI_EN 신호를 FSM에 전달한다. FSM은 두 입력 신호의 위상차가 일치될 때까지 위상 보간 회로의 출력 위상을 2°씩 증가 또는 감소시킨다. 만약 출력 위상의 보간 값이 최소 또는 최대 한계 값에 도달 하면, 6:1 멀티플렉서는 FSM의 MUXCTRL 신호에 의하여 두 입력 신호를 순서적으로 30° 위상 이동시킨다. 입력 EXT_CLK과 FFBCLK 신호사이의 위상이 일치되면, FSM의 출력 MUXCTRL과 PICODE 제어 신호는 래치에 의해 저장되고 듀티 사이클 보정을 위하여 DCC_EN 신호는 90° 위상 검출기를 활성화시킨다.

클록 에지 결합기는 고속 동작을 위하여 pseudo nMOS 차동 입력 회로를 사용한다[11]. 90° 위상차를 갖는 클록 PH0~PH3 신호를 이용하여 클록 에지 결합기는 $2\times f_{(EXT_CLK)}$의 체배 주파수를 발생시킨다. 90° 위상 검출기의 출력 DUP/DN과 DPI_EN은 FSM의 카운터와 레지스터를 제어한다. 듀티 사이클 보정은 위상 추적 방법과 마찬가지로 우측 6:1위상 멀티플렉서와 위상 보간 회로를 순서적으로 제어함으로써 수행된다.

그림 10(a), (b)는 각각 디지털 필터의 블록 도와 타

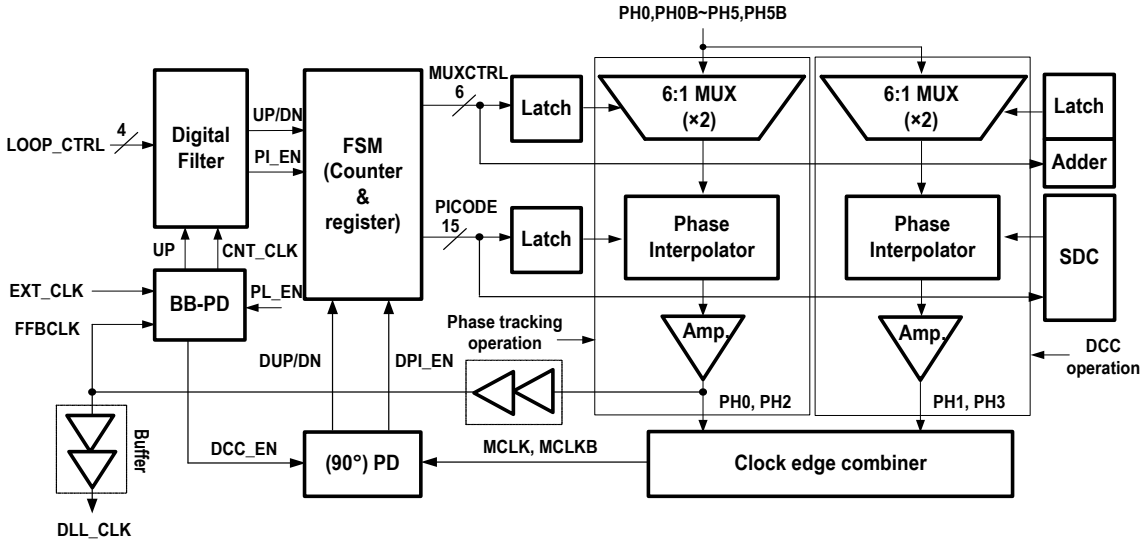
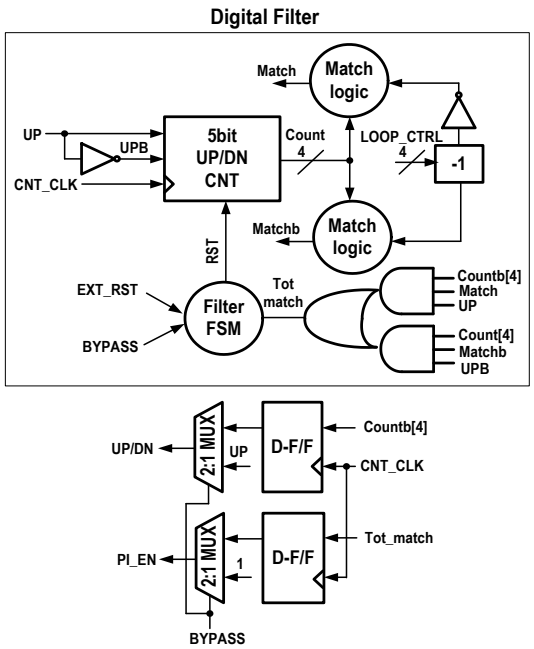
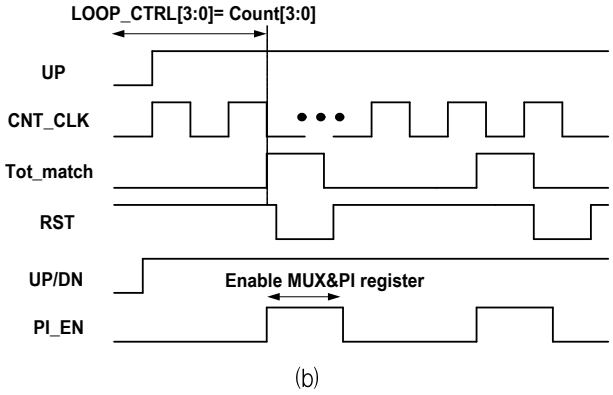


그림 9. 위상 추적 및 체배 주파수의 듀티 사이클 보정 루프
Fig. 9. Phase tracking and duty cycle correction loop of the multiple frequencies.



(a)



(b)

그림 10. 디지털 필터 (a) 블록 도 (b) 타이밍 도
Fig. 10. Digital filter.
(a) Block diagram (b) Timing diagram.

이밍 도를 보여준다. 그림 10(a)에서, 디지털 루프는 DLL의 빠른 lock 획득 시간을 얻기 위하여 동작 주파수에 따라 루프 대역폭이 제어되도록 LOOP_CTRL 신호가 사용된다. Match logic은 UP 신호 값에 따라 ±16 범위의 루프 대역폭 제어를 위해 두개의 로직 회로가 사용되고 RST_FSM은 카운터의 정확한 초기화를 위하여 RST 신호의 펄스폭을 제어한다. BYPASS 신호는 낮은 동작 주파수에 대하여 빠른 lock 획득시간을 얻기 위해 불필요한 루프 대역폭 제어를 비 활성화시킨다.

그림 10(b)에서, UP 신호가 high일 때, Match logic은 LOOP_CTRL과 카운터 디지털 출력 값을 비교하고 AND 및 OR 로직 회로에 의해 Tot_match 신호를 low에서 high로 천이시킨다. 이 때, RSTFSM은 카운터를 초기화하고 Tot_macth 신호를 다시 low로 천이시킨다. 주기적은 펄스폭을 갖는 PI_ EN 신호는 위상 추적 루프에서 FSM의 레지스터 활성화 신호로 사용되고 DLL의 루프 대역폭을 제어하게 된다.

그림 11은 체배 주파수의 듀티 사이클 보정을 위한 블록 도를 보여준다. 1/64 분주기는 듀티 사이클 보정 루프의 충분한 대역폭을 확보하기 위하여 사용되며, lock 검출기는 듀티 사이클이 보정된 후, 90° 위상 검출기를 비 활성화하여 전력 소모를 줄이기 위해 사용된다.

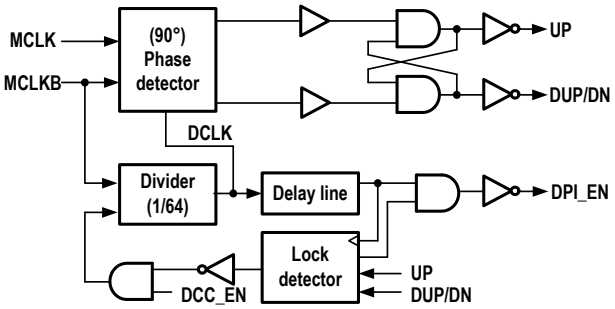


그림 11. 체배 주파수의 듀티 사이클 보정을 위한 블록도

Fig. 11. Block diagram for duty-cycle correction of multiple frequency.

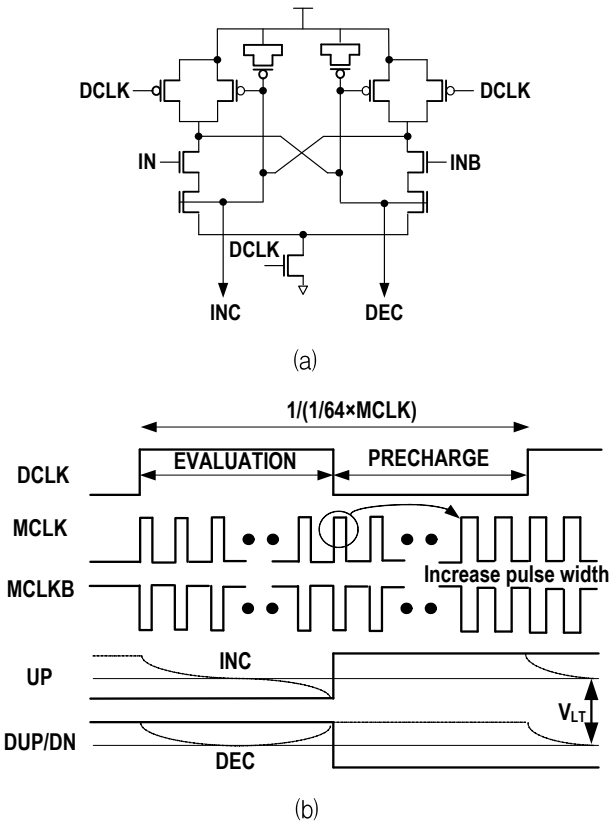


그림 12. 듀티 사이클 검출기 (a) 회로 (b) 타이밍 도

Fig. 12. Duty-cycle detector. (a) Circuit (b) Timing diagram

그림 12(a), (b)는 디지털 듀티 사이클 검출기의 회로와 타이밍 도를 보여준다[12]. 이 구조는 전류 적분기로서 아날로그 듀티 사이클 검출기를 위한 기준 전압이 필요하지 않으며, PVT 변화에 의해 발생되는 기준 전압 변화의 효과를 줄이기 위하여 요구되는 매칭 회로가 필요하지 않는다[13].

디지털 듀티 사이클 검출기의 타이밍 도에서, MCLK 신호의 1/64 분주의 주기를 갖는 클록 EN 신호는 듀티 사이클의 evaluation과 precharge를 제어한다. 듀티 사이클 검출기의 두 출력 INC와 DEC 신호는 latch 회로의 로직 문턱 전압(V_{LT})으로 감소되다가 입력 MCLK과 MCLKB 신호의 연속되는 듀티 사이클에 의하여 high 또는 low 레벨 신호로 천이된다. 이 천이된 신호에 의해 FSM은 MCLK의 듀티 사이클을 조정하고 다음의 듀티 사이클 검출을 위해 DCLK 신호는 high 레벨로 천이된다. 따라서 이러한 반복 과정에 의해 체배 주파수의 듀티 사이클 에러는 순서적으로 보정된다.

Ⅳ. 시뮬레이션 결과 및 토론

시뮬레이션 환경은 실제 칩-온 보드 상에서의 DLL 성능 평가를 고려하여 본딩 와이어 및 오프-칩 채널을 포함한 포스트 시뮬레이션이 수행되었다. 본딩 와이어는 T형 모델이 사용되며 R, L, C 값은 각각 0.6nH, 0.335Ω, 그리고 0.7pF이다. 오프-칩 채널은 50Ω 특성 임피던스를 가지는 10cm PCB 선로를 사용하며 Hspice의 2D solver를 이용한 R, L, G, C 값을 사용한다. 수신단 모델은 채널의 임피던스 매칭을 위한 50Ω 저항과 부하를 고려한 3 pF 커패시터를 사용한다.

그림 13은 제안된 DLL의 입력 위상 잡음 전달 특성 시뮬레이션 결과를 보여준다. 일반적인 DLL은 전 대역 통과 필터 특성을 갖는 반면에 제안된 DLL은 혼합 VCO/VCDL 회로에 의하여 저역 통과 필터 특성을 가진다. 이 필터 특성 때문에 DLL은 입력 클록의 고주파 위상 잡음이 증가할수록 -13dB 이하의 낮은 위상 잡음

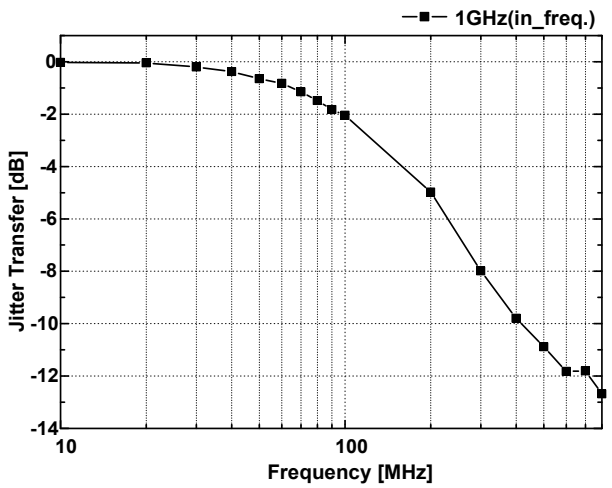


그림 13. 제안된 DLL의 입력 위상 잡음 전달 특성

Fig. 13. Input phase noise transfer characteristic of the proposed DLL.

을 가지는 출력 신호를 발생시킨다.

그림 14는 시간 도메인 상에서 DLL이 lock 된 후, 입력 CLKIN과 FFBCLK 신호 사이의 정적 위상 스큐 및 체배 주파수의 포스트 시뮬레이션 결과를 보여준다. 이 결과에서, 50%의 듀티 사이클을 가지는 CLKIN이 입력될 때, 정적 위상 스큐는 주파수 및 위상 추적 루프 제어에 의하여 약 3±1psec를 가진다. 또한, 체배 주파수는 클록 에지 결합기와 듀티 사이클 보정을 이용하여 50±1% 이하의 듀티 사이클 에러를 가지는 2GHz의 주파수를 발생시킨다.

그림 15는 입력 듀티 사이클 에러에 따른 체배 주파수의 출력 듀티 사이클 보정을 보여준다. 이 결과에서,

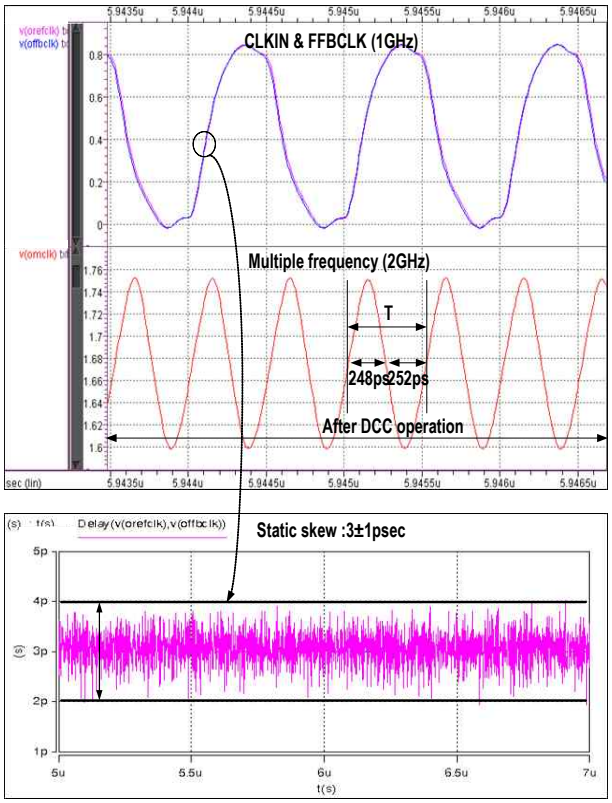


그림 14. DLL lock 된후, 정적 위상 스큐 및 체배 주파수의 듀티 사이클 보정 시뮬레이션 파형

Fig. 14. After the DLL locked, the simulated waveform of static phase skew and duty cycle correction of multiple frequency.

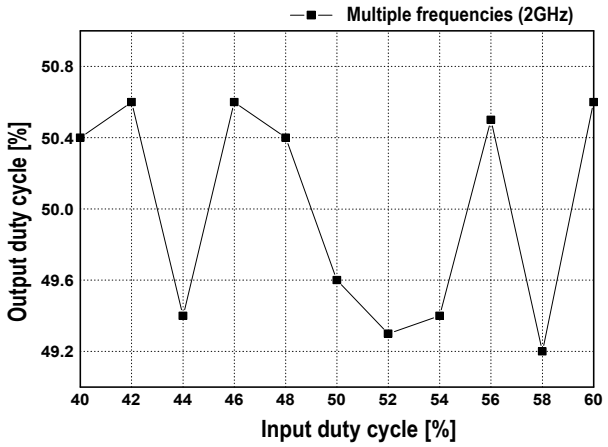


그림 15. 입력 듀티 사이클 에러에 따른 체배 주파수의 출력 듀티 사이클 보정

Fig. 15. Output duty-cycle correction of the multiple frequencies according to input duty-cycle error.

표 1. 제안된 DLL의 성능 요약

Table 1. Performance summary of the proposed DLL.

	[3]	[5]	[6]	This work(*)
Process	0.18μm CMOS	0.35μm CMOS	0.18μm CMOS	0.18μm CMOS
Active area	NA	0.07mm^2	0.053mm^2	0.4mm^2
Operating frequency	Max. 750MHz	240MHz~450MHz	440MHz~1.5GHz	0.3GHz~1GHz
Multiple frequencies	NA	120MHz~1.8GHz	NA	0.6GHz~2GHz
Jitter	pk-pk 11.84psec@750MHz	pk-pk (cycle) 1.8psec@1.6GHz	pk-pk 7.5psec@1.5GHz	pk-pk (cycle) 6psec@1GHz
Input phase noise reduction	-3dB@750MHz +Noise freq.(400MHz)	NA	NA	-13dB@1GHz +Noise freq.(800MHz)
Correction range	NA	NA	20%~80%(*)	40%~60%
Correction error (Multiple frequenices)	NA	50±0.5%@1.6GHz	50±1.8%@1.5GHz(*)	50±1%@2GHz
Power dissipation	77mW@750MHz	86.6mW@1GHz	43mW@1.5GHz	54mW@1GHz, 2GHz(multiple freq.)

*Simulation result

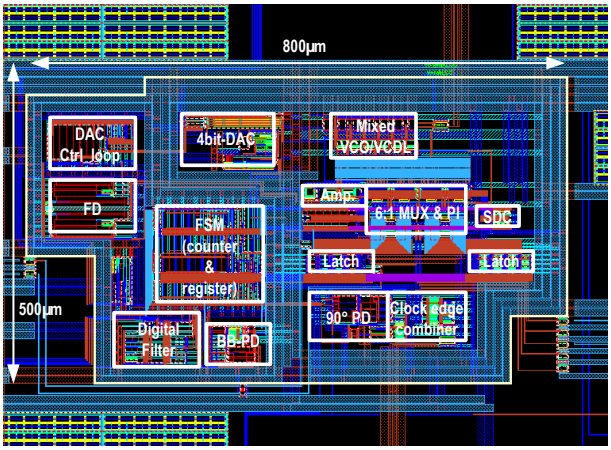


그림 16. 제안된 DLL의 레이아웃
Fig. 16. Layout of the proposed DLL.

40%~60%의 듀티 사이클 에러를 갖는 1GHz 입력 클록에 대하여 2GH 체배 주파수의 듀티 사이클 에러는 50±1%로 보정된다.

그림 16은 제안된 DLL의 레이아웃을 보여준다. 코어 면적은 800μm×500μm이며 DLL의 시뮬레이션 성능 요약은 표 1에 나타내었다.

V. 결 론

이 논문에서, 저주파 통과 필터 특성을 갖는 입/출력 위상 전달과 체배 주파수의 듀티 사이클 보정을 위하여 VCO/VCDL 혼용기반의 다중 위상 DLL이 제안되었다. 고주파 입력 위상 잡음 억제는 고주파 잡음 필터 없이 간단한 위상 보간 회로를 포함하는 혼용 VCO/VCDL 구조를 사용하여 성취될 수 있다. 이 위상 보간 회로의 이중 입력 nMOS의 크기 비는 DLL의 루프 대역폭을 변화시킴으로써 저주파 통과 필터 특성을 갖는 PLL의 입/출력 위상 전달과 같은 특성을 갖게 한다. 그 결과로서, DLL의 출력 위상 잡음은 800MHz 입력 위상 잡음을 갖는 1GHz 입력 클록에 대하여 -13dB 이하로 개선된다. 또한, 제시된 DLL은 추가적인 보정 제어 루프 없이 위상 추적 루프를 통하여 넓은 범위의 듀티 사이클 에러를 보정할 수 있다. 듀티 사이클 에러 보정은 90° 위상 검출기를 이용하여 40%~60%의 입력 듀티 사이클 에러에 대하여 50±1%이하로 보정된다. 따라서 본 제안된 DLL은 입력 위상 잡음이 크게 영향을 미치는 고속 입/출력 인터페이스나 높은 주파수를 요구하는 클록킹 시스템에 적합하게 사용될 수 있다.

참 고 문 헌

[1] M-J. E. Lee, et al., "Jitter Transfer Characteristics of Delay-Locked Loops-Theories and Design Techniques," IEEE J. Solid-State Circuits, vol 38 pp. 614-620, April 2003.
[2] R. Farjad-Rad et al., "A 0.2-2-GHz 12-mW multiplying DLL for low jitter clock synthesis in highly integrated data-communication chips," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 76-77, February 2002.
[3] Amber Han-Yuan Tan et al., "Adaptive-Bandwidth Mixing PLL/DLL Based Multi-Phase Clock Generator for Optimal Jitter Performance," IEEE Custom Integrated Circuits Conf. (CICC), September 2006
[4] S. Sidiropulos, et al., "A Semi-digital dual Delay Locked Loop," IEEE J. Solid-State Circuits, vol 32. pp.1683-1692, November 1997.
[5] Jin-Han Kim, et al., "A 120-MHz-1.8-GHz CMOS DLL-Based Clock Generator for Dynamic Frequency Scaling," IEEE J. Solid-State Circuits, vol. 41, pp2077-2081. September 2006.
[6] Dongsuk Shin, et al., "A 7ps Jitter 0.053mm^2 Fast Lock All-Digital DLL With a Wide Range and High Resolution DCC," IEEE J. Solid-State Circuits, vol 44, pp. 2437-2449, September 2009.
[7] F. Mu, et al., "Pulsewidth control loop in high-speed CMOS clock buffers," IEEE J. Solid-State Circuits, vol. 35, pp. 134-141, February 2000.
[8] S. R. Han, et al., "A 500-MHz-1.25 GHz fast-locking pulsewidth control loop with presettable duty cycle," IEEE J. Solid-state Circuit, vol. 39, pp. 463-468, March 2004.
[9] J. Maneatis, et. al., "Precise delay generation using coupled oscillators," IEEE J. Solid-State Circuits, vol 28 pp. 1273-1282 December 1993.
[10] Young-Sang Kim, et al., "Deadzone-Minimized Systematic Offset-Free Phase Detectors," IEICE Trans. Electron., vol E91-C, pp. 1525-1528. September. 2008.
[11] Kyunghoon Chung, et al., "An Anti-hamonic, programmable DLL-Based Frequency Multiplier for Dynamic Frequency Scaling," Asian Solid-state Circuits Conference, pp. 276-279, November 2007.
[12] Ha, J. C. et al., "Unified all-digital duty-cycle and phase correction circuit for QDR I/O interface," Electronics Lett., vol. 44, pp. 1300-1301

[13] Jang, Y. C., et al., “CMOS digital duty-cycle correction circuit for mult-phase clock,” Electronics Lett., vol. 39, pp. 1383-1384 September 2003.

저 자 소 개

하 종 찬(학생회원)
2002년 한림대학교 전자공학과 학사 졸업.
2004년 한림대학교 전자공학과 석사 졸업.
2010년 숭실대학교 전자공학과 박사 졸업.
2010년～2010년 (주) 동부하이텍 선임 연구원
2010년～현재 현대모비스 주임 연구원
<주관심분야 : CMOS High speed Clocking and I/O interface circuit design >

위 재 경(정회원)-교신저자
1998년 연세대학교 물리학과 학사 졸업.
1990년 서울대학교 물리학과 석사 졸업.
1998년 서울대학교 전자공학과 박사 졸업.
1990년～2002년 하이닉스 메모리 연구소 근무
2002년～2004년 한림대학교 정보통신공학부 조교수
2004년～2007년 숭실대학교 정보통신전자공학부 조교수
2008년～현재 숭실대학교 정보통신전자공학부 부교수
<주관심분야 : System-in-Package 설계 및 고속 SoC, high speed I/O interface, DLL/PLL, Mixed Mode 설계>

이 필 수(정회원)
1990년 인천대학교 물리학과 학사 졸업.
1992년 인천대학교 전자공학과 석사 졸업.
2008년～현재 숭실대학교 전자공학과 박사 과정.
1992년～1997년 KEC 연구소
1997년～현재 하이닉스반도체 연구소
<주관심분야 : IC/ Package/ Board분석 & Modeling, EMC/SI/PI 분석>

정 원 영(정회원)
1988년 성균관대학교 물리학과 학사 졸업.
1996년 한양대학교 전자공학과 석사 졸업.
2008년 숭실대학교 전자공학과 박사 졸업.
1988년～1998년 LG반도체 선임 연구원
1998년～2003년 미국 Cadence Design System Sr. Engineering Manager
2003년～2007년 미국 Nanno Solution, Inc. Exe. VP/CTO
2007년～현재 (주)동부하이텍 반도체 부문 DE 팀장
<주관심분야 : CAD & VLSI, DFM/DFY, TCAD/ESD Simulation & Modeling>

송 인 채(정회원)
1981년 서울대학교 전자공학과 학사 졸업.
1984년 U.C.L.A Electrical Engineering 석사 졸업.
1991년 U.C.L.A Electrical Engineering 박사 졸업.
1985년～1992년 Hughes Aircraft Company, Staff Engineer
1992년～현재 숭실대학교 정보통신전자공학부 교수
<주관심분야 : 반도체 소자, Modeling, 집적회로 설계>