

논문 2010-47SD-2-8

단일 역률 달성을 위한 Boost Converter용 PFC IC 설계

(Design of Boost Converter PFC IC for Unity Power Factor Achievement)

전인선*, 김형우**, 김기현**, 서길수**, 조효문***, 이종화***

(In-Sun Jeon, Hyung-Woo Kim, Ki-Hyun Kim, Kil-Soo Seo, Hyo-Mun Jo, and Jong-Hwa Lee)

요약

본 논문에서는 입력 전류를 정현파가 되도록 제어하기 위하여 boost 인덕터 전류의 평균값이 정현파 모양을 따라가도록 하는 평균전류 제어 방식의 PFC IC를 설계하였다. 설계된 IC는 EMI 규격에 적합하도록 75kHz의 고정주파수를 가지고 고속 제어를 위해 넓은 대역폭을 갖도록 오차 증폭기 및 전류 증폭기에 RC 보상 루프를 구성하였다. 또한 시스템 내부의 오실레이터를 이용해 구형파와 삼각파를 발생시켜 역률제어에 적합한 신호를 생성하고, UVLO, OVP, OCP, TSD의 회로를 추가하여 시스템이 안정적으로 동작이 되도록 하였다. 설계된 IC는 1 μ m High Voltage(20V) CMOS 공정을 이용하였고, 역률보정기능과 각종 보호 회로를 검증하기 위해 Cadence의 Spectre simulator를 이용하였다.

Abstract

We designed Average Current Control PFC IC which has make the average value of boost inductor current became the shape of sine wave. Designed IC has fixed frequency of 75kHz to meet EMI standard requirement. And also RC compensation loop has been designed into the error amp and the current amp, in order that it has wide bandwidth for high speed control. And we use the oscillator which generates by square wave and triangle wave, and add to UVLO, OVP, OCP, TSD which is in order to operate stability. We simulated by using Spectre of Cadence to verify the unity power factor function and various protection circuits and fabricated in a 1 μ m High Voltage(20V) CMOS process.

Keywords: Power Factor Correction IC, Boost converter, Continuous Current Mode, Average Current Mode

I. 서론

역률은 AC 입력전류와 입력 전압의 위상차와 입력 전류의 파형이 정현파에 가까운 정도에 따라서 정의되

는 값이다. 위상차가 작을수록 그리고 정현파에 가까울수록 역률은 1에 가까운 값이 된다. 역률이 낮으면 낮을수록 무효전력이 상승하기 때문에, 전력공급 측면에서 보면 에너지 효율이 상당히 낮게 나타난다. 따라서 추가의 발전소가 필요하고 송전 선로와 변전소의 용량도 필요 이상으로 커지게 된다. 이에 유럽 및 전 세계적으로 역률 규제 규정인 IEC 61000-3-2 표준이 필수조항이 되자 전기, 전자 기기에 에너지 효율을 증가시키기 위해 역률 개선회로를 부가하거나 역률 개선 기능을 갖도록 회로를 변형하는 소위 active filter 또는 PFC(Power Factor Correction) 등의 회로기술을 구사하는 양상을 띠고 있다.^[1~2]

역률제어 IC는 사용되는 응용전력에 따라 크게 DCM

* 학생회원, *** 평생회원-교신저자, 울산대학교 전기전자정보시스템공학부

(Department of Electrical and Electronic Engineering, Ulsan University.)

** 정회원, 한국전기연구원

(Korea Electrotechnology Research Institute)

※ 본 논문은 지식경제부의 에너지자원 기술개발 사업인 '대형 가전용 대기전력 절감기술 개발 사업'의 지원과 반도체설계교육센터, IT-SoC 핵심설계인력양성사업, 네트워크 기반 자동화 연구센터 지원을 받아 수행된 연구입니다.

접수일자: 2009년10월29일, 수정완료일: 2010년1월17일

(Discontinuous Conduction Mode)과 CCM(Continuous Conduction Mode)으로 나누어진다. DCM방식은 회로가 간단하여 쉽게 구현할 수 있지만 EMI 스트레스가 커지는 단점이 있다.^[3~6] 반면에 CCM 방식은 회로가 복잡한 대신에 상대적으로 적은 EMI가 발생하고 대전력 기기에도 사용할 수 있다는 장점이 있다. 이 CCM은 Average Current mode와 Input Current shaping 으로 분류된다. Average current mode는 입력전류를 정현파가 되도록 제어하기 위하여 부스트 인덕터 전류의 평균값이 정현파 모양을 따라가도록 제어하는 방식으로 역률 특성은 좋지만 IC의 핀 수가 증가하고 가격이 상승하는 단점이 있다.^[7~8] Input Current shaping은 출력전압 오차 증폭기만으로 입력 전류가 정현파에 근사하도록 제어하는 방식이고, 특성은 평균전류 제어방식보다는 낮지만 적은 핀 수로 구현이 가능하다.^[9]

본 논문에서는 Average current mode 방식이 가지고 있는 핀 수에 따른 가격증가를 피하기 위해 16핀의 기존 PFC IC를 12핀으로 줄이고, 또한 2200 $\mu\text{m} \times 1700 \mu\text{m}$ 크기의 칩 면적을 감소시키기 위해 블록별로 자체 바이어스를 사용하지 않고 하나의 바이어스 회로로 통합하여 2000 $\mu\text{m} \times 1500 \mu\text{m}$ 의 IC를 설계하였다. 설계된 IC는 고속 응답을 위한 넓은 대역폭을 가지는 오차 증폭기 및 전류 증폭기 기능과 과전압, 과전류, UVLO(under Voltage Lock Out) 등의 보호기능이 포함되어 있다. 또한 Power MOSFET의 안정적인 동작을 위해 소프트 스타트 회로를 추가 하였고, PWM 신호 생성을 위한 클럭 및 삼각파발생회로도 포함되어 있다. 설계된 PFC IC는 1 μm High Voltage(20V) CMOS 공정을 이용하여 설계하였으며, 부스트 컨버터 테스트 모듈로 특성을 평가하였다.

II. PFC IC 설계

2.1. PFC IC System 구성

설계된 IC의 전체회로도 는 그림 1에 나타내었고, Active 역률보정을 위해 평균 전류 제어 방식을 이용하였다. 이 방식은 입력 전류를 정현파가 되도록 제어하기 위하여 부스트 인덕터 전류의 평균값이 정현파 모양을 추종하도록 제어한다. PFC 시스템 구성은 역률 보정을 위한 제어부분, 시스템 보호를 위한 Protection 부분, Power MOSFET 구동을 위한 출력 드라이버 부분으로 구성된다.

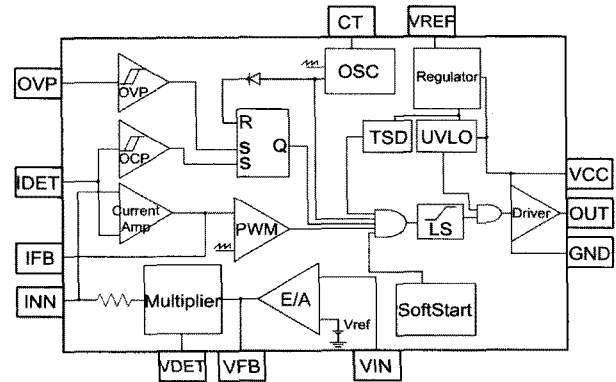


그림 1. PFC IC 내부 블록도
Fig. 1. Internal block diagram of PFC IC.

2. 2. 제어 부분 설계

오차 증폭기는 일정한 출력전압을 유지하기 위해 Voltage feedback loop로 구성된다. 그림 2는 비반전 입력이 IC 내부에서 발생하는 1.5V의 기준전압(Vref)에 연결되는 것을 나타내었다.

$$V_o = \frac{R_1 + R_2}{R_1} \times V_{ref} \quad (1)$$

$$A_v = \frac{R_4}{R_3(1 + j\omega C_1 \times R_4)} \quad (2)$$

$$f_c = \frac{1}{2\pi C_1 \times R_4} \quad (3)$$

출력 전압은 식 (1)과 같고, VFB 핀과 VIN핀 사이에 루프 보상을 위해 RC 회로를 구성하였다. 전압 이득은 식 (2)처럼 나타낼 수가 있다.

오차 증폭기 출력에서 100Hz 또는 120Hz 리플이 발생했을 때, 식 (2)에 의해 전압이득이 작아지는 경우

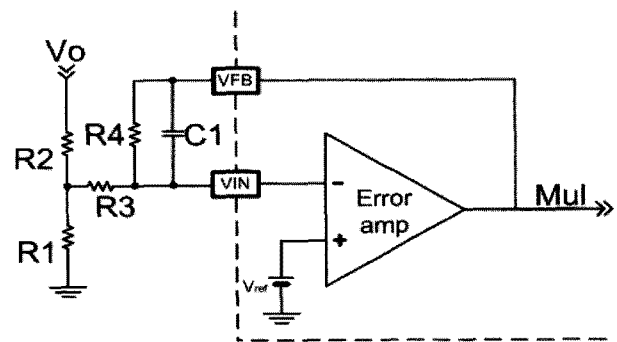


그림 2. 출력전압 피드백 루프에 사용된 보상회로
Fig. 2. Compensator used in the output-voltage feedback loop.

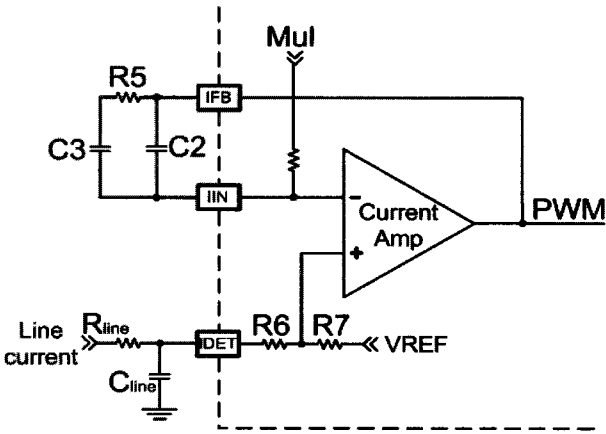


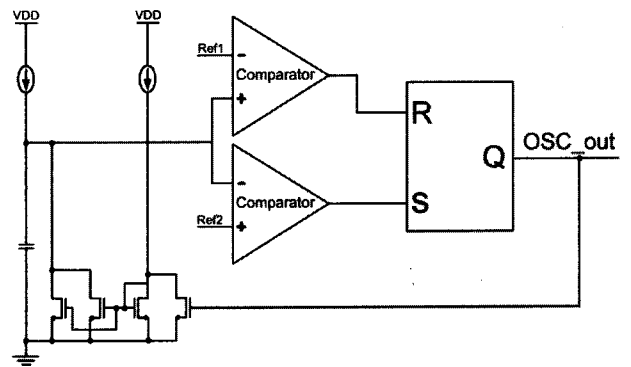
그림 3. 라인 전류루프 보상회로
Fig. 3. Compensation circuit for line current loop.

가 발생하므로 PFC 컨버터는 안정적으로 동작하지 않게 된다. 안정된 동작을 보장하기 위해 차단주파수 f_c 는 대략 2Hz로 설정하였는데, 이는 식 (3)에 의해 $C1=0.15\mu F$, $R4=470k\Omega$ 으로 결정하였다. 부스트 된 출력전압 V_o 가 380V이므로 $R1=480k\Omega$, $R2=1.1k\Omega$ 으로 설정하고, 전압이득이 60dB의 값을 가지므로 $R3=52k\Omega$ 으로 설계하였다.

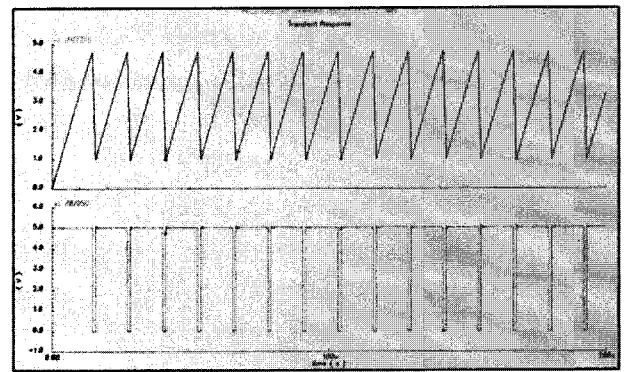
그림 3에 전류 증폭기는 라인전류가 정현파를 따르도록 제어하기 위한 전류루프로 구성된 것을 나타내었다. INN핀과 Multiplier 출력은 기준 전류신호로써 연결되고, IDET핀으로부터 라인전류는 입력된다. INN핀과 IFB핀은 루프보상을 위해 RC회로로 연결된다. 전류 증폭기에서 충분한 phase margin을 위해 $C2=68pF$, $C3=470pF$ 의 값으로 설계하였다. 또한 출력은 PWM 신호를 생성하는 비교기의 입력으로 연결이 되고, 오실레이터에서 발생하는 삼각파와 비교하여 신호를 생성한다.

2. 3. PWM 발생회로 설계

그림 4(a)는 설계된 IC 내부의 75kHz 동작주파수를 가지는 구형파와 삼각파형을 생성하는 오실레이터 회로이다. 이 회로는 n-pair 비교기와 p-pair 비교기, RS-latch로 구성하였다. 전류 증폭기의 출력이 삼각파와 비교될 때 90%의 duty비를 가질 수 있도록, 비교기에 입력되는 Ref1과 Ref2는 각각 4.2V와 0.6V로 설계하였다. 회로 동작은 연결된 nmos들이 OSC_Out의 신호에 따라 on/off 되고, 이에 커패시터가 충전, 방전을 한다. 따라서 각각 비교기의 기준전압에 의해 RS latch 블록을 set과 reset을 반복함으로써 구형파 및 삼각파를



(a)



(b)

그림 4. (a) 구형파 및 삼각파 생성 회로 (b) 동작 파형
Fig. 4. (a) Square and Triangle waveform creation circuit (b) Operation waveform.

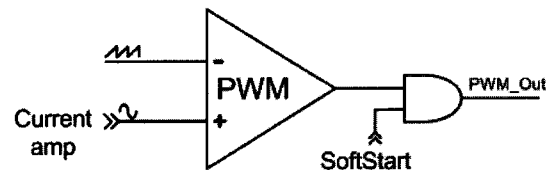


그림 5. PWM 생성 회로
Fig. 5. PWM creation circuit.

발생하게 된다. 그림 4(b)는 설계한 오실레이터의 동작 파형을 나타낸다.

여기서 발생된 삼각파형과 전류 증폭기 출력을 비교하여 PWM 신호를 생성하는 회로를 그림 5에 나타내었다. 이 때 생성된 PWM 신호는 최종적인 출력의 duty cycle과 같다. 소프트 스타트회로는 최종적인 출력이 전력용 반도체를 동작시킬 때, 순간적으로 과전류가 흐르는 것을 방지하기 위해, 입력전압의 한 주기인 약 10ms 정도의 시간을 가지도록 AND gate를 이용하여 PWM 출력을 구성하였다.

2. 4. 보호회로 설계

IC의 안정된 동작을 위해 과전압 보호회로(Over

Voltage Protection)와 과전류 보호회로(Over Current Protection), TSD(Thermal shut Down), UVLO 회로를 설계하였다.

2. 4. 1. OVP, OCP 설계

그림 6은 OVP와 OCP의 구성도를 나타내었다. IC가 동작중일 때 OVP, OCP의 출력은 low level 전압이고, OVP는 출력전압이 결정된 전압, 약 380V의 5% 전압증가가 발생되면 High level 전압을 출력하여 IC의 동작을 멈춘다. OCP는 IDET로 입력되는 전압이 0V에서 -1.0V까지 입력전압 범위를 가지고, 5%의 전압증가가 발생되면 IC 동작을 멈춘다. 또한 각각의 입력되는 전압이 떨리므로 약 300mV의 히스테리시스를 가지도록 설계하였다.

2. 4. 2. TSD 설계

TSD는 IC의 온도가 증가하는 것을 방지하고자 설계된 회로이다. 그림 7은 TSD의 내부 회로를 나타낸 것이다. 바이어스 입력을 받는 트랜지스터의 온도에 따른 전류변화량에 의해 R10, R11에 걸리는 전압이 달라지고, 따라서 입력전압의 크기가 달라지므로 기준전압보다 더 높은 전압이 걸리게 된다. 이에 출력은 0V가 되고, IC의 동작은 멈추게 된다. 설계된 TSD는 약 125°C 가 되었을 때 IC의 동작이 멈추게 되고, 약 80°C가 되면 다시 동작한다.

2. 4. 3. UVLO 설계

UVLO는 IC가 동작중일 때 High level 전압이 출력으로 나타나고, 입력되는 VCC 값이 낮아지게 되면 IC 출력을 차단하여 시스템이 안정하게 동작하도록 한다. 그림 8에 UVLO 회로를 나타내었다. UVLO 회로의 정지전압은 8V의 값을 가지고, 시작전압은 12V의 값을 가지도록 설계되었다. 4V의 히스테리시스를 가지고 있고, 이는 각각의 저항 값과 비교기의 출력신호를 인버터해서 nmos를 제어함으로써 나타낼 수 있다.

2. 5. 전체회로 레이아웃

그림 9는 1 μ m High Voltage(20V) CMOS 공정을 이용하여 설계된 PFC IC의 레이아웃을 나타내었다. 설계된 IC의 핀 수는 12핀이고, 칩 면적은 2000 μ m \times 1500 μ m이다.

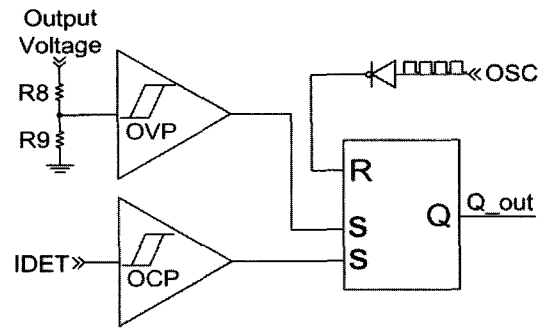


그림 6. OVP, OCP 회로 구성도
Fig. 6. Configuration of OVP, OCP circuit.

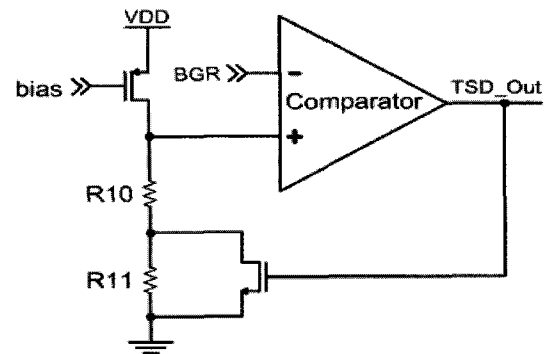


그림 7. TSD 블록 내부 구성도
Fig. 7. Internal configuration of TSD block.

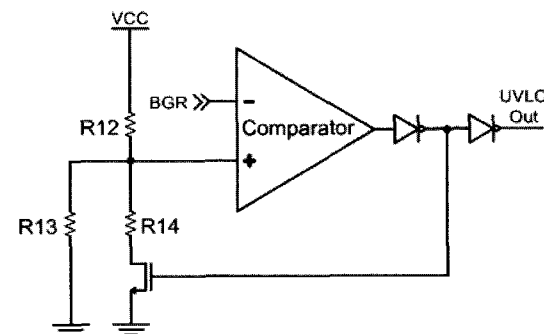


그림 8. UVLO 블록 내부 구성도
Fig. 8. Internal configuration of UVLO block.

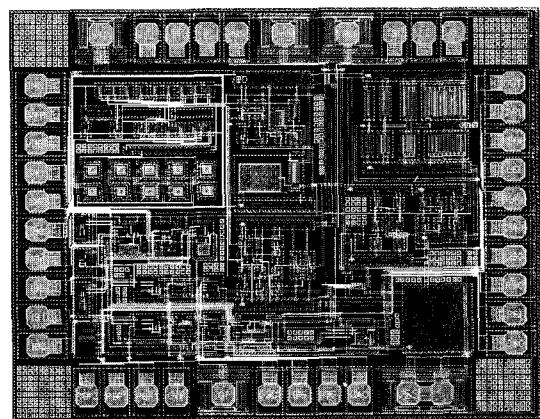


그림 9. PFC IC의 레이아웃
Fig. 9. Layout of PFC IC.

III. 설계된 PFC IC의 검증

3. 1. PFC IC 검증회로 설계

설계된 PFC IC의 특성을 평가하기 위해 부스트 컨버터 검증회로를 구성하였다. 그림 10은 구성한 검증회로를 나타낸 것이다.

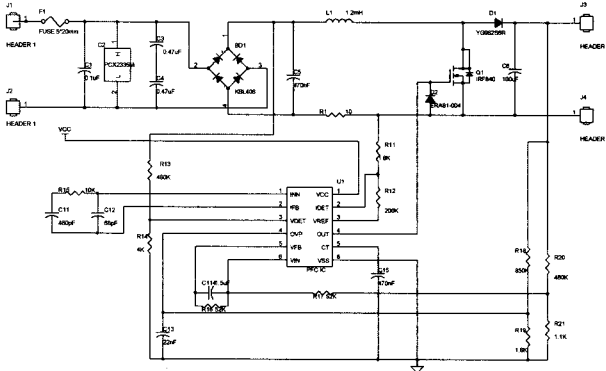


그림 10. PFC IC검증을 위한 시뮬레이션 회로
Fig. 10. Simulation circuit of PFC IC.

설계된 IC의 특성 평가를 위한 파라미터들은 다음과 같다.

- Output voltage : 380 Vdc
- Input line voltage : 90 - 260 Vac
- Line frequency : 55 - 65 Hz
- Switching frequency : 75 kHz
- Output power : 300W
- Efficiency : 80%

위의 파라미터 값을 이용해서 부스트 컨버터의 인덕터 크기를 결정한다. 먼저 효율이 80%이므로, 식 (4)에 의해 최대피크전류는 4.5A가 된다.

$$I_{pk} = \frac{\sqrt{2} \times 0.8 P_{IN}}{V_{IN(min)}} \quad (4)$$

$$\Delta I = 0.2 \times I_{pk} \quad (5)$$

$$D = \frac{V_o - V_{IN(peak)}}{V_o} \quad (6)$$

식 (5)에 나타낸 리플 전류는 일반적으로 최대피크전류 값의 약 20%정도가 발생하므로 0.9A peak-to-peak 값을 가지게 된다. 다음은 정류된 라인전압의 peak가 입력전압의 peak와 같다고 하면, 식 (6)에 의해 Duty ratio는 0.67의 값을 가지게 된다.

위의 결정된 값으로 부스트 컨버터의 인덕턴스를 계산하면 약 1.2mH의 값을 가지게 된다. 이는 식 (7)에 의해 결정하였다. 실제로 사용한 인덕턴스의 값은 약 1mH로 Power MOSFET의 발열과 노이즈의 더 많은 감소를 위해 계산된 값보다는 낮은 값으로 사용했다.

$$L = \frac{V_{IN} \times D}{f_s \times \Delta I} \quad (7)$$

3. 2. PFC IC 시뮬레이션 결과

그림 11은 부스트 컨버터 검증회로의 시뮬레이션 결과를 나타낸 것이다.

첫 번째 파형은 정류된 Vac를 IC 내부의 Multiplier에 입력으로 받기 위해 저항으로 전압분배 한 것을 나타내었고, 두 번째 파형은 Power MOSFET을 구동시키기 위한 IC의 출력파형을 나타낸다. 세 번째 파형은 380V로 부스트된 출력전압이고, 마지막 파형은 약 5A정도의 값을 가지는 인덕터 전류파형이다.

식 (8)은 정류된 라인전압과 IC 출력 사이의 관계를 나타낸다. 부스트 컨버터에서 인덕터 값과 전류는 변화가 없으므로, 8.3ms의 한 주기에서 라인전압이 최고 일 때(4.15ms)는 출력 구형파는 minimum duty를 가지고, 최저 일 때(8.3ms)는 maximum duty를 가진다. 이는 각각의 그림 12의 (b)와 (c)에 나타내었다.

$$V_L = L \frac{di}{dt} \quad (8)$$

그림 12(a)에 나타낸 IC의 출력에 의해서 부스트 컨버터의 라인전류는 라인전압과 동 위상을 가지게 되고,

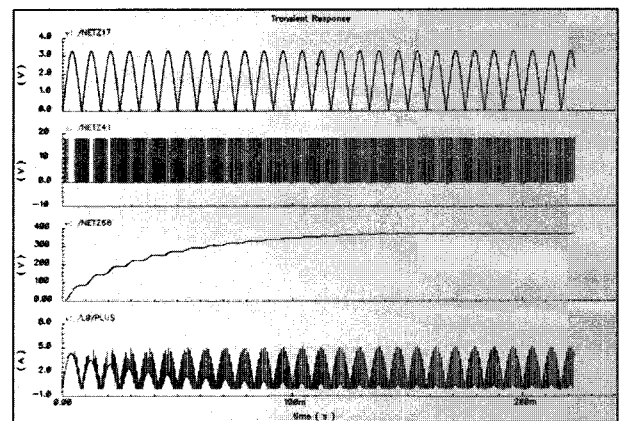
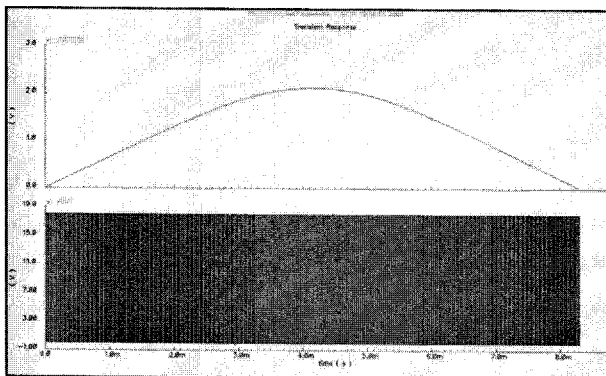
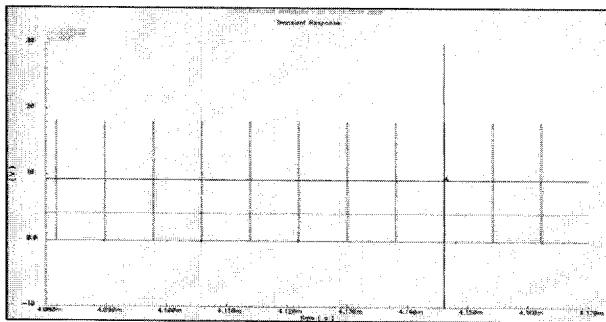


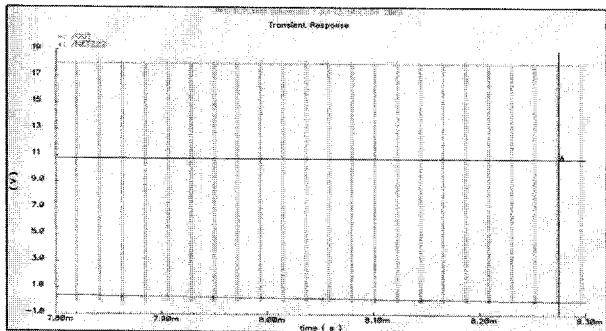
그림 11. PFC IC 시뮬레이션 파형
Fig. 11. Simulation waveform of PFC IC.



(a)



(b)



(c)

그림 12. (a) 라인전압과 IC 출력 관계 (b) 8.3ms 출력 (c) 4.15ms 출력

Fig. 12. (a) The relationship of line voltage and IC output (b) output of 8.3ms (c) output of 4.15ms.

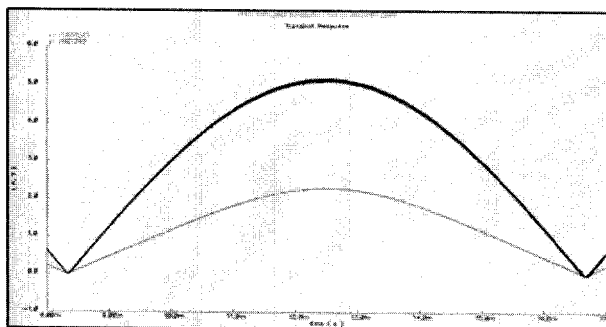


그림 13. 라인 전류와 전압과의 관계

Fig. 13. The relationship of line current and voltage.

표 1. 설계된 PFC IC의 출력특성

Table 1. Output characteristic of designed PFC IC.

파라미터	심볼	결과	단위
Maximum duty cycle	D_{max}	92	%
Minimum duty cycle	D_{min}	4	%
Output voltage	V_o	18	V
rising time	T_r	5	ns
falling time	T_f	5	ns

표 2. 기존의 회로와 설계한 회로의 성능 비교

Table 2. Performance Comparison of conventional circuit and designed circuit.

파라미터	기존회로	설계회로	단위
Power Consumption	56	32	mW
Line regulation	25	20	mV
Load regulation	11.2	9.5	mV
Chip size	2200×1700	2000×1500	μm

이것은 역률 제어가 잘 되고 있다는 것을 의미한다.

그림 13에 라인전류와 전압과의 관계를 나타내었다. 시뮬레이션 결과에서 Power MOSFET의 특성상 on/off 시 발생하는 노이즈 때문에 라인전류에 약간의 리플이 발생하는 것을 확인할 수 있다.

표 1과 2는 설계한 PFC IC의 특성 및 성능을 나타낸 것으로 확인을 위해 VCC 전압은 18V, 온도 변화는 -30°C 에서 85°C 까지 변화를 주었고 Power MOSFET 은 'IRF840' 모델을 사용하였다.

IV. 결 론

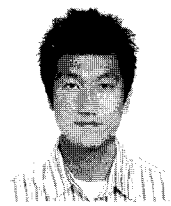
본 논문에서는 $1\mu\text{m}$ High Voltage(20V) CMOS 공정을 이용하여 전류연속모드의 평균전류 제어 방식으로 PFC IC를 설계하고, 부스트 컨버터 시뮬레이션 회로를 이용하여 IC의 특성을 검증하였다.

설계된 IC는 EMI 규격에 적합하도록 75kHz의 고정 주파수를 가지고 고속 제어를 위해 넓은 대역폭을 갖도록 오차 증폭기 및 전류 증폭기에 보상 루프를 구성하였고, 안정된 IC 동작을 위해 UVLO, OVP, OCP, TSD의 회로를 추가하여 설계하였다. 또한 Cadence Spectre simulator를 이용하여 역률보정기능과 각종 보호회로가 잘 동작하는 것을 확인하였다.

참고 문헌

- [1] T.-F. Wu, and C.-L. Shen, J.-R. Tsai and H.-S. Nien “A PFC Control Circuit for Accommodating Line-Voltage Distortion and to Achieve High Power Factor and Reduce Harmonic Components”, Proceeding of the IEEE PESC'05, pp. 2327-2332, June 2005.
- [2] P. Todd, “UC3854 Controlled Power Factor Correction Circuit Design”, Unitrode App. Note, 2003.
- [3] 김정원 “Power Factor Correction IC의 기술동향”, 전력전자학회지 제10권, 제1호, 13-17쪽, 2005년 2월
- [4] Mohamed Orabi, Tamotsu NNinomiya “A Unified Design of Single-Stage and Two-Stage PFC Converter”, Proceeding of the IEEE PESC'03, Vol.4 pp. 1720-1725, June 2003.
- [5] 곽동걸, 이봉섭, 정도영 “새로운 무손실 스너버에 의한 PWM-PFC 스텝-업 컨버터” 대한전자공학회 논문지 제43권, SC편 제1호, 45-52쪽, 2006년 1월
- [6] P.RAM Mohan, M.Vijaya Kumar, O.V.Raghava Reddy “A Novel Boost PFC Converter Employing ZVS Based Compound Active Clamping Technique with EMI Filter” 대한전자공학회 논문지 제8권, 제1호, 85-91쪽, 2008년 3월
- [7] 김형우, 서길수, 김기현, 박현일, 김남균 “1.5kW급 System Power Module용 Power Factor Correction IC 설계” 대한전자공학회 하계종합학술대회 제31권, 제1호, 499-500쪽, 2008년 6월
- [8] 서길수, 김형우, 김기현, 박현일, 김남균, 박주성 “Zero Cross Detection Power Factor Correction IC 설계” 대한전자공학회 하계종합학술대회 제31권, 제1호, 519-520쪽, 2008년 6월
- [9] Dorin Petreus, Ionut Ciocan and Cristian Farcas “Average current mode control versus borderline current mode control on power factor correction circuits” Proceeding of the IEEE ISSE'06 29th pp. 262-267 May 2006.

저 자 소 개



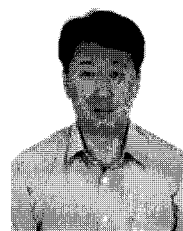
전 인 선(학생회원)
 2008년 울산대학교 전자공학과
 학사 졸업.
 2008년 3월~현재 울산대학교
 전자공학과 석사과정.
 <주관심분야 : PMIC 및 Boost
 converter 설계>



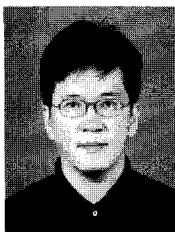
김 형 우(정회원)
 1998년 아주대학교 전자공학과
 학사 졸업.
 2000년 아주대학교 전자공학과
 석사졸업.
 2002년 아주대학교 전자공학과
 박사 수료.
 2004년 4월~현재 한국전기연구원 재료응용
 연구그룹 선임연구원.
 <주관심분야 : PMIC 설계, 평가, 전력반도체 소
 자 설계, 신뢰성 분석>



김 기 현(정회원)
 2002년 경상대학교 전자공학과
 학사 졸업.
 2004년 부산대학교 전자공학과
 석사졸업.
 2004년~현재 한국전기연구원
 재료응용연구그룹 연구원.
 <주관심분야 : 컴퓨터, 반도체, 전력변환>



서 길 수(정회원)
 1989년 영남대학교 전기공학과
 학사 졸업.
 1994년 영남대학교 전기공학과
 석사졸업.
 2006년 부산대학교 전자공학과
 박사수료.
 2004년~현재 한국전기연구원 재료응용 연구그룹
 Power SoC 팀장.
 <주관심분야 : ASIC, Power IC, SoC, SiP>



조 효 문(평생회원)
 1990년 울산대학교 전자공학과
 학사 졸업.
 1992년 영남대학교 전자공학과
 석사 졸업.
 2006년 울산대학교 전기전자정보
 시스템공학부 박사 수료.
 2008년 울산대학교 객원교수
 <주관심분야 : CMOS VLSI 및 SoC 설계, 영상
 압축 및 처리>



이 증 화(평생회원)
 1974년 울산대학교 전기공학과
 학사 졸업.
 1976년 한국과학기술원
 재료공학과 석사 졸업.
 1986년 Brunel University
 물리학과 이학 박사 졸업.
 1972년~현재 울산대학교 전기전자정보시스템
 공학부 교수
 <주관심분야 : 반도체 소자, VLSI 설계>