논문 2010-47SD-2-4

2.7Gbps/1.62Gbps DisplayPort 송신기용 PLL 및 확산대역 클록 발생기의 설계

(A Design of PLL and Spread Spectrum Clock Generator for 2.7Gbps/1.62Gbps DisplayPort Transmitter)

김 영 신*, 김 성 근*, 부 영 건*, 허 정**, 이 강 윤**

(Young Shin Kim, Seong Geun Kim, Young Gun Pu, Jeong Hur, and Kang-Yoon Lee)

요 약

본 논문에서는 DisplayPort용 전자기기 또는 클록 발생을 요구하는 다양한 회로에서 발생 할 수 있는 전자방해(EMI) 현상을 줄일 수 있는 위상 동기 루프와 확산 대역 클록 발생기를 구현 하였다. 이 시스템은 기본적으로 송신용 위상 동기 루프와 확산 대역 클록 발생기 구현을 위한 전하펌프2 와 기준주파수 분주기 등으로 구성된다. 본 논문에서는 2.7Gbps/1.62Gbps DisplayPort 응용 회로에 적합 하도록 10개의 다중 위상 신호를 출력 할 수 있는 270MHz/162MHz 듀얼 모드 위상 동기 루프를 설계 하였고 추가적으로 1.35GHz/810MHz의 위상 동기 루프를 설계하여 지터를 크게 감소시킬 수 있는 구조를 제안하였다. 270MHz/162MHz 위상 동기 루프와 5:1 시리얼라이저 2개, 그리고 1.35GHz 위상 동기 루프와 2:1 시리얼라이저를 연동함으로써 지터 성분을 크게 줄일 수 있다. 위상 동기 루프에서 사용 된 주파수 전환 다중위상 전압제어 발진기와 더불어 DisplayPort 규격에 맞는 주파수 전환이 가능 하도록 분주기를 공유하고 50% duty ratio를 보장할 수 있는 주파수 분주기 구조를 제안 하였다. 또한, 지터를 줄이기 위해서 출력전류 오차를 크게 줄일 수 있는 전하펌프 구조를 제안 하였다. 0.13 um CMOS 공정을 사용하여 설계 하였으며, 270MHz/162MHz PLL의 칩 면적은 650um × 500um 이고, 1.35GHz/810MHz PLL의 칩 면적은 600um × 500um 이다. 270MHz/162MHz 위상 동기 루프 전압제어 발진기의 조절 범위는 330MHz이고, 위상 잡음은1MHz 오프셋에서 -114cBc/Hz, 확산대역 클록 발생기의 확산 진폭도 는 0.5%이고, 변조 주파수는 31kHz이다. 전체 전력 소모는 48mW 이다.

Abstract

This paper presents a design of PLL and SSCG for reducing the EMI effect at the electronic machinery and tools for DisplayPort application. This system is composed of the essential element of PLL and Charge-Pump2 and Reference Clock Divider to implement the SSCG operation. In this paper, 270MHz/162MHz dual-mode PLL that can provide 10-phase and 1.35GHz/810MHz PLL that can reduce the jitter are designed for 2.7Gbps/162Gbps DisplayPort application. The jitter can be reduced drastically by combining 270MHz/162MHz PLL with 2-stage 5 to 1 serializer and 1.35GHz PLL with 2 to 1 serializer. This paper propose the frequency divider topology which can share the divider between modes and guarantee the 50% duty ratio. And, the output current mismatch can be reduced by using the proposed charge-pump topology. It is implemented using 0.13 um CMOS process and die areas of 270MHz/162MHz PLL and 1.35GHz/810MHz PLL are 650um × 500um and 600um × 500um, respectively. The VCO tuning range of 270 MHz/162 MHz PLL is 330 MHz and the phase noise is -114 dBc/Hz at 1 MHz offset. The measured SSCG down spread amplitude is 0.5% and modulation frequency is 31kHz. The total power consumption is 48mW.

Keywords: PLL, DisplayPort, SSCG, Multi-Phase, CMOS.

* 학생회원, ** 평생회원, 건국대학교 전자정보통신공학부
(Department of Electronic Engineering, Konkuk University)

※ 본 논문은 지식경제부가 지원하는 국가 반도체 연구개발사업인 "시스템집적반도체기반기술개발사업(시스템 IC 2010)"을 통해 개발된 결과임을 밝힙니다.
※ 본 논문은 IDEC 지원으로 수행되었습니다.
접수일자: 2009년12월2일, 수정완료일: 2010년1월29일

Ⅰ. 서 론

최근 디스플레이 응용 기술들이 급속히 발전하고 이에 해당하는 규격 및 회로 기술 개발이 불가피하게 요구 되고 있다. DisplayPort 사양은 개인 컴퓨터와 개인 전자제품 등 넓은 응용 분야의 디지털 오디오 및 비디오 광학인터페이스의 구조에 적합 하도록 되어 있다.

최근 많은 사람들이 VESA(Video Electronics Standards Association)의 규격을 사용 하고 있으며, 본 논문에서도 VESA v1.1a의 규격에 맞는 DisplayPort 응용 회로를 설계 하였다.

표 1은 DisplatyPort 확산 대역 클록 발생기의 규격을 나타내었다. DisplayPort 규격은 현재 상용화 되어 있는 VESA Version 1, Rivision 1a(January 11, 2008)에 나와 있듯이 data rate는 2.7Gbps와 1.62Gbps 이며, Down Spread Amplitude는 0~0.5% 이다. 또한 Down Spread Frequency는 30~33kHz 이다.[1]

DisplayPort 시스템의 높은 클록 주파수는 예전의 시스템보다 심각한 전자파간섭(EMI ; Electro Magnetic Interference)현상을 일으킬 수 있다. 확산 대역 클록 발생기(Spread Spectrum Clock Generator)는 이러한 문제점을 효과적으로 해결할 수 있다. 기존에는 이러한 EMI현상을 해결하기 위해 출력되는 신호의 파워를 줄이는 방법을 사용 하였다. 구리회선 보호 방법은 EMI 현상을 효과적으로 방지할 수는 있으나, 비용이 많이 들고 부피가 크며 쉽게 구부러지지 않아 활용하기 어려운 단점이 있다. 위와 같은 단점을 보완하고 EMI 현상을 줄이기 위한 방법에는 출력신호를 modulation 하는 방법이 있다.[2] 이 방법은 확산 대역으로 알려져 있고, 확산 대역 클록의 스펙트럼은 이전의 중심 주파수 스펙트럼 보다 더 넓게, 일정한 파워 이하로 퍼지게 함으로써 EMI문제를 해결 할 수 있다.[3]

표 1. DisplayPort v1.1a 의 규격.
Table 1. Specification of DisplayPort v1.1a.

변수	규격
확산 대역 진폭	0 ~ 0.5%
확산 대역 변조 주파수	30kHz ~ 33kHz
확산 대역 루프 대역폭	< 4MHz
지터	< 0.137 UI

본 논문에서는 새로운 modulation 방법을 이용하여 확산 대역 클록 발생기를 DisplayPort 응용 분야에 맞도록 설계 하였다. 위상 동기 루프의 전하펌프와 확산 대역 클록 생성기를 위한 전하펌프2와 기준 주파수 분주기를 이용하여 전압제어 발진기의 제어 전압을 modulation 하는 기법을 이용하여 설계 하였다. 이 기법은 두 전하펌프의 출력 전류 Icp의 비율을 조절함으로써 루프 커패시턴스를 크게 줄일 수 있는 장점이 있다.[4] 또한 새로운 전하펌프 구조를 적용하여 출력 전류 오차를 줄일 수 있었다. Gain-Boosting 전하 펌프를 통해 넓은 전압 범위와 출력 전류의 오차를 크게 줄일 수 있었다.[5]

그리고 시리얼라이저 및 위상 동기 루프에서 중요시되는 사양 중 하나가 지터성분의 크기이다. 지터는 잡음 성분과 더불어 시스템의 오동작을 일으키고 성능 저하의 주된 원인이 되며, 효과적으로 줄일 수 있는지가 중요한 설계 중점이 된다. 본 논문에서는 5:1 시리얼라이저와 10-phase의 위상 동기 루프, 2:1 시리얼라이저와 2-phase의 위상 동기 루프를 이용 하는 구조를 제안 하여 시리얼라이저와 위상 동기 루프에서 발생할 수 있는 지터성분을 크게 줄일 수 있는 구조를 제안 하였다.

Ⅱ. 본 론

1. 위상 동기 루프 및 확산 대역 클록 발생기의 구조

본론에서는 설계한 DisplayPort용 위상 동기 루프 및 확산 대역 클록 발생기의 전체적인 구조를 설명하고 각 블록의 구조에 대해 설명 하겠다.

그림 1은 본 논문에서 제안하는 위상 동기 루프의 구조이다. 위상 동기 루프의 클록을 시리얼라이저로 전달할 경우 위상 동기 루프와 10:1 시리얼라이저에서 구조적으로 많은 지터를 발생 할 수 있다. 본 논문에서는 아래와 같이 5:1 시리얼라이저와 10-phase의 위상 동기 루프, 2:1 시리얼라이저와 2-phase의 위상 동기 루프를 이용 하는 구조를 제안 하였다. 이러한 구조를 구현함으로써 시리얼라이저와 위상 동기 루프에서 발생 할 수 있는 지터성분을 뒷단의 2:1 시리얼라이저에서 데이터를 재 정렬함으로써 크게 줄일 수 있다.

그림 2는 Integer-N 위상 동기 루프를 기본으로 한 DisplayPort용 위상 동기 루프 및 확산 대역 클록 발생

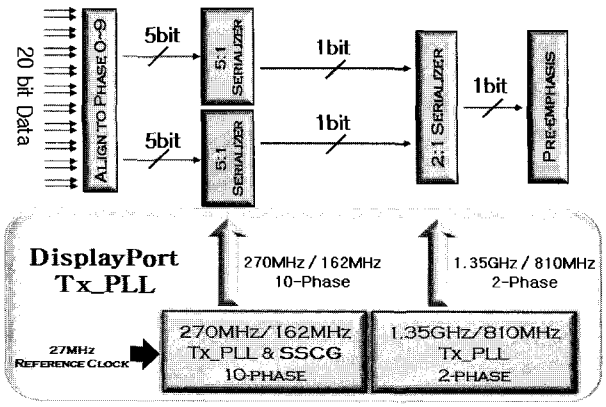


그림 1. 제안하는 DisplayPort용 위상동기 루프 및 확산 대역 클록 발생기의 구조.

Fig. 1. Proposed topology of Tx_PLL and SSCG for DisplayPort.

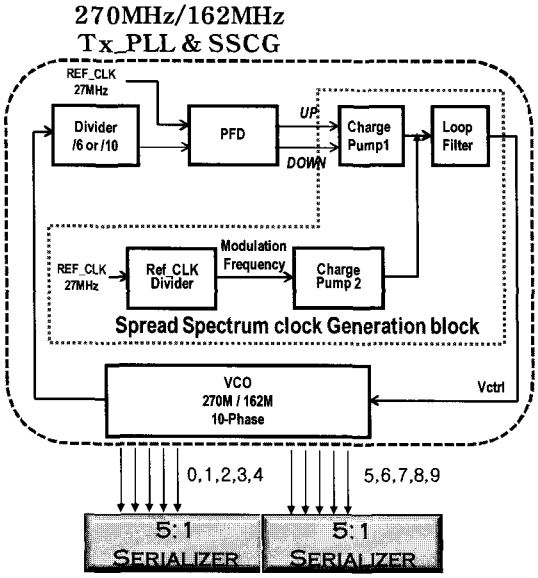


그림 2. 270MHz/162MHz 위상공기루프 및 확산 대역 클록 발생기의 블록 도.

Fig. 2. Block Diagram of 270MHz/162MHz Tx_PLL & SSCG.

기 회로의 전체 구조를 보여주고 있다.

서두에서 설명 했듯이 본 논문에서는 기존 1단의 시리얼라이저와 위상 동기 루프를 사용 하는 것이 아닌, 5:1 시리얼라이저와 10-phase의 위상 동기 루프, 2:1 시리얼라이저와 2-phase의 위상 동기 루프를 이용 하는 구조를 제안 하였다. 이러한 구조를 구현함으로써 시리얼라이저와 위상 동기 루프에서 발생 할 수 있는 지터 성분을 뒷단의 2:1 시리얼라이저에서 데이터를 재 정렬 함으로써 크게 줄일 수 있다.

확산 대역 클록 발생기를 포함하고 있는 270MHz/162MHz 위상 동기 루프는 기본적으로 주파수 위상 비교기 , 2개의 전하 펌프, 루프필터, 10개의 위상의 출력 신호 발생을 위한 다중 위상 주파수 전환 링 타입 전압 제어 발진기, 전압 제어 발진기와 동시에 주파수 전환이 이루어 질 수 있는 주파수 분주기 등으로 구성된다. 위상 동기 루프로부터 270MHz 또는 162MHz의 출력 주파수를 얻기 위해서 27MHz의 기준 주파수를 사용하였다.

또한 기준 주파수는 확산 대역 클록 발생기를 구현하기 위한 Modulation Frequency을 제공하기 위하여 기준 주파수 분주기를 통하여 31kHz의 Modulation Frequency로 전환되고, 이는 전하 펌프2로 제공 된다.

전하 펌프2는 확산 대역 클록 발생기용 루프필터를 통해 Modulation Clock을 생성 한다.

아래 그림 3은 확산 대역 클록 발생기의 루프필터를 도식화 한 것이다. 본 논문에서 사용 한 전압 제어 발진기의 control voltage modulation 기법의 확산 대역 클록 발생기는 31kHz의 Modulation Frequency를 생성 해 주는 기준 주파수 분주기와 이로부터 삼각파인 Modulation Clock을 생성 해 주는 전하 펌프2와 루프필터로 구성 된다.

확산 대역 클록 발생기를 동작 시키게 되면 기준 주파수 분주기에 의해 31kHz의 Modulation Frequency가 전하 펌프 2로 입력된다.

전하 펌프 2의 출력 전류는 VC2 노드와 연결 되어 있는 확산 대역 클록 발생기용 루프필터에 의해 삼각파인 Modulation Clock으로 전환된다.

생성 된 Modulation Clock은 전압 제어 발진기의 control voltage로 입력되고 위상 동기 루프에서는 확산 대역을 출력 하게 된다.

이에 대한 Vctrl과 전하펌프2는 식 (1)의 전달함으로 나타낼 수 있다.

$$F(s)=\frac{V_{ctrl}}{I_2}=\frac{sC_1+R_1}{s\left[s\frac{C_1C_2}{C_1+C_2}\cdot(R_1+R_2)+1\right]}\cdot\frac{1}{C_1+C_2} \quad (1)$$

확산 대역 클록 발생기 루프필터의 저항과 커패시터의 값이 $R_1C_1=R_2C_2$라면 식(2)으로 간소화 될 수 있다. 전하펌프2의 전류 I_2에 따라 전압제어발진기의 입력인 Vctrl은 Modulation Clock인 삼각파형으로 변화하게 되고, 전압 제어 발진기의 출력 주파수는 일정한 확산 대역으로 출력 된다.

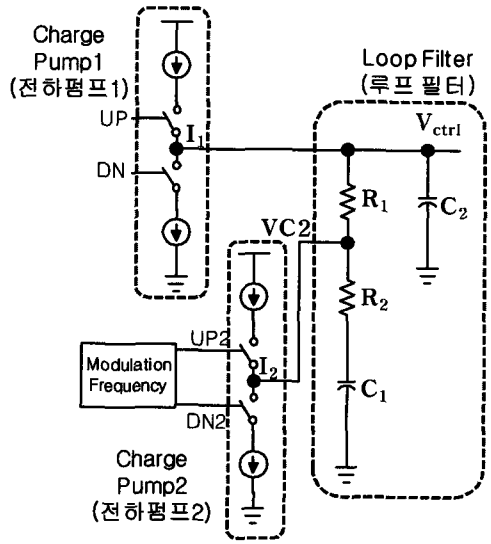


그림 3. 확산 대역 클록 발생기의 개념 및 루프 필터의 블록 도.

Fig. 3. Concepts of SSCG and Block Diagram of LoopFilter.

$$\frac{V_{ctrl}}{I_2} = \frac{1}{s(C_1 + C_2)} \tag{2}$$

이러한 확산 대역의 비율은 전하펌프2의 전류 I_2에 따라 결정 되는데, 식(3)과 같이 전압제어 발진기의 출력 주파수가 f_n이고, 전압 제어 발진기의 이득(Kvco)이 K_v, 인가한 확산 비율이 δ% 라면, 전하펌프2의 전류 I_2는 식(3)으로 정의 되어 변환이득 K_v에 따라 확산 비율이 달라 질 수 있으며, 본 논문 에서는 DisplayPort 규격인 0.5%로 설계 하였다.

$$I_2 = \frac{f_n \cdot \delta\% \cdot (C_1 + C_2)}{K_v} \tag{3}$$

Modulation Frequency는 위상 동기 루프의 Loop Bandwidth인 2.7MHz보다 저속 이어야 한다. Loop Bandwidth 보다 빠른 주파수로 입력되면 위상 동기 루프에서 잡음 등으로 인식되어 제거되기 때문에 Modulation Frequency는 31kHz를 사용 하였다.

DisplayPort Standard VESA v1.1a에서 지정 된 DisplayPort의 Modulation Amplitude는 0~0.5 % 이고 중심 주파수인 270MHz에서 확산 대역 클록 발생기를 가동 하면 269MHz ~ 271MHz까지 약 2MHz가 확산 되도록 설계 하였다.

그림 4는 2:1 시리얼라이저와 연동하여 데이터를 재정렬해주는 1.35GHz 위상 동기 루프의 구조를 나타낸다. 3-stage 링 타입 전압 제어 발진기 구조를 채택하

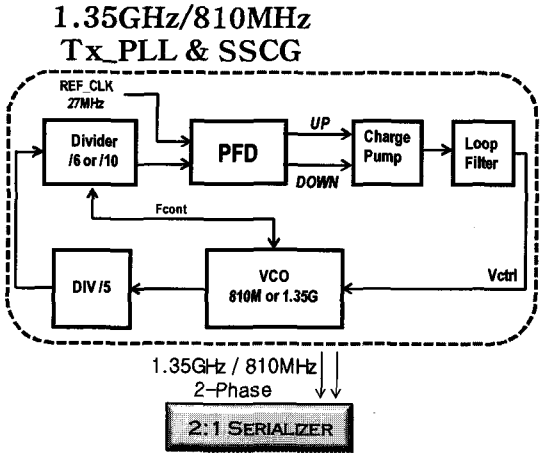


그림 4. 1.35GHz/810MHz 위상동기 루프의 블록 도.

Fig. 4. Block Diagram of 1.35GHz/810MHz Tx_PLL.

여 LC 타입 전압 제어 발진기에서 인덕터 때문에 크게 문제되는 면적문제를 개선하였다. 또한 270MHz/162MHz 위상 동기 루프와 같은 27MHz 기준 주파수를 이용 할 수 있도록 하였다.

2. 구성 블록

가. 전압 제어 발진기

그림 5는 설계 한 전압제어 발진기(VCO;Voltage Controlled Oscillator)의 구조를 나타낸다.

그림 6은 전압 제어 발진기의 주파수 전환 방법을 나타내었다. 그림과 같이 제어신호 Fcont를 통해 위상동기 루프의 출력 주파수 전환이 가능 한 전압 제어 발진기 구조를 구현 하였다. Fcont가 1일 경우 전압제어 발진기의 지연 셀의 추가적인 전류원이 동작하여 270MHz모드가 되고, Fcont가 0일 경우 162MHz가 되어 시리얼라이저와 연동 해 2.7Gbps와 1.62Gbps 듀얼

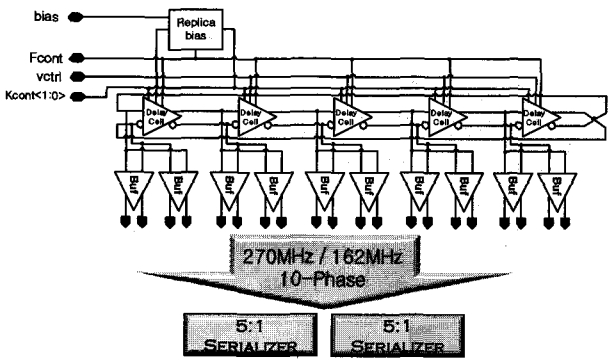


그림 5. 270MHz/162MHz 전압 제어 발진기의 블록 도.

Fig. 5. Block Diagram of 270MHz/162MHz VCO.

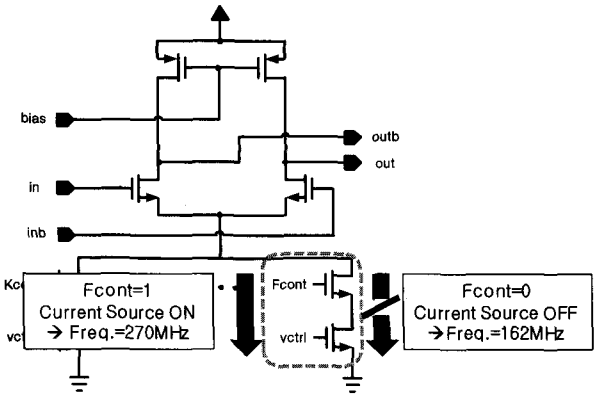


그림 6. 지연 셀의 전압 제어 발진기 주파수 전환.
Fig. 6. Frequency Switching of VCO Delay Cell.

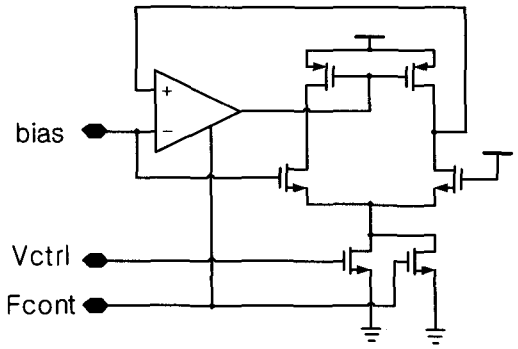


그림 7. Replica Bias의 블록 도.
Fig. 7. Block Diagram of Replica Bias Blcok.

모드로 동작 할 수 있다.

전압 제어 발진기는 시리얼라이저에 다중위상(10-phase)를 제공해 주기 위하여 5단 차동 링 타입 발진기를 채택 하였다. DisplayPort의 규격인 VESA v1.1a 에서 요구하는 2.7Gbps의 직렬 데이터를 이러한 270MHz 10-phase를 직렬화 함으로써 구현 할 수 있다.

전압 제어 발진기는 넓은 조절 범위를 갖는 것이 중요하다. 본 논문에서 설계 한 전압 제어 발진기는 두개의 제어신호인 Kcont<1:0>을 추가함으로써 출력 주파수와 이득 조절을 가능하게 하고 330MHz 이상의 넓은 조절 범위를 확보 하였다. 그리고 270MHz 에서 이득은 510MHz/V이고 162MHz 에서는 460MHz/V 이다.

그림 7은 내부에서 생성되는 바이어스 전압을 공급받고 VCO 제어 전압과 주파수 전환 신호를 공유하여 피드백 되는 Replica Bias Block의 블록 도를 나타낸다. VCO의 지연 셀과 같은 회로가 들어가는 Replica Bias Block을 적용함으로써 전압 제어 발진기에 안정적인 바이어스 전압을 공급하여 동작 영역 및 출력 주파수가 왜곡 되는 현상을 개선하였다. 설계 시 PVT 변화의 영향에 둔감 하도록 최적화 하였다.

나. 전하 펌프

전하펌프(Charge-Pump)는 주파수 위상 비교기로부터 받은 Up/Down 신호를 받아 Up전류 / Down전류를 생성하여 루프필터를 지나 전압 제어 발진기의 control voltage를 공급 하는 회로이다.

그림 8은 설계한 전하 펌프의 구조를 나타낸다. 전하 펌프는 넓은 전압 범위를 갖도록 Gain-Boosting 전하 펌프 구조를 채택 하였다. 회로의 MN3와 MP3를 Gain-Boosting 앰프로 사용 하였다. 이 구조는 출력 저항의 증가로 Up/Down 전류의 오차를 최소화 할 수 있는 장점이 있다. 전하 펌프에서는 Up/Down 전류의 오

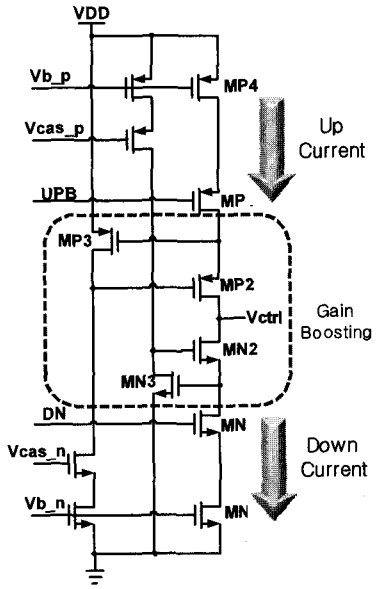


그림 8. 전하펌프의 블록 도.
Fig. 8. Block Diagram of Charge-Pump.

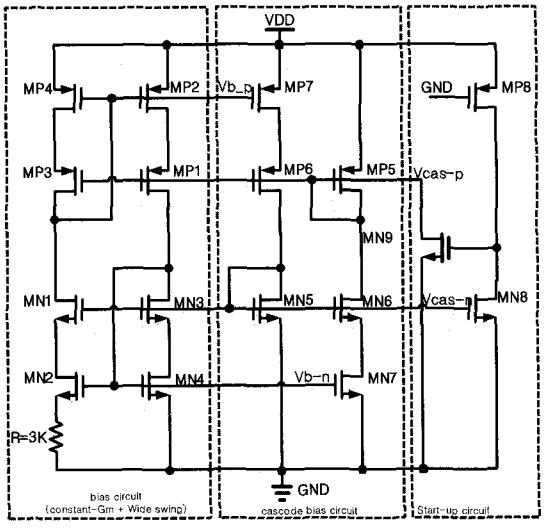


그림 9. 전하펌프 바이어스 블록의 블록 도.
Fig. 9. Block Diagram of Charge-Pump's Bias Block.

차를 1%이하를 목표로 최적화 하여 설계 하였다.

그림 9는 전하 펌프의 바이어스 블록의 구조를 나타낸다. Constant-Gm 회로와 Wide Swing Current Mirror 기법을 사용하여 설계 하였다. MN1~MN4와 MP1~MP4가 Wide Swing Current Mirror를 구성 한다. MN1과 MP1로부터 출력 전류를 얻는다. MN1과 MN3의 게이트 전압은 MN5에 의해 공급 받는다. Constant-Gm 회로의 초기에 동작하지 않는 상태를 방지하기 위해 Start-Up 회로를 적용 하였다. Vb_p, Vcas_p / Vb_n, Vcas_p의 각 노드 전압을 전하 펌프의 전류원의 게이트로 연결하여 Current Mirror를 구성하였다.

다. 주파수 분주기

주파수 분주기(Frequency Divider)는 270MHz 또는 162MHz의 전압 제어 발진기 출력을 27MHz의 기준 주파수와 비교 할 수 있도록 10분주 또는 6분주 하여 주파수 위상 비교기로 입력 하는 블록이다.

그림 10은 본 논문에서 제안 한 주파수 분주기의 구조를 나타낸다. Fcont의 주파수 선택 제어 신호에 따라 전압 제어 발진기와 동시에 제어 된다. 전압 제어 발진기 출력이 270MHz일 경우 10분주되어 27MHz를 생성해 주고, 전압 제어 발진기 출력이 162MHz일 경우 6분주 되어 27MHz를 생성 한다.

10분주의 경우 5분주기 와 2분주기가 결합하여 동작을 하고, 6분주기의 경우 3분주기와 2분주기가 결합하여 동작 하도록 설계 하였다.

주파수분주기 설계 시 입력 주파수의 동작 속도와 분주기 출력의 duty ratio를 정확히 맞추며 PVT 변화에 둔감하도록 최적화 하는 일이다.

일반적으로 사용하는 CML 타입의 3/ 5/분주기의 경우 출력 신호의 duty ratio가 일정하지 않을 수 있다.

그러나 본 논문에서는 아래와 같이 10분주기와 6분주기를 구현하기 위해 뒷단에 TSPC 타입의 2분주기를 연동하여 전체 분주기의 출력이 일정한 duty ratio를 출력 할 수 있는 구조로 설계 하였다.

또한 주파수 전환에 따라서 필요한 내부의 하위 분주기들을 공유 할 수 있도록 설계 하였다. 3/ 5/ 분주기는 제어신호에 따라 동작이 전환되고, 2분주기는 공유되어 면적과 전류를 크게 줄일 수 있는 장점이 있다. 설계 시 PVT변화와, 270MHz 와 162MHz의 높은 주파수와 넓은 동작 영역을 가질 있도록 최적화하였다.

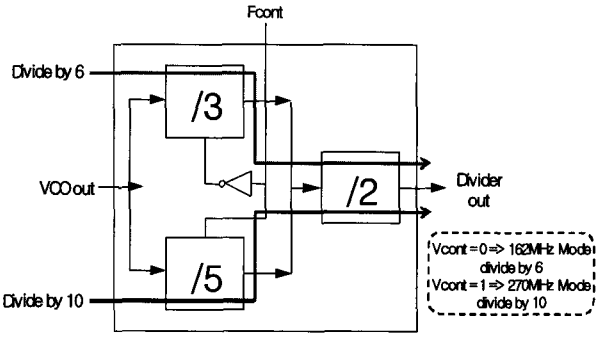


그림 10. 주파수 분주기의 블록 도.
Fig. 10. Block Diagram of Frequency Divider.

III. 실 험 결 과

그림 11은 설계 한 270MHz 위상 동기 루프 및 확산 대역 클록 발생기의 칩 사진을 보여준다. 전체 칩은 1 poly 5 metal layer로 이루어져 있는 0.13 um CMOS 공정으로 설계 하였으며, MIM (Metal-Insulator-Metal) 커패시터 및 높은 단위 저항을 갖는 폴리 저항을 사용하였다. 칩 면적은 650um × 650um 이다.

그림 12는 설계 한 1.35GHz/810MHz 위상 동기 루프 및 확산 대역 클록 발생기의 칩 사진을 보여주고 있다. 칩 면적은 600um × 500um 이다.

그림 13은 실험 환경을 나타낸다. 27MHz의 기준주파수를 공급하기 위해 Function Generator를 사용 하였고, 출력 신호를 분석하기 위해 Oscilloscope와 Spectrum analyzer를 사용 하였다.

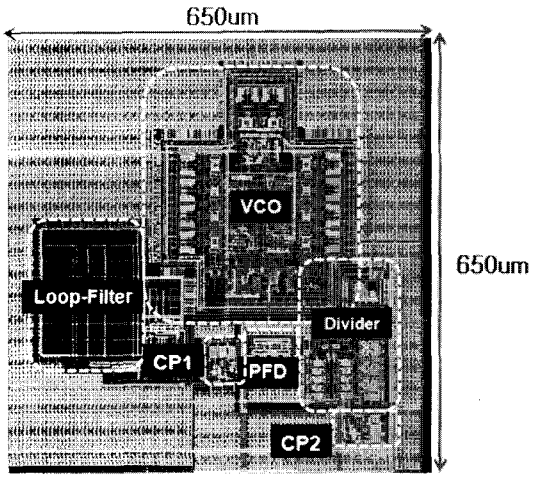


그림 11. 270MHz/162MHz 위상 동기 루프 칩 레이아웃.
Fig. 11. Chip Layout of 270MHz Tx_PLL.

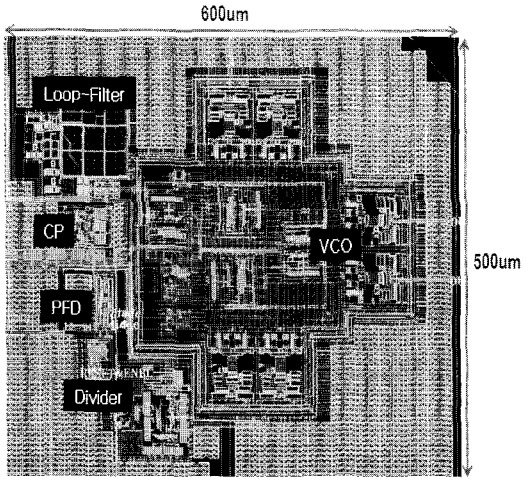


그림 12. 1.35GHz/810MHz 위상 동기 루프 칩 레이아웃.
Fig. 12. Chip Layout of 1.35GHz/810MHz Tx_PLL.

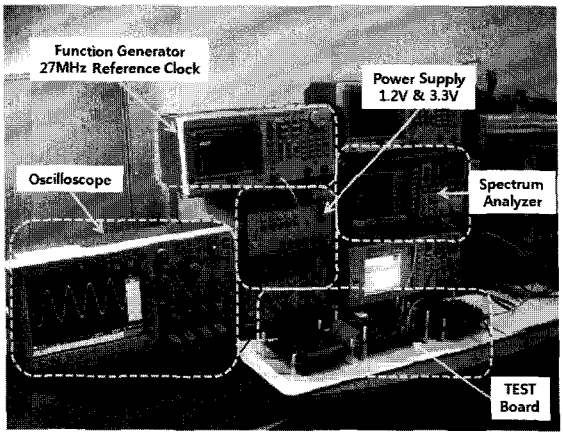


그림 13. 실험 환경.
Fig. 13. Experiment environment.

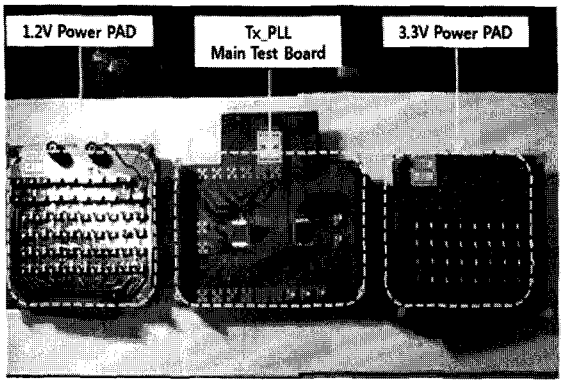


그림 14. 실험용 테스트 보드.
Fig. 14. Test board for experiment.

그림 14는 실험용 테스트 보드를 나타낸다. 1.2V 전원 전압을 공급하는 보드와 3.3V 디지털 제어 신호 입력을 위한 보드를 따로 두어 실험을 용이하게 하였다.

그림 15와 그림 16은 270MHz/162MHz 전압 제어 발

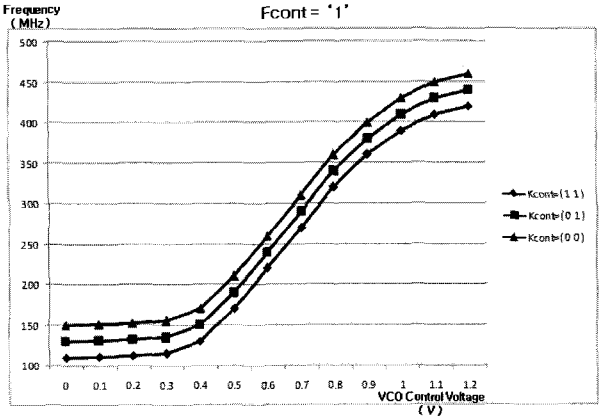


그림 15. 270MHz 전압 제어 발진기 Kvco 모의실험 결과.
Fig. 15. Kvco experiment result of 270MHz VCO.

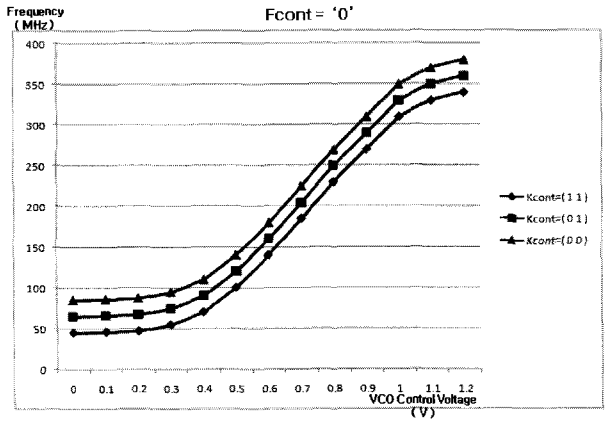


그림 16. 162MHz 전압 제어 발진기 Kvco 모의실험 결과.
Fig. 16. Kvco experiment result of 162MHz VCO.

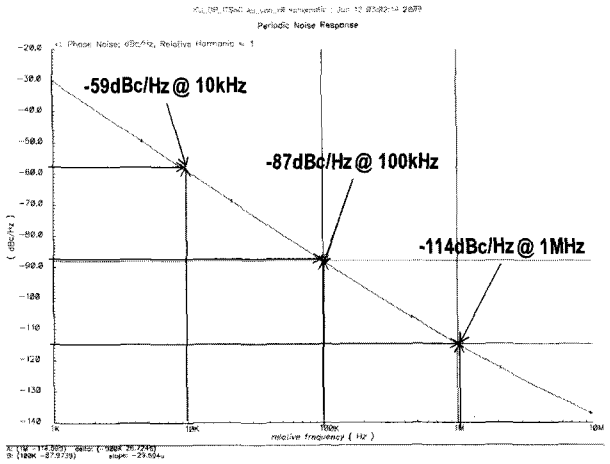


그림 17. 270MHz/162MHz 전압제어 발진기 위상 잡음 모의실험결과.
Fig. 17. Phase-Noise experiment result of 270MHz/162MHz VCO.

진기의 이득(Kvco) 모의실험 결과를 나타낸다. 실험 결과 270MHz 모드의 Kvco는 510MHz/V이고 162MHz

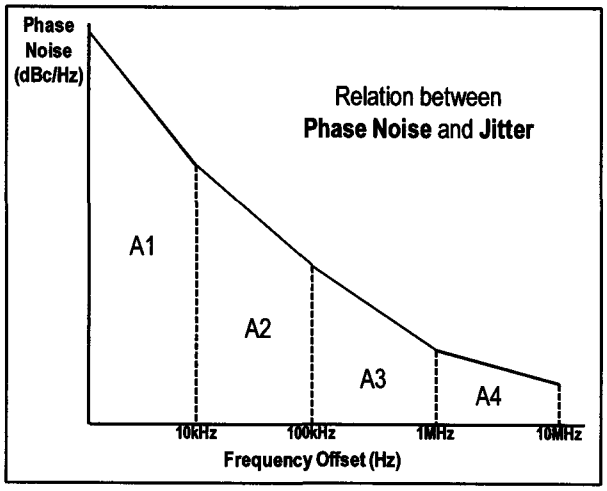


그림 18. 위상 잡음과 지터의 관계.
Fig. 18. Relation of Phase-Noise and jitter.

모드에서는 470MHz/V 이다.

또한 제어신호 Fcont에 따라 출력 주파수가 전환되고 두 비트 의 제어신호 Kcont<1:0>에 따라 전압제어 발진기의 출력 주파수와 발진기 이득이 조절되는 것을 확인 할 수 있다.

그림 17은 전압 제어 발진기 위상 잡음(Phase Noise) 실험 결과이다. 1MHz 오프셋에서 -114dBc/Hz 이다.

그림 18은 지터와 위상잡음 관계를 나타낸다. 오프셋 주파수 10kHz, 100kHz, 1MHz에서 가장 두드러진 위상 잡음 및 지터를 측정 할 수 있다.

위상 잡음과 지터의 관계는 아래의 식(4)와 식(5)로 나타낼 수 있다. $f_0 = Oscillator\ Frequency$이면, 위상잡음을 각 오프셋 주파수에서 위상잡음 값에 대해 적분을 취한다. 식 (6)과 같이 적분 후 각 오프셋 주파수에 따라 합산 후 환산 하여 아래와 같이 지터를 유도 할 수 있다.

$$A = AREA = INTEGRATED\ PHASE\ NOISE\ (dBc) = 1 - \log_{10}(A1 + A2 + A3 + A4) \quad (4)$$

$$RMS\ PHASE\ JITTER\ (radians) \approx \sqrt{2 \cdot 10^{A/10}} \quad (5)$$

$$RMS\ JITTER = \frac{\sqrt{2 \cdot 10^{A/10}}}{2\pi f_0} \quad (6)$$

측정 된 지터는 36.8ps RMS 이며 DisplayPort의 규격인 50.7ps이하를 만족 한다.

그림 19는 270MHz/162MHz 위상동기 루프의 전하펌프의 실험 결과를 나타낸다. DC실험 결과 Icp가 100uA 에서 Up/Down 출력 전류 오차가 202nA(0.2%)로써 설계 목표인 1% 이하로 확인 되었다.

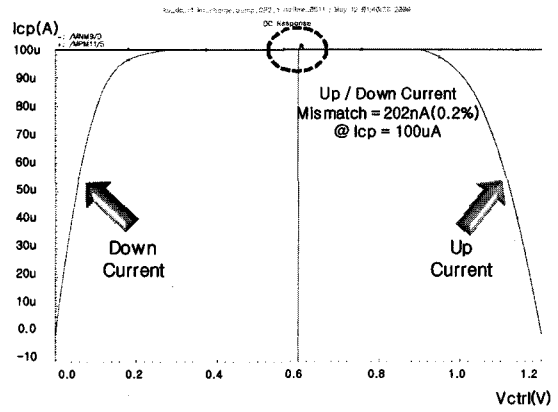


그림 19. 전하펌프의 모의실험결과.
Fig. 19. Experiment result of Charge-Pump.

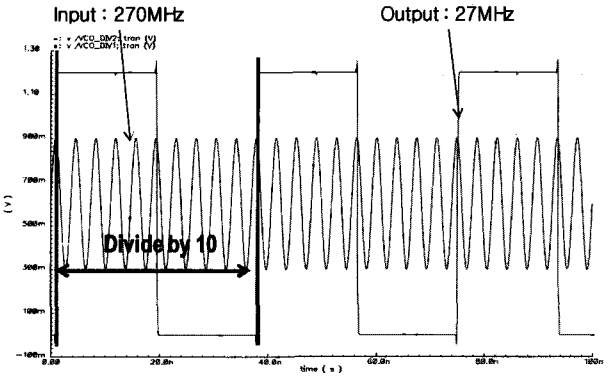


그림 20. 주파수 분주기의 10분주 모의실험결과.
Fig. 20. Experiment result of Frequency Divider.

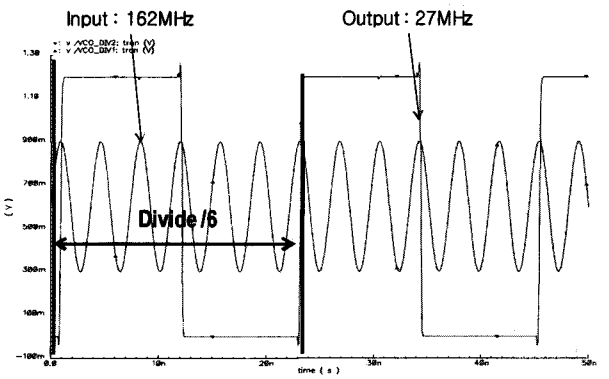


그림 21. 주파수 분주기의 6분주 모의실험결과.
Fig. 21. Experiment result of Frequency Divider.

그림 20과 그림 21은 주파수 분주기의 실험 결과를 나타낸다. 전압 제어 발진기출력이 270MHz의 경우 10분주 되어 27MHz의 클록이 출력되는 것을 알 수 있다. 162MHz의 경우 6분주 되어 27MHz의 클록을 출력한다.

그림 22는 270MHz/162MHz 위상 동기 루프 의 전체

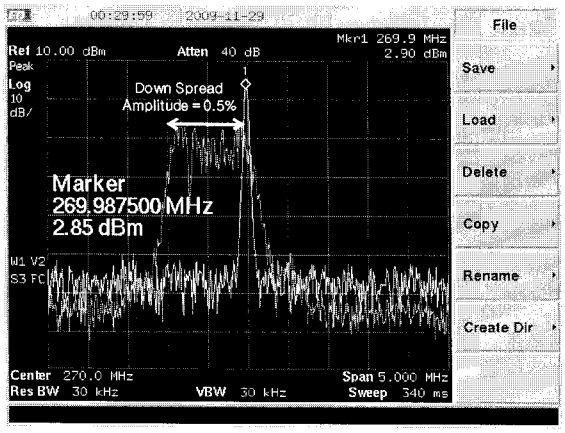


그림 22. 270MHz/162MHz 위상 동기 루프 및 확산 대역 클록 생성기의 실험결과.

Fig. 22. Experiment result of 270MHz/162MHz Tx_PLL & SSCG.

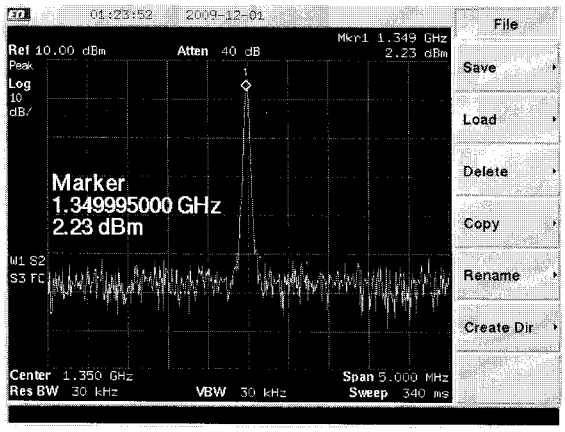


그림 23. 1.35/810MHz 위상 동기 루프의 실험 결과.

Fig. 23. Experiment result of 1.35GHz/810MHz Tx_PLL.

실험 결과 및 확산 대역 클록 발생기를 인가했을 경우의 실험 결과를 나타낸다. 1.2V 공급 전압 에서 48mW의 전력을 소모하며 2.58dBm의 파워로 중심 주파수 270MHz의 신호를 출력한다.

확산 대역 클록 발생기를 인가했을 경우 270MHz 중심 주파수에서 0.5%의 확산 대역 -10dBm의 파워로 생성 되었으며 설계 목표치인 DisplayPort Standard VESA v1.1a의 규격을 만족 한다.

그림 23은 1.35GHz/810MHz 위상 동기 루프 의 전체 루프 실험 결과 이다. 1.2V 공급 전압 에서 48mW의 전력을 소모하며 2.2dBm의 파워로 중심 주파수 1.35GHz의 신호를 출력한다.

표 2는 설계 한 DisplayPort용 위상 동기 루프 및 확산 대역 클록 생성기의 성능 요약을 나타낸다.

표 2. 제안된 위상 동기 루프 및 확산 대역 클록 발생기의 측정 성능 요약.

Table 2. Summary of Measured Performance of proposed Tx_PLL and SSCG.

항목	성능		DisplayPort 규격
출력 주파수	270MHz	1.35GHz	-
VCO 조절 범위	330MHz	400MHz	-
변조 주파수	31kHz 삼각파	-	30kHz ~ 33kHz
확산 대역 진폭	0.5%	-	< 0.5%
확산 피크 파워	-10dBm	-	-
지터	30ps RMS	-	< 50.7ps RMS
위상 잡음	-114dBc/Hz @ 1MHz offset	-114dBc/Hz @ 1MHz offset	-
칩 면적	650um × 650um	600um × 500um	-
루프 대역폭	300kHz		< 4MHz
공급 전압	1.2V		-
소모 전력	48mW		-
기준 주파수	27MHz		-
공정	0.13um CMOS Process		-

IV. 결 론

본 논문에서는 EMI 현상을 줄일 수 있는 DisplayPort용 위상 동기 루프 및 확산 대역 클록 발생기 설계에 대한 내용을 설명 하였다.

송신용 위상 동기 루프와 확산 대역 클록 생성기의 전하펌프2와 기준주파수 분주기 등으로 구성된 이 시스템은 새로운 modulation방법을 제안하여 칩 면적과 전력 소비를 최소화 하였다.

2.7Gbps/1.62Gbps DisplayPort 응용 회로에 적합 하도록 10개의 다중 위상 신호를 출력 할 수 있고, PVT 변화에 둔감 하고 넓은 주파수 조절 범위를 갖는 270MHz/162Mhz 다중 위상 주파수 전환 전압제어 발진기를 설계 하였다.

추가적으로 1.35GHz의 위상 동기 루프를 설계하여 시리얼라이저와 연동하여 지터를 크게 감소시킬 수 있는 구조를 제안하였다.

주파수 전환 다중위상 전압제어 발진기와 더불어 DisplayPort 규격에 맞는 주파수 전환이 가능 하도록 분주기를 공유하고 duty ratio를 정확히 맞출 수 있는

주파수 분주기 구조를 구현 하였으며 Gain-Boosting 전하펌프 구조를 도입하여 넓은 전압 범위 갖고 출력 저항을 극대화함으로써 출력 전류 오차를 줄일 수 있었다.

전압 제어 발진기의 조절 범위는 330MHz이며, 270MHz 출력 주파수에서 위상 잡음은 1MHz 오프셋에서 -114dBc/Hz 이다. DisplayPort용 위상 동기 루프는 0.13 um CMOS공정을 이용하여 설계되었으며 1.2V 공급 전압에서 48mW의 전력을 소비한다.

270MHz/162MHz 위상 동기 루프의 면적은 650um × 650um이고 1.35GHz/810MHz 위상 동기 루프의 면적은 600um × 500um이다.

Acknowledgement

본 논문은 지식경제부가 지원하는 국가 반도체 연구개발사업인 "시스템집적반도체기반기술개발사업(시스템 IC 2010)"을 통해 개발된 결과임을 밝힙니다.

참 고 문 헌

[1] VESA DisplayPort Standard Version 1, Revision 1a January 11, 2008.

[2] Hsiang-Hui Chang, I-Hui Hua, Shen-Iuan Liu, "A Spread-Spectrum Clock Generator With Triangular Modulation," IEEE J. Solid-State Circuits, vol. 38, pp.673-676, APRIL 2003.

[3] Yao-Huang Kao; Yi-Bin Hsieh, "A Low-Power and High-Precision Spread Spectrum Clock Generator for Serial Advanced Technology Attachment Applications Using Two-Point Modulation", Electromagnetic Compatibility, IEEE Transactions on, Volume 51, Issue 2, pp.245-254, May 2009.

[4] Yao-Huang Kao; Yi-Bin Hsieh, "A Fully Integrated Spread Spectrum Clock Generator Using a Dual-Path Loop Filter", Circuits and Systems, 2006. MWSCAS '06. 49th IEEE International Midwest Symposium on, Volume 2, 6-9, pp.7-10, Aug. 2006.

[5] Chao-Chyun Chen, Sheng-Chou Lee, Shen-Juan Liu, "A spread-spectrum clock generator using a capacitor multiplication technique", Emerging Information Technology Conference, pp.15-16 Aug. 2005.

[6] Mekky, R.H.; Dessouky, M., "Design of a low-mismatch gain-boosting charge pump for phase-locked loops", Microelectronics, 2007. ICM 2007. Internatonal Conference on, 29-31, pp.321-324, Dec. 2007.

[7] Young-Shig Choi; Dae-Hyun Han, "Gain-Boosting Charge Pump for Current Matching in Phase-Locked Loop", Circuits and Systems II: Express Briefs, IEEE Transactions on, 29-31 pp.321~324 Dec. 2007.

[8] Kang-Yoon Lee, Hyunchul Ku, YoungBeom Kim, "A Fast Switching Low Phase Noise CMOS Frequency Synthesizer with a New Coarse Tuning Method for PHS Application", IEICE Transaction on Electronics, Vol. E89-C, No. 3, pp.420-428, Mar 2006.

[9] Kang-Yoon Lee et al., "A Wide Frequency Range Delay-Locked Loop Using Muti-Phase Frequency Detection Technique," IEICE Transaction on Electronics, Vol. E88-C, No.9, pp. 1900-1902, Sep. 2005.

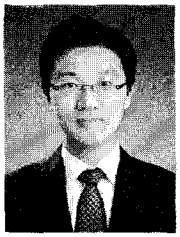
[10] Kang-Yoon Lee et al., "Comparison Frequency Doubling and Charge Pump Matching Techniques for Dual-Band Fractional-N Frequency Synthesizer," IEEE Journal of Solid-State Circuits, Vol. 40, No.11, pp. 2228-2236, Nov. 2005.

[11] Kang-Yoon Lee et al., " Full-CMOS 2-GHz WCDMA Direct Conversion Transmitter and Receiver," IEEE Journal of Solid-State Circuits, Vol. 38, No.1, pp. 43-53, Jan 2003.

[12] Kang-Yoon Lee et al., "Full-CMOS 2.4GHz Wideband CDMA Transmitter and Receiver with Direct Conversion Mixers and DC-Offset Cancellation," Symposium On VLSI Circuits Conference, pp. 7-10, June. 2001.

[13] Kang-Yoon Lee et al., "A single-chip 2.4GHz direct-conversion CMOS transceiver with GFSK modem for Bluetooth application," Symposium On VLSI Circuits Conference, pp. 245-246, June. 2001.

저 자 소 개



김 영 신(학생회원)
2008년 백석대학교 정보통신학부 학사 졸업.
2008년~현재 건국대학교 전자정보통신공학과 석사과정.
<주관심분야 : RF / 아날로그 집적회로 설계>

김 성 근(학생회원)
2009년 건국대학교 전자공학과 학사 졸업.
2009년~현재 건국대학교 전자정보통신공학과 석사과정.
<주관심분야 : RF / 아날로그 집적회로 설계>

부 영 건(학생회원)
2008년 건국대학교 전자정보통신공학과 석사 졸업.
2008년~현재 건국대학교 전자정보통신공학과 박사과정.
<주관심분야 : RF / 아날로그 집적회로 설계>

허 정(평생회원)
1983년 서울대학교 전자공학과 석사 졸업.
1991년 서울대학교 전자공학과 박사 졸업
1991년~현재 건국대학교 전자공학부 교수

이 강 윤(평생회원)
2003년 서울대학교 전기공학부 박사 졸업.
2000년~2005년 (주)지씨티리써치 책임 연구원
2005년~현재 건국대학교 전자공학부 부교수
<주관심분야 : RF · 아날로그 집적회로설계, 아날로그/디지털 Mixed Mode 설계>