

관통형 비아가 있는 다층 PCB의 SI 성능 연구

Study of SI Characteristic of Multilayer PCB with a Through-Hole Via

김 리 진 · 이 재 현

Li-Jin Kim · Jae-Hyun Lee

요 약

본 논문은 관통형 비아와 전송 선로 사이의 임피던스 불연속과 P/G(Power/Ground) 면 사이에서 발생하는 공진으로 인한 클록 신호 응답 성능 저하가 관통형 비아(through-hole via)가 있는 4층 PCB(Printed Circuit Boards)의 SI(Signal Integrity) 성능에 악영향을 미치는 것을 이론적으로 분석하였다. 비아 구조의 집중소자 모델링을 이용한 반사 전압 계산과 TDR(Time Domain Reflector) 시뮬레이션 결과 비교로 관통형 비아와 전송 선로 사이의 임피던스 불연속 최소화 시킬 수 있고, 관통형 비아 위치를 이용한 P/G면 공진 상쇄의 시뮬레이션 결과로 클록 신호 응답 성능을 향상시킬 수 있음을 확인하였다.

Abstract

In this paper, SI(Signal Integrity) characteristic of the 4-layer PCB(Printed Circuit Boards) with a through-hole via was analyzed by impedance mismatching between the through-hole via and the transmission line, and deterioration of clock pulse response characteristic due to the P/G plane resonances which are generated between the power and the ground plane. The minimized impedance mismatching between the through-hole via and the transmission line for the improving of SI characteristic is confirmed by the TDR(Time Domain Reflector) simulation and lumped element modeling of the through-hole via. And the cancellation method of P/G plane resonances for improvement of the SI characteristic is represented by simulation result.

Key words : Through-Hole Via, Signal Integrity, Time Domain Reflector, Clock Pulse Response

I. 서 론

통합과 소형화되는 현대 디지털 기기의 추세로 인해 PCB(Printed Circuit Board) 내부 배선이 복잡해 지고, 다층 PCB의 사용이 증대되고 있다. 또한 다층 PCB에서 선로 연결을 위해 사용되는 관통형 비아(through-hole via)의 수 역시 빠르게 증가하고 있다. 하지만, 관통형 비아에서 방사된 전자파가 그라운드 면(ground plane)과 전원 면(power plane) 사이로 유입

되고, 유입된 전자파로 인하여 두 면 사이에서 공진이 발생된다. 이러한 공진은 구조상 필연적으로 발생하여 신호 전송 능력을 저하시키며, 만약 공진 모드의 주파수와 디지털 클록(clock) 신호의 하모닉(harmonic)이 일치하게 되면 출력 파형에 심각한 왜곡을 발생시킨다. 또한 관통형 비아와 기준 면 사이에서 발생하는 기생 캐패시턴스(capacitance) 성분과 비아의 인덕턴스(inductance) 성분으로 인해 전송 선로 사이에서 임피던스 불연속이 발생하게 되고, 신

「이 연구는 지식경제부의 대학 IT연구센터 지원사업의 연구 결과로 수행되었음(IITA-2009-(C1090-0902-0034)).」

*충남대학교 전파공학과(Department of Radio Science & Engineering, Chungnam National University)

· 논문 번호 : 20091127-11S

· 교신저자 : 이재현(e-mail : jaehyun@cuvic.cnu.ac.kr)

· 수정완료일자 : 2010년 1월 29일

호 전송에서 시간 지연, 링잉(ringing), 오버/언더슈트(over/undershoot) 등의 신호 왜곡 문제를 발생시킨다. 이와 같이 관통형 비아는 다층 PCB의 신호 전송을 위해 필수적 구성 요소이지만, 비아로 인해 발생하는 신호 왜곡의 영향을 고려하지 않는다면 고속 시스템의 SI(Signal Integrity) 성능을 저하시킬 우려가 있다. 따라서 본 논문에서는 관통형 비아로 인해 발생하는 기생 성분인 신호 왜곡에 미치는 영향을 비아 구조 모델링을 이용한 반사 전압 계산과 TDR(Time Domain Reflector) 시뮬레이션 결과를 통해 확인하고, 적절한 비아 구조 선택을 통해 임피던스 불연속을 최소화할 수 있음을 보인다. 또한 선행 연구^[1]에서 제안한 비아 위치를 이용한 P/G면 공진 제어로 클럭 신호 응답 성능을 향상시킬 수 있음을 시뮬레이션 결과를 통해 보인다.

II. 본 론

관통형 비아로 인한 다층 PCB의 SI 성능 변화를 분석하기 위하여 그림 1과 같은 4층 기판을 고려한다. 기판 크기는 $100(P_x) \times 100(P_y)$ mm²이며, 유전체는 FR-4($\mu_r=1$, $\epsilon_r=4.4$)를 사용하였고, 최상층과 최하층에는 신호 선로가 있고, 가운데 두 개 층 중 두 번째 층을 그라운드 면, 세 번째 층을 전원 면으로 하는 4층 기판이다. 유전체 두께(h)는 0.6 mm, 선로, 전원 면, 그라운드 면을 구성하는 도체 두께는 35 μ m이며, 신호 선로 폭(w)은 1 mm이다. 최상층과 최하층에 존재하는 신호 선로를 연결하기 위하여 관통형 신호 비아($r_{ap}=0.5$ mm, $r_v=0.3$ mm)를 사용하였다. 비아 위치는 (T_x, T_y) 로 나타내었다.

관통형 비아를 포함한 다층 PCB 구조에서 발생하는 공진의 주파수는 식 (1)과 같이 PCB 기판 크기에 의하여 정해지며^[2], m 과 n 은 모드 번호(mode-number)이다.

$$f_{mn} = \frac{150}{\sqrt{\mu_r \epsilon_r}} \sqrt{\left(\frac{m}{P_x}\right)^2 + \left(\frac{n}{P_y}\right)^2} \quad [\text{GHz}] \quad (1)$$

100×100 mm² 크기 PCB에서 발생하는 P/G면 공진의 모드와 주파수를 식 (1)을 이용하여 표 1에 정리하였다. PCB가 정사각형이므로 표 1과 같이 이중 모드(dual-mode)가 생성되며, 양 끝이 개방되어 있으

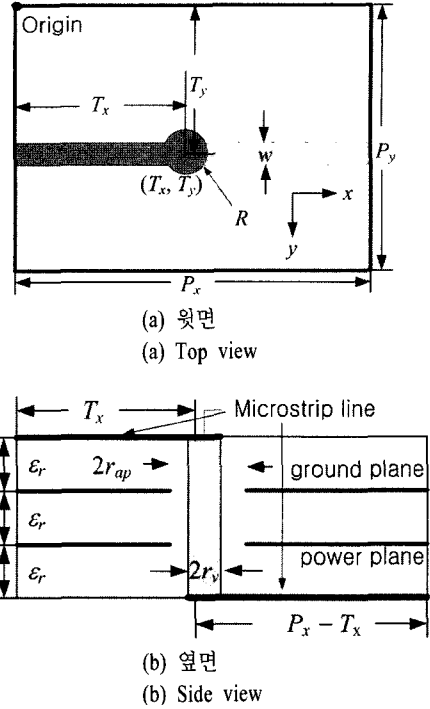


그림 1. 관통형 비아가 있는 PCB
Fig. 1. PCB with a through-hole via.

표 1. P/G면 공진의 모드와 주파수
Table 1. Modes and frequencies of the P/G plane resonance.

모드(m, n)	주파수[GHz]
(0, 1), (1, 0)	0.71
(1, 1)	1.01
(0, 2), (2, 0)	1.43
(1, 2), (2, 1)	1.61

로 TM(Transverse-Magnetic) 모드가 발생한다. 그리고 모드 (m, n)은 TM_{mn} 을 나타낸다.

이와 같이 발생한 공진은 신호 전송 능력을 저하시켜 시스템의 SI 성능을 저하시킨다. 하지만, 선행 연구에서 이러한 신호 전송 성능 저하를 최소화할 수 있는 방법을 비아 위치를 이용한 P/G면 공진 모드 상쇄로 제안하였다^[1]. P/G면 공진을 상쇄할 수 있는 비아의 위치를 식 (2)에 나타내었다.

$$T_x = \frac{P_x}{2m} \quad \text{or} \quad T_y = \frac{P_y}{2n} \quad (2)$$

100×100 mm² 크기 PCB에서 식 (2)를 이용하여 구

표 2. 비아 위치에 따른 P/G면 공진 모드와 주파수
Fig. 2. Modes and frequencies of P/G plane resonance due to the via-hole position.

모드 (m, n) → 주파수	비아 위치 (Tx, Ty)	
	(30, 30)	(50, 50)
(1, 0), (0, 1) → 0.71 GHz	○	×
(1, 1) → 1.01 GHz	○	×
(2, 0), (0, 2) → 1.43 GHz	○	○
(1, 2), (2, 1) → 1.61 GHz	○	×

해낸 최소 공진 발생 지점 (50, 50)과 모든 공진이 발생하는 임의의 비아 위치 (30, 30)의 P/G면 공진 모드와 주파수^[1]를 표 2에 정리하였다.

2-1 비아의 기생성분으로 인한 SI 성능 저하

4층 기판에서 관통형 신호 비아는 그림 3과 같이 집중소자를 이용하여 π-형 모델로 모델링할 수 있다^[3]. 비아에서 발생하는 인덕턴스를 L_{via} 로, 비아와 기준 면 사이에서 발생하는 캐패시턴스를 C_{via} 로 나타내었다. C_{via} 와 L_{via} 는 각각 식 (3), (4)와 같이 고려할 수 있다^[4]. l_{via} 는 비아의 길이이며, h 는 유전체 두께이다.

$$L_{via} = 129 \times l_{via} \left[\ln \left(\frac{4l_{via}}{r_v} \right) + 1 \right] \text{ [nH]} \quad (3)$$

$$C_{via} = \frac{358 \epsilon_r h r_v}{r_{ap} - r_v} \text{ [pF]} \quad (4)$$

비아의 임피던스를 Z_{via} 라고 하였을 때, Z_{via} 는 식 (5)와 같이 나타낼 수 있다.

$$Z_{via} = \sqrt{\frac{L_{via}}{C_{via_total}}} = \sqrt{\frac{L_{via}}{2C_{via}}} \quad (5)$$

임피던스 불연속으로 인한 반사는 신호의 SI를 저

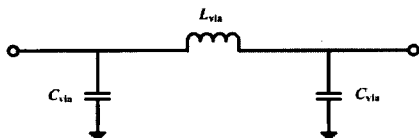
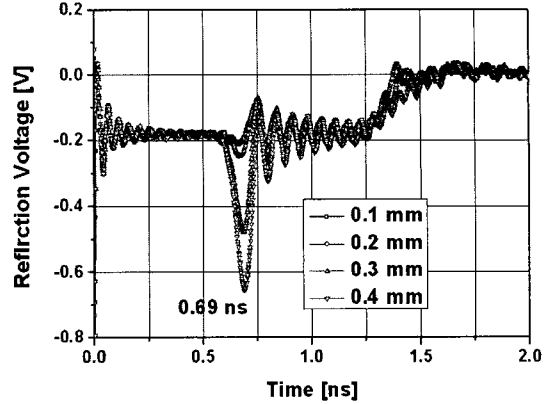
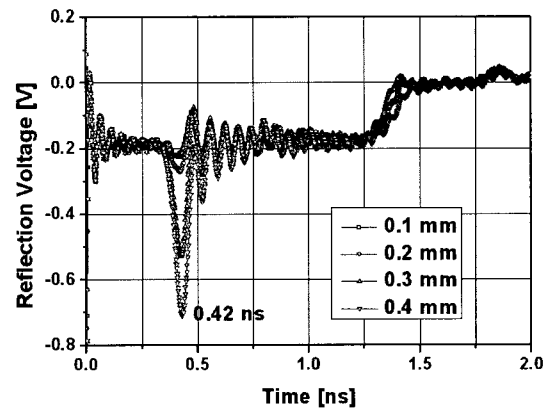


그림 2. 관통형 비아의 π-형 모델
Fig. 2. π-model of the through-hole via.



(a) (Tx, Ty)=(50, 50)
(a) (Tx, Ty)=(50, 50)



(b) (Tx, Ty)=(30, 30)
(b) (Tx, Ty)=(30, 30)

그림 3. 비아 몸통 반경 변화로 인한 TDR 특성($r_{ap}=0.5$ mm)

Fig. 3. TDR characteristic due to the variation of the via body radii($r_{ap}=0.5$ mm).

표 3. L_{via} 와 C_{via} , Z_{via} , 반사 전압($r_{ap}=0.5$ mm)

Table 3. L_{via} , C_{via} , Z_{via} , and reflection voltage($r_{ap}=0.5$ mm).

r_v [mm]	L_{via} [nH]	C_{via} [pF]	Z_{via} [Ω]	V_0 [V]
0.1	1.28	0.24	52.09	0.02
0.2	1.12	0.63	29.75	-0.25
0.3	1.02	1.42	18.94	-0.45
0.4	0.95	3.78	11.20	-0.63

하시키는 요소로 작용하며, 이 때 불연속 지점의 임피던스가 특성 임피던스 Z_0 보다 크다면 + 반사 전압

을 발생시키고, 작다면 - 반사 전압을 발생시킨다 [5]. 이것은 임피던스 간의 반사계수를 이용해 설명할 수 있으며, 그 관계를 식 (6)에 나타내었다. Z_1 은 불연속 지점의 임피던스를 나타낸다.

$$V_0^- = \frac{Z_1 - Z_0}{Z_1 + Z_0} V_0^+ = \Gamma V_0^+ \begin{cases} Z_1 \geq Z_0 \Rightarrow 0 \leq \Gamma \leq 1 \\ Z_1 \leq Z_0 \Rightarrow -1 \leq \Gamma \leq 0 \end{cases} \quad (6)$$

따라서 Z_{via} 가 전송 선로의 특성 임피던스보다 작다면 - 반사 전압을, 반대 경우 + 반사 전압을 발생시킨다.

Z_{via} 가 SI 성능에 미치는 영향을 분석하기 위하여 r_{ap} 를 고정시키고, r_v 를 0.1 mm부터 0.4 mm까지 0.1 mm씩 늘려 C_{via} 와 L_{via} 가 함께 변할 때 전송 선로의 특성 임피던스를 50 Ω으로 하여 반사 전압을 구해 표 3에 정리하였다.

r_v 변화에 따른 TDR 특성을 CST사의 MWS를 이용해 그림 4에 나타내었다. 그림 4의 결과에서 r_v 가 커져 비아와 기준 면 사이 간격이 좁아지면, 신호 반사의 크기가 커지는 것을 확인할 수 있다. r_v 가 커짐에 따라 C_{via} 는 증가하고 L_{via} 는 감소하여 Z_{via} 는 급격히 감소하게 되어 전송 선로의 특성 임피던스보다 작은 값을 갖게 되므로 - 반사 전압을 갖고 크기가 증가한다. 그림 4의 결과에서 얻은 반사 전압을 표 4에 정리하였으며, 비아 모델링을 이용한 결과와의 비교를 그림 5에 나타내었다. r_v 가 0.1 mm일 때를 제외하고, 두 결과가 유사함을 알 수 있으며, 0.1 mm에서 오차가 발생하는 원인은 C_{via} 의 값이 매우 작아

표 4. 시뮬레이션을 이용해 구한 반사 전압($r_{ap}=0.5$ mm)

Table 4. Reflection voltage by simulation($r_{ap}=0.5$ mm).

r_v [mm]	V_0^- [V] (T_x, T_y)=(50, 50)	V_0^- [V] (T_x, T_y)=(30, 30)
0.1	-0.21	-0.22
0.2	-0.24	-0.27
0.3	-0.47	-0.52
0.4	-0.65	-0.7

TDR 시뮬레이션과 모델링을 이용한 계산의 오차가 매우 작아도 반사 전압 값에는 크게 작용하기 때문이다. 또한 그림 4의 각 비아 위치에서 반사가 발생하는 시간($t_{reflection}$)은 식 (7)과 같이 전파 속도(propagation velocity)를 이용해 구할 수 있다.

$$v_p = \frac{c}{\sqrt{\epsilon_{eff}}} = \frac{3 \times 10^8}{\sqrt{3.8}} = 1.43 \times 10^8 \text{ [m/s]}$$

$$t_{reflection} = \frac{2 \times l}{v_p}$$

$$= \begin{cases} (30, 30) \Rightarrow \frac{2 \times l}{v_p} = \frac{2 \times 30 \times 10^{-3}}{1.43 \times 10^8} = 0.42 \times 10^{-9} \text{ [s]} \\ (50, 50) \Rightarrow \frac{2 \times l}{v_p} = \frac{2 \times 50 \times 10^{-3}}{1.43 \times 10^8} = 0.69 \times 10^{-9} \text{ [s]} \end{cases} \quad (7)$$

c 는 빛 속도이며, ϵ_{eff} 는 기판의 유효유전율이다. 그리고 전송선의 길이에 2를 곱한 것은 신호가 반사 지점에서 입력 지점으로 돌아오는 데까지 걸린 시간을 고려한 것이며, 계산과 시뮬레이션의 결과는 동일하다.

이 결과에서 알 수 있듯이 비아의 기생 성분에 의한 임피던스 불연속도 낮은 잡음 마진(margin)을 갖는 시스템에서는 반드시 고려되어야 할 사항이며,

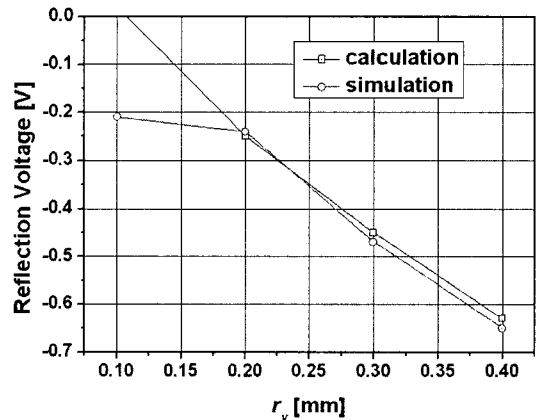
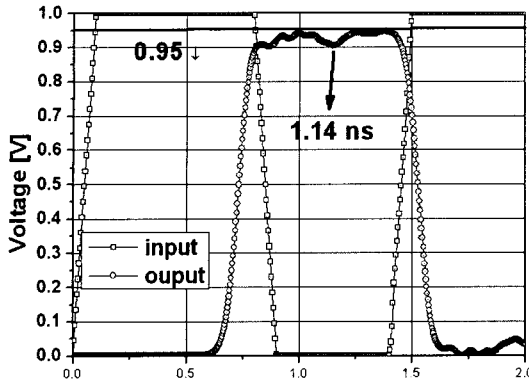
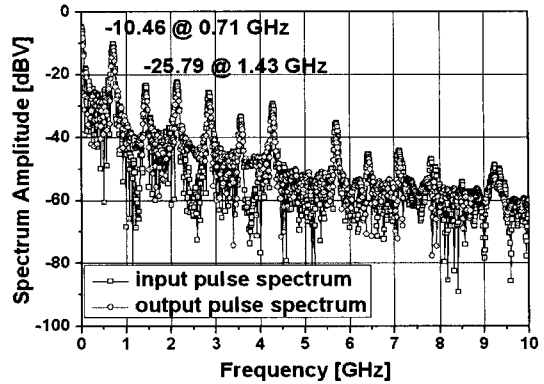


그림 4. 계산과 시뮬레이션의 반사 전압 결과 비교 ((T_x, T_y)=(50, 50))

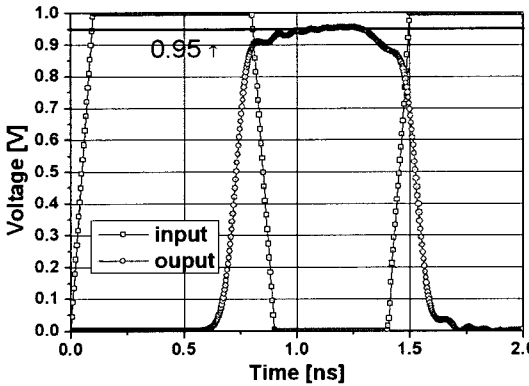
Fig. 4. Compare the calculation with simulation results of reflection voltage((T_x, T_y)=(50, 50)).



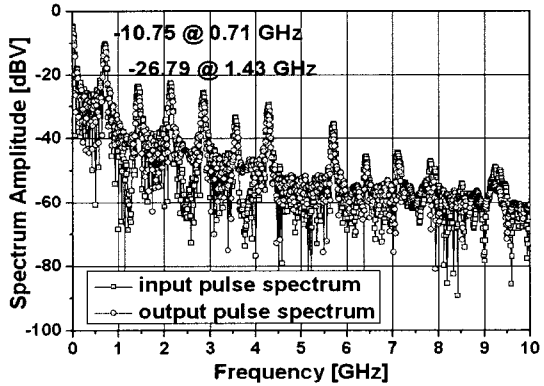
(a) $(T_x, T_y)=(30, 30)$ 클럭 응답 파형
(a) Clock waveform of $(T_x, T_y)=(30, 30)$



(b) $(T_x, T_y)=(30, 30)$ 스펙트럼
(b) Spectrum of $(T_x, T_y)=(30, 30)$



(c) $(T_x, T_y)=(50, 50)$ 클럭 응답 파형
(c) Clock waveform of $(T_x, T_y)=(50, 50)$



(d) $(T_x, T_y)=(50, 50)$ 스펙트럼
(d) Spectrum of $(T_x, T_y)=(50, 50)$

그림 5. 1.4 ns 클럭 입력에 따른 응답 파형

Fig. 5. Simulated transmitted 1.4 ns clock waveform.

다수의 비아가 사용되는 PCB 설계에서 SI 성능 저하를 최소화하기 위해서는 특성 임피던스에 맞는 비아 구조 모델링이 수행되어야 한다.

2-2 클럭 신호 입력에 따른 응답 특성

클럭 신호가 PCB에 인가될 때 출력 파형은 임피던스에 의해 결정되며, 주기적인 특성으로 인해 하모닉(harmonic)과 전력 집중이 발생한다⁵⁾. 이 때, 전송선에서 어떠한 불연속이나 공진과 만나게 되면, 심각한 파형의 왜곡이나 RE(Radiated Emission) 문제를 발생시킨다. 따라서 PCB의 성능을 양질로 유지할 수 있도록 하는 것이 중요하며, 다른 시스템을 클럭 신호 응답 왜곡으로 인한 RE 피해로부터 지키는 것도 중요하다.

관통형 비아가 있는 다층 PCB에 클럭 신호가 인가되었을 때 비아의 영향을 알아보기 위해 1.4 ns 주기(상승, 하강 시간 $t_r=t_f=0.1$ ns)를 갖는 클럭을 인가하였을 때 각 비아 위치에 따른 클럭 응답 파형과 주파수 스펙트럼의 크기를 그림 6에 나타내었다. $T=1/f$ 관계로 1.4 ns 신호는 710 MHz 주파수를 1차 하모닉으로 하는 주기 신호이며, 710 MHz는 100×100 mm² 크기 PCB의 (1, 0), (0, 1) P/G면 공진 주파수와 일치한다. 그리고 2번째 하모닉은 1.42 GHz로, (2, 0), (0, 2) 공진 모드와 유사하다. 따라서 비아 위치 (30, 30)은 710 MHz에서 P/G면 공진이 발생하여 신호의 손실이 발생하므로 출력 파형의 크기가 비아 위치 (50, 50)보다 작게 된다. 그리고 비아 위치 (30, 30)의 1.15 ns에서 왜곡이 발생하는 원인은 비아로 인해 발

생한 반사 전압이 영향을 미치지 때문이다. 식 (7)을 이용해 100 mm 길이를 갖는 전송 선로의 전송 시간을 구하면 약 0.7 ns가 되고, 비아 위치에 의해 왜곡이 발생하는 0.42 ns의 시간만큼 더해진 시간에 파형의 왜곡이 발생한다. 비아 위치 (50, 50)의 경우 비아 위치에 해당하는 0.69 ns를 0.7 ns에 더한 1.39 ns 부근에서 파형의 왜곡이 발생한다. 그림 6의 스펙트럼에서 입력보다 출력의 크기가 작은 이유는 비아로 인해 발생하는 임피던스 불연속 때문으로, 두 위치 모두 동일한 비아의 규격($r_v=0.3$ mm, $r_{op}=0.5$ mm)으로 같은 임피던스를 갖기 때문에 동일한 양의 신호 손실이 발생한다. 하지만, 비아 위치 (30, 30)은 710 MHz에서 P/G면 공진이 발생하므로 비아 위치 (50, 50)보다 710 MHz에서 출력 스펙트럼의 크기가 작다. 그리고 입력 신호의 2번째 하모닉인 1.42 GHz에서는 두 위치 모두 P/G면 공진 ((2, 0), (0, 2) 모드)이 두 위치 모두 발생하므로 유사한 크기의 손실을 발생된다. 이 결과를 통해 비아 위치가 (30, 30)일 때 (50, 50)보다 더 많은 공진 모드를 갖기 때문에 비아 위치가 (30, 30)일 때 SI 성능이 저하됨을 알 수 있다. 공진이 많이 발생하면 SI 성능이 저하되고, 공진으로 인한 신호 손실은 EMI 방사를 발생시킨다. 따라서 비아 위치를 이용한 공진 상쇄는 SI 저하를 최소화 할 수 있으며, 잡음 발생을 줄이므로 RE 역시 감소시킬 수 있으므로 EMI 성능을 향상시킬 수 있다.

III. 결 론

본 논문은 집중 소자 모델을 이용하여 비아와 전송 선로의 임피던스 불연속으로 인해 발생하는 반사 전압을 계산하였으며, TDR 시뮬레이션과 비교하였다. 또한 비아 위치를 이용한 P/G면 공진 상쇄를 이용해 클럭 신호 응답의 왜곡 최소화시킬 수 있음과 비아 구조 선택을 통한 임피던스 정합으로 SI 성능을 향상시킬 수 있음을 보였다.

참 고 문 헌

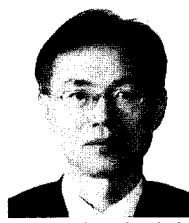
- [1] 김리진, 이재현, "단일 비아 위치를 이용한 PCB의 복사성 방사 성능 향상", 한국전자과학기술논문지, 20(12), pp. 1272-1278, 2009년 12월.
- [2] David M. Pozar, *Microwave Engineering 3rd Edition*, New York: Wiley-Intersciences, pp. 278-282, 2005.
- [3] Stephan H. Hall, Barrett W. Hall, and James A. McCall, *High Speed Digital System Design*, Wiley Inter Science, pp. 51-128, 2000.
- [4] Howard Johnson, Martin Graham, *High-Speed Digital Design*, Person Education Inc., pp. 261-274, 1993.
- [5] Brian Young, *Digital Signal Integrity*, Prentice Hall PTR, pp. 55-127, 2001.

김 리 진



2008년 2월: 충남대학교 정보통신공학부 (공학사)
 2008년 3월~현재: 충남대학교 전파공학과 석사과정
 [주 관심분야] PCB에서의 EMI/EMC, RF 부품

이 재 현



1978년 2월: 인하대학교 전자공학과 (공학사)
 1985년 2월: 한국과학기술원 전기 및 전자과 (공학석사)
 1993년 2월: 한국과학기술원 전기 및 전자과 (공학박사)
 1991년 2월~2001년 2월: 한국전자통신연구원 책임연구원
 2001년 2월~현재: 충남대학교 전파공학과 교수
 [주 관심분야] PCB에서의 EMC/EMI, 위성 통신 시스템 및 RF 부품, Magnetostatic Wave Device