

유전체 손실을 고려한 전원부에서 유기되는 노이즈 모델링에 관한 연구

Modeling of the Power/Ground Plane Noise Including Dielectric Substrate Loss

김종민 · 남기훈 · 하정래 · 송기재* · 나완수

Jongmin Kim · Ki-Hoon Nam · Jungrae Ha · Ki-Jae Song* · Wansoo Nah

요 약

본 논문에서는 전원부에서 노이즈가 발생되어 신호선에 노이즈가 유기될 때, 유전체의 손실 특성이 노이즈에 미치는 영향에 관해서 연구를 하였다. 이를 분석하기 위해 Full-wave 시뮬레이터인 Ansoft사의 HFSS(High Frequency Structure Simulation)와 CST사의 MWS(MicroWave Studio)의 계산 결과와 측정 결과를 비교하여 신뢰성을 확보하였고, 실제 사용되고 있는 4가지의 상용 기판에 대한 유기되는 노이즈를 해석하였다. 또한, TLM(Transmission Line Method)를 이용해서 전원면의 회로 모델 구성 시 기판의 유전체 손실을 반영할 수 있는 Debye 모델을 적용하여 주파수에 대한 임피던스를 분석할 수 있는 모델을 적용 측정 결과와 3 GHz까지 일치하는 모델을 얻었다.

Abstract

In this paper, we propose the modeling of the power/ground plane which includes complex dielectric permittivity and loss tangent for the power/ground coupled noise. In order to estimate the effects of the dielectric substrate for the coupled noise, we used full-wave simulators, HFSS(High Frequency Structure Simulation) and MWS(MicroWave Studio). The simulated results for the commercial substrates are compared with the measured values. TLM(Transmission Line Method) was used for the calculation of power plane impedance using Debye model which depicts the dielectric loss of PCB. Finally, impedance from proposed circuit model showed very good coincidence to the measured data.

Key words : Power Delivery Network, Power Integrity, Debye Model, TLM, Coupled Noise

I. 서 론

최근 디지털 시스템에서 소형화와 휴대성이 강조되고 많은 정보 처리가 요구되면서 공급전원의 감소와 반도체 소자들의 소형화, 그리고 고속 신호를 이용하고 있는 시스템의 개발이 요구되어지고 있다^{[1],[2]}. 하지만 공급 전원이 줄어들고, 칩의 크기와 두

께가 작아지면서 유전체 파괴(break down)에 대한 신뢰성 저하 및 시스템 전원 공급상의 손실 문제가 크게 대두되고 있다. 특히, VRM(Voltage Regulator Module)에서 PCB(Printed Circuit Board)와 패키지(package), 그리고 칩으로 구성되는 전원 분배망 회로(power delivery network)의 전원면(power/ground planes)은 신호선의 회귀 전류(return path)가 기준면으로서

「이 연구는 2009학년도 ETRI 연구비의 지원으로 연구되었음.」

성균관대학교 정보통신공학과(School of Information and Communication Engineering, Sungkyunkwan University)

*삼성전자(Samsung Electronics)

· 논문 번호 : 20091127-09S

· 교신저자 : 나완수(e-mail : wsnah@yurim.skku.ac.kr)

· 수정완료일자 : 2010년 1월 22일

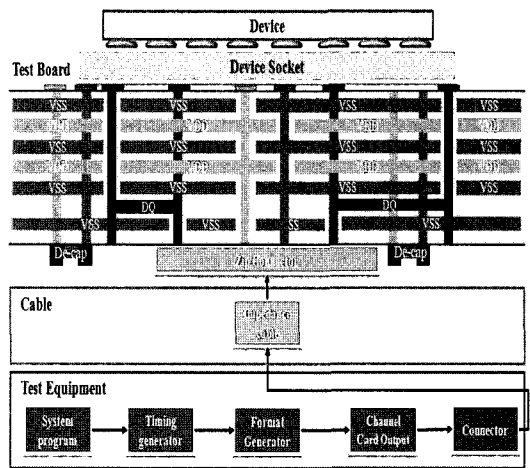
통과하면서 고주파 성분에 대한 기생 성분(parasitic components)이 발생하게 된다^[5]. 이러한 영향으로 인해서 칩에 공급되는 DC 전압은 주파수 성분에 의해서 흔들리게 되고 칩의 출력 신호는 SSN(Simultaneous Switching Noise)를 야기하게 된다^{[1],[2]}. 또한 같은 전원면을 공유하고 있는 PCB의 경우 발생된 전원부의 노이즈가 신호선에 유기되어 칩의 출력뿐만 아니라, 기준면을 공유하고 있는 신호선에 대한 전달 특성에 영향을 미치므로 전원면에서 발생된 노이즈의 유기에 대한 연구가 진행되고 있다^{[1],[2]}. 전원부에서 신호선으로 유기되는 노이즈를 해석하기 위해서 cavity 공진을 이용한 전원면의 임피던스를 해석하는 연구와 TLM(Transmission Line Method)^[3]이 진행되고 있으며, via hole과 기준면과 칩의 위치에 따른 유기되는 노이즈의 특성에 대한 연구^[2]와 모드 공진에 의한 전원 분배망에서의 임피던스 특성이 변화하는 특성과 기준면과 신호선의 위치에 따른 유기되는 노이즈의 특성을 해석하는 연구가 이루어졌다^[1]. 또한 차동 신호(differential signal)로 신호를 전송할 시 신호선의 간격과, 폭에 따른 유기되는 노이즈 특성과, Through via hole의 Stub 길이에 따른 특성을 분석하였고, Jitter 특성에 관한 연구가 진행되었다^[4]. 하지만 이들 논문들에서는 사용하고 있는 기판의 유전율과 손실에 따른 전원부에서 신호선으로 유기되는 노이즈 특성 분석 및 모델링에 관한 연구는 진행되고 있지 않는 실정이다.

이에 본 논문에서는 full-wave 시뮬레이션인 Ansoft사의 HFSS(High Frequency Structure Simulation), CST사의 MWS(MicroWave Studio)와 측정된 결과를 비교하여 구성된 full-wave 시뮬레이션 모델의 신뢰성을 확보한 후에 상용 기판에 대해 전달되는 노이즈 특성을 S-parameter를 이용해서 분석하였다. 분석된 결과를 근거로 하여 기판의 유전율과 손실에 대한 특성이 전원면의 임피던스와 유기되는 노이즈에 영향을 미치는 것을 확인하였고, 분석된 내용을 근거로 전원면의 회로 모델 구성 시 사용되는 TLM을 이용할 때 유전율의 실수뿐만 아니라 허수를 적용하여, 주파수에 대한 함수로 사용할 수 있는 Debye 모델을 전원면의 모델링에 적용하여, -3 GHz까지 잘 일치하는 모델을 개발하였다.

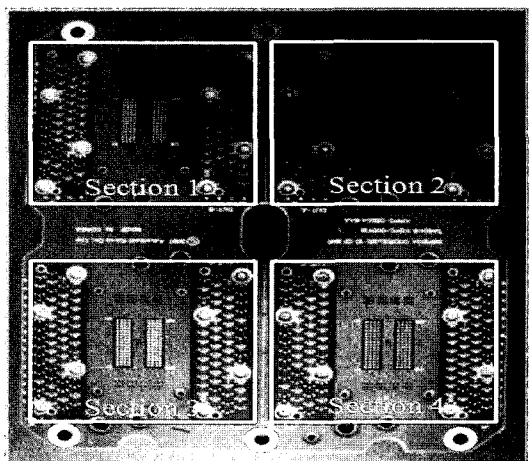
II. Test 보드의 제작 및 구성

패키지된 DDR3 메모리는 그림 1(a)와 같은 구성으로 고속 메모리 동작에 대한 메모리 테스트를 하고, 메모리의 성능을 검증하고 있다.

이때 테스트 장비와 DDR 메모리와의 연결을 그림 1(b)와 같은 메모리 테스트 보드를 이용하여 테스트 패턴과 같은 신호와 전원을 DDR 메모리에 공급하고 있다. 테스트의 효율을 증가시키기 위해서 1개의 메모리 테스트 보드에 4개의 DDR 메모리를 동시



(a) DDR 메모리를 테스트하기 위한 구성도
(a) Schematic diagram for DDR memory test



(b) 4개의 DDR 메모리 테스트를 위한 보드
(b) Test board for 4 DDR memory tests

그림 1. 패키지된 DDR 메모리 테스트
Fig. 1. Memory test for checking the operations of packaged DDR series memory device.

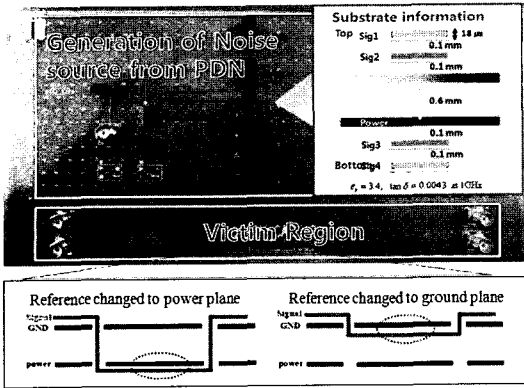


그림 2. Test 보드의 제작 및 구성
Fig. 2. Designed and fabricated evaluation board.

에 테스트를 수행하고 있으며, 이들 메모리는 같은 전원면(power plane)과 접지면(ground plane)을 사용하고 있다. 하지만 DDR 메모리의 속도가 증가할수록 section 1의 전원면에서 발생한 노이즈는 section 2나, section 3, 4와 같이 다른 부분에서 테스트되고 있는 전원면과 신호선에도 영향을 미치고 있어서 이에 대한 해석이 필요하다.

전원면에서 신호선으로 유기되는 현상을 분석하기 위해서 그림 2와 같이 test 보드를 제작하였고, 그 구성은 다음과 같다. 전원면에서 발생하는 노이즈를 모의하기 위해서 1개의 clock buffer와 5개의 FIN-1027 drivers, 5개의 FIN1028 receivers를 이용해서 스위칭 시 노이즈를 발생하였고, 발생된 노이즈는 신호선의 전달 특성에 영향을 주기 위해 그림 2의 아래 부분과 같이 전원면을 기준면으로 전이하는 신호선과, 접지면을 전이하는 신호선으로 구성해서 test 보드를 제작하였다. 이때, 보드는 6층 다층 기판을 이용해서 기준면에 따른 노이즈 유기의 특성을 분석할 수 있도록 제작하였으며, 사용된 PCB는 Kyocera의 PPE(유전율: 3.6, 손실율: 0.0044)을 이용해서 가로 200 mm, 세로 100 mm의 크기로 보드를 제작하였다.

III. 유전체에 따른 전원 임피던스와 유기되는 전원 노이즈의 특성 분석

시뮬레이션 모델 구성에 앞서 구성된 모델의 신뢰성을 검증하기 위해서 2장에서 제작된 기판의 임

피던스 특성을 측정하였고, 측정 장비는 Agilent사의 E8364B PNA(Performance Network Analyzer)와 Cascade사의 500 μm 간격(pitch)를 가지는 probe tip을 사용하였으며, SOLT(Short-Open-Load-Through) 방법으로 교정 후에 S(scattering)-parameter를 측정해서 Z-parameter 변환으로 전원부의 임피던스 측정을 하였다. 또한 신호선으로 유기되는 특성을 분석하기 위해서 전달 특성인 S_{21} 파라미터를 이용하여 측정을 하였다. 하지만 Test 보드의 구조상 전원부 임피던스 측정을 위한 포트 1은 probe tip을 이용하여 측정해야 하며, 신호선의 경우 SMA 커넥터를 이용해서 측정을 해야 하기 때문에 전달되는 노이즈를 측정하기 위해 probe tip이 없는 상태에서 SOLT 방법으로 2포트 교정한 후에, 전원부의 측정 지점인 포트 1에 probe tip을 연결하여 측정을 하였다. 최종적으로 probe tip에 대한 특성을 ABCD 전달 파라미터로 변환하여 측정 결과에 embedding한 후 그림 4와 같이 측정하였다. 유전체에 따른 전원부에서 신호선으로 유기되는 노이즈를 분석하기에 위하여 상용 full-wave 시뮬레이션 툴인 Ansoft사의 HFSS(High Frequency Structure Simulation)와, CST사의 MWS(Micro-Wave Studio), 그리고 TLM(Transmission Line Method)를 이용한 모델링을 그림 3과 같이 하였으며, 모델의 신뢰성을 확보하기 위해 그림 4와 같이 비교하였다. TLM을 이용하여 전원부에 대한 회로 모델 구성 시 식 (1)^[3]을 이용해서 100 mm×200 mm의 크기를 가지고 있는 전원면을 40×80개의 unit cell로 모델링을 하였다.

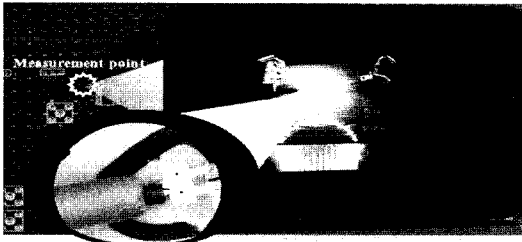
$$R = R_{ac} + R_{dc} = \frac{2}{\sigma_c t} + 2\sqrt{\frac{\pi f \mu_0}{\sigma_c}}$$

$$L = \mu_0 d$$

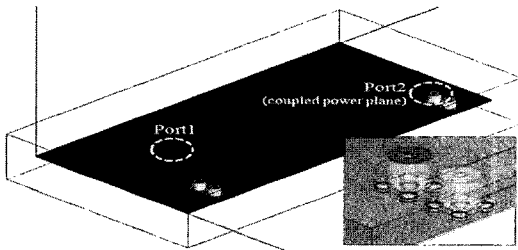
$$C = \epsilon_0 \epsilon_r \frac{w^2}{d}$$

$$G_d = \omega C \tan(\delta) \tag{1}$$

여기서 σ_c 는 도체의 전도율, t 는 도체의 두께, ϵ_0 , ϵ_r 은 진공중의 유전율과 비유전율, 그리고 μ_0 는 진공중의 투자율이며, d 는 기판의 두께, w 는 격자의 길이, $\tan(\delta)$ 는 유전체의 손실률을 나타내고 있다.



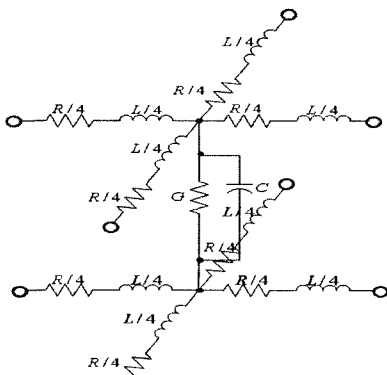
(a) Probe station을 이용한 전원면의 임피던스 측정
(a) Measurement of impedance using probe station



(b) HFSS를 이용한 임피던스와 전달 노이즈 분석
(b) Analysis of impedance and transfer noise using HFSS



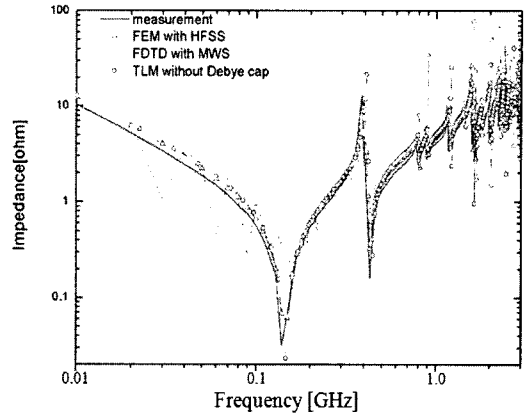
(c) MWS를 이용한 임피던스와 전달 노이즈 분석
(c) Analysis of impedance and transfer noise using MWS



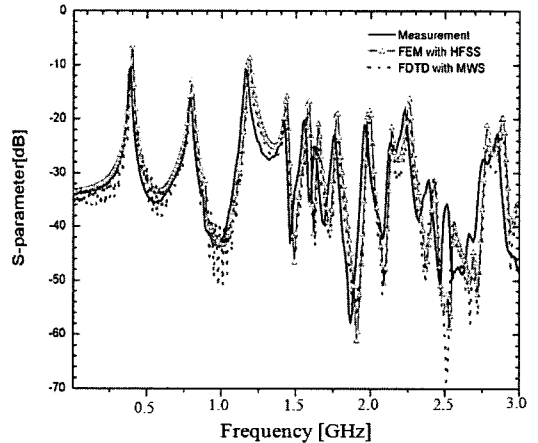
(d) TLM을 이용한 전원부의 회로 모델
(d) Circuit model of power/ground planes using TLM

그림 3. 전원 임피던스와 유기되는 노이즈 해석을 위한 측정 및 시뮬레이션 모델

Fig. 3. Measurement and simulation model for the impedance and coupled noise from PDN.



(a) 측정과 시뮬레이션의 임피던스 비교
(a) Comparison between measurement and simulation for the power impedance at port 1



(b) 측정과 시뮬레이션의 S_{21} 비교
(b) Comparison between measurement and simulation for the S_{21} from power pin to signal terminal

그림 4. 측정과 시뮬레이션 결과의 비교
Fig. 4. Comparison between measurement and simulation.

모델의 저항 R 은 도체의 도전율에 의한 DC 저항과 표면 침투 효과(skin depth)에 의한 AC 저항의 합으로 표현이 되며, 전력 분배 시스템의 길이에 의한 성분이 L 이며, 전원면이 도체와 도체 사이에 있으므로 C 성분이 기판 두께에 따른 단위 면적의 크기로 표현되고 있다. 또한, 고주파 성분에 의한 유전체 손실을 G 로 표현하여 증첩의 원리에 의해 그림 3(d)와 같이 회로 모델을 구성하였다.

Full-wave 시뮬레이션의 모델 구성 시 커넥터에 대한 효과를 포함하기 위해서 그림 3(b), (c)와 같이

표 1. 상용 기판의 유전체 특성

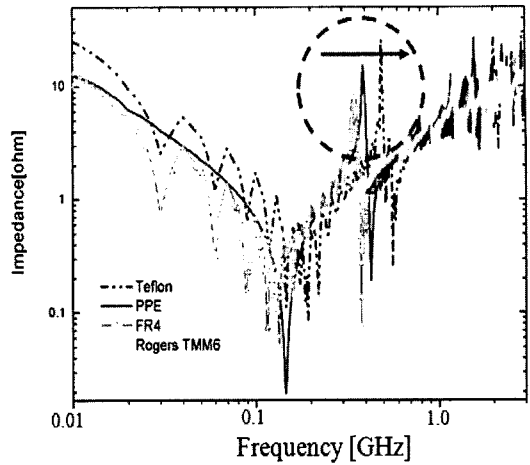
Table 1. Characteristic of dielectric substrates.

Substrate	Permittivity at 1 GHz	Losstangent at 1 GHz
Teflon	2.1	0.0020
PPE	3.6	0.0035
FR4	4.5	0.0200
Rogers TMM6	6.0	0.0030

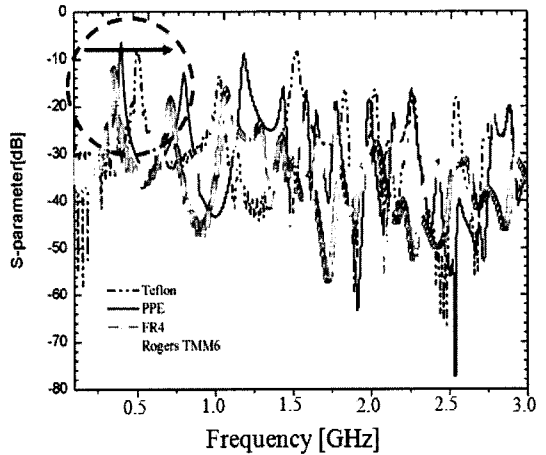
모델링을 하였으며, lumped port를 이용해서 측정과 유사하게 포트를 인가하였고, 임피던스와 전달되는 노이즈에 대한 측정 결과와 그리고 각각의 시뮬레이션 결과를 그림 4와 같이 비교를 하였다. 그림 4(b)의 경우 TLM의 시뮬레이션 결과와는 비교하지 않았다. TLM의 경우 현재 전원면에 대한 모델링이 되어 있으나, 전달되는 노이즈의 특성을 분석하기 위해서는 신호선과 비아 홀에 대한 모델링이 이루어진 후 co-simulation을 통해서 구현해야 하기 때문이다. 하지만 현재 진행 중이므로, 본 논문에서는 신호선으로 유기되는 노이즈에 대해서는 full-wave 시뮬레이션 결과만을 이용하여 분석을 하였다. 그림 4의 결과에서 전원면의 임피던스와 전원면에서 신호선으로 유기되는 노이즈에 의한 해석 결과에 대하여 full-wave 시뮬레이션과 잘 일치하고 있음을 확인하였다. Full-wave 시뮬레이션을 이용하여 표 1의 명시된 상용 기판에 대한 전원면의 임피던스 특성과 신호선의 유기되는 특성을 분석하였으며, 그 결과를 그림 5에 나타내었다.

그림 5에서 보듯이 유전체의 유전율이 작을수록 전원면의 임피던스의 anti-resonance 특성이 고주파에서 형성되는 것을 확인할 수 있으며, 이는 전원면의 특성이 고주파 측면에서 capacitor로 모델링이 될 수 있기 때문에 유전율에 따른 공진 특성을 보여주고 있다. 즉, 유전체의 유전율과 손실률은 주파수에 의해 결정되어야 하며, 손실률에 대해서는 식 (2)와 같이 유전율의 복소 함수(complex function)로 표현되고 full-wave 시뮬레이션 상에서의 손실률을 그림 6에서 보여주고 있다.

$$\tan \theta = \frac{-\text{Im}(\epsilon)}{\text{Re}(\epsilon)} = \frac{\epsilon''}{\epsilon'} \quad (2)$$



(a) 유전체에 대한 임피던스 특성
(a) Impedance at port 1 for the substrates



(b) 유전체에 대한 S₂₁ 특성
(b) S₂₁ from power pin to signal for the substrates

그림 5. 유전체에 따른 임피던스와 S₂₁ 특성
Fig. 5. Impedance and S₂₁ for the substrates.

그림에서 보듯이 full-wave 시뮬레이션의 경우 유전율과 손실률을 상수로서 정의하지만 내부에서는 상수와 허수에 대한 관계(causality)를 고려해서 해석하기에 그림 4와 같이 측정과 유사한 결과를 도출할 수 있었다. 하지만 회로 모델로 구성한 TLM의 경우 1 GHz 이후에서 안정되지 않는 결과를 도출하였으며, TLM 구성 시 유전율과 손실률을 상수로 입력하여 구성하였기에 차이를 보인 것으로 사료된다. 그림 5와 6을 근거로 해서 TLM에 causality를 고려할 수 있는 모델 연구를 진행하였다.

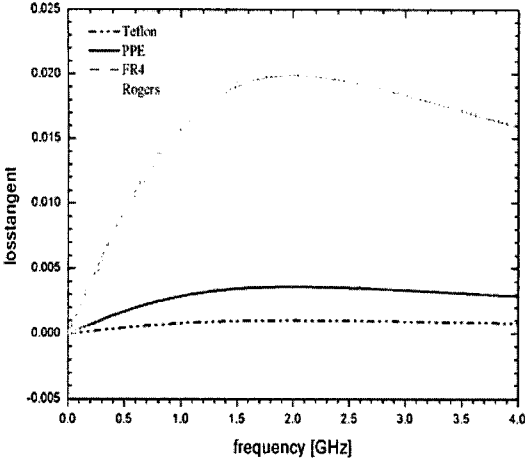


그림 6. 유전체의 주파수에 대한 손실율
Fig. 6. Losstangent of substrates in the frequency domain.

IV. 유전체의 손실을 고려한 전원면의 회로 모델

3장에서 언급했듯이, TLM의 커패시터의 파라미터 구성 시 기판에서 제공되는 유전율과 손실률을 상수로 입력하기 때문에 본 모델에서는 1 GHz 이후부터는 불안정한 특성의 결과를 도출하였다. 실수에 대한 허수 부분을 반영하기 위해 network functions 관계식에서 유전체에 대해 Kramers-Kroning 관계식이 식 (4)와 같이 유도되어 나타내고 있다^[7].

$$\begin{aligned}\varepsilon_r''(\omega) &= \frac{2\omega}{\pi} \int_0^\infty \frac{1 - \varepsilon_r'(u)}{u^2 - \omega^2} du \\ \varepsilon_r'(\omega) &= 1 + \frac{2\omega}{\pi} \int_0^\infty \frac{u\varepsilon_r''(u)}{u^2 - \omega^2} du\end{aligned}\quad (3)$$

식 (4)의 경우 계산의 수행이 복잡하기 때문에 식 (5)와 같이 복소 함수로 간략화 모델을 사용할 수 있다^[7].

$$\begin{aligned}\varepsilon_r(\omega) &\cong k_0 \left(\frac{\omega}{\omega_0} \right)^{\frac{2}{\pi} \theta} (1 - j\theta), \\ \tan \theta &= \frac{\varepsilon_r''}{\varepsilon_r'} = \frac{k_0 \left(\frac{\omega}{\omega_0} \right)^{\frac{2}{\pi} \theta} \cdot \theta}{k_0 \left(\frac{\omega}{\omega_0} \right)^{\frac{2}{\pi} \theta}} = \theta\end{aligned}\quad (4)$$

여기서, ω_0 의 경우 주파수에 대한 손실 영역이 LC 영역에서 유전체 손실에 대한 영역으로 전환되는 주파수를 지정하고 있으며, 본 논문에서는 간략화된 해석을 하기 위해서 100 MHz을 기준으로 분석을 하였다. 식 (4)의 경우, DC 영역에서는 capacitance 특성이 무한대의 특성을 가지므로, 실제 사용되는 모델에 대해서는 현실적으로 구현하기 힘든 모델이며, 이를 개량하기 위해 식 (5)와 같이 로그함수를 이용한 모델^[7]로 이용할 수 있다.

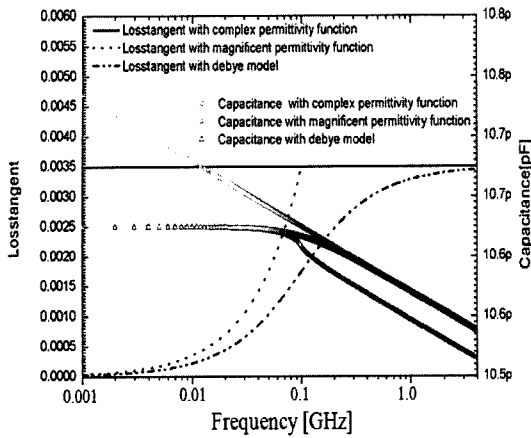
$$\begin{aligned}\varepsilon_r(\omega) &= e^{-\alpha(\omega) - j\theta(\omega)} \\ \rightarrow \alpha(\omega) &= \frac{\theta_1}{\pi} \left\{ \begin{aligned} &\left(1 + \frac{\omega}{\omega_1} \right) \ln \left(1 + \frac{\omega}{\omega_1} \right) \\ &+ \left(1 - \frac{\omega}{\omega_1} \right) \ln \left(1 - \frac{\omega}{\omega_1} \right) \end{aligned} \right\} \\ \rightarrow \theta(\omega) &= \begin{cases} \theta_1 \frac{\omega}{\omega_1} & \text{if } \omega < \omega_1 \\ \theta_1 & \text{otherwise} \end{cases} \\ \tan \theta &= \frac{-\text{Im}(\varepsilon_r)}{\text{Re}(\varepsilon_r)} = \frac{-\text{Im}(\varepsilon_r)}{\text{Re}(\varepsilon_r)} \\ &= \frac{\varepsilon_r''}{\varepsilon_r'} = -\frac{\text{Im}(e^{-\alpha(\omega) - j\theta(\omega)})}{\text{Re}(e^{-\alpha(\omega) - j\theta(\omega)})}\end{aligned}\quad (5)$$

또한, 식 (4)를 개량하기 위해 진동 해석에 사용되는 식 (6)과 (7)의 Debye 모델^[6]을 이용하여 유전체의 주파수에 대한 모델을 구현할 수 있다.

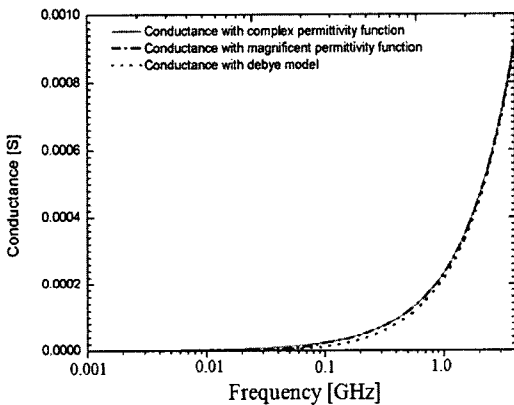
$$\begin{aligned}k &= \begin{cases} 1 & \text{for } K = 1 \\ 0.9 & \text{for } K > 1 \end{cases} \\ C_\infty &= \frac{C_\#}{1 + K2k \tan \delta} \\ C_i &= 2kC_\infty \tan \delta \\ R_i &= \frac{1}{\omega_i C_i}, \quad \omega_{i+1} = 10\omega_i, \quad i = 1, 2, \dots, K\end{aligned}\quad (6)$$

$$\begin{aligned}K = 1 &\rightarrow k = 1 \\ Y(j\omega) &= j\omega C_\infty + \frac{j\omega C_1}{1 + j\omega C_1 R_1} \\ K = 2 &\rightarrow k = 0.9 \\ Y(j\omega) &= j\omega C_\infty + \frac{j\omega C_1}{1 + j\omega C_1 R_1} + \frac{j\omega C_2}{1 + j\omega C_2 R_2}\end{aligned}\quad (7)$$

2장에서 제작한 test 보드 유전체인 PPE(유전율 3.6, 손실율 0.0035)의 전원면 크기(100 mm×200 mm)에 대한 유전체 특성을 유전체 손실 모델인 식 (4)와



(a) 유전체 모델에 대한 capacitance와 손실을
(a) Capacitance and losstangent for the complex dielectric models



(b) 유전체 모델에 대한 conductance
(b) Conductance for the complex dielectric models

그림 7. 유전체 모델의 주파수 특성
Fig. 7. Characteristic of complex dielectric models in the frequency domain.

(5), 그리고 (6), (7)을 이용하여 모드 공진을 고려하지 않은 capacitance와 conductance의 주파수에 대한 특성을 그림 7과 같이 보여주고 있다.

그림 7(a)의 좌측은 손실률을 나타내고 있으며, 우측은 capacitance를 나타내고 있다. 손실률을 보면 식 (5)의 경우, 거의 상수로 나타내고 있으며, capacitance는 저주파에서 무한대의 특성을 보여주고 있다. 식 (6)을 이용한 모델의 경우, LC 영역에서 유전체 손실 영역으로 변환되는 영역에 대해 손실률 및 capacitance가 주파수에 대한 함수로 모델링이 되고 있지만, 식 (5)의 capacitance와는 0.02 pF의 차이를

보이고 있다. Debye 모델을 이용한 식 (7)의 $K=1$ 인 경우 capacitance가 유전체 손실 영역에 대해 주파수 함수 특성을 보이고 있으며, 식 (6)과는 달리, 식 (5)와 수렴하고 있는 것을 확인할 수 있다. 또한, Debye 모델의 경우 회로 모델의 어드미턴스 특성을 이용하여 TLM과 같은 회로 기반의 모델에 적용할 수 있는 장점을 가지고 있다. 하지만 Debye 모델의 경우 초기에 진동 해석을 위해 개발된 모델이기 때문에 식 (4)의 Kramers-Kroning 관계식에 의해 유전율에 대하여 적용할 수 있게 되었지만, scaling factor(K)에 의해서 포화(saturation)되는 영역의 범위가 결정되는 단점이 있다. 이러한 단점을 보완하기 위하여 scaling factor를 증가시켜 포화되는 영역을 확장^{[5],[6]}할 수 있다. 본 논문의 test 보드에서 사용한 PPE 유전체에 대한 Debye 모델의 특성은 그림 7(a)와 같이 모델링의 최대 주파수의 3 GHz의 범위 내에는 만족하므로, scaling factor 1에 대하여 그림 8의 TLM을 이용해서 전원면에 대한 모델링을 하였다.

실제 test 보드의 경우 6층으로 구성된 다층 기판을 사용하기 때문에 비아 홀(via hole)이 존재하고, 식 (8)을 이용해서 비아 홀에 대하여 모델링을 하였다.

$$L \approx 5.08h \left[\ln \left(\frac{4h}{d} \right) + 1 \right] \text{ [nH]}$$

$$C_{via} \approx \frac{1.41\epsilon_r D_1 T}{D_2 - D_1} \text{ [pF]} \tag{8}$$

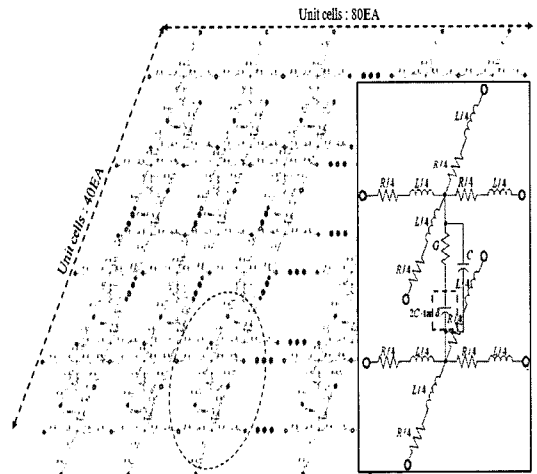
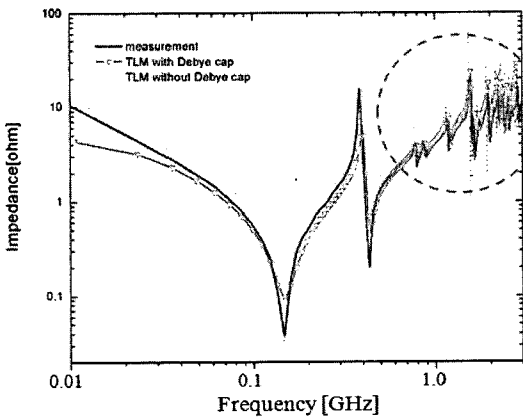
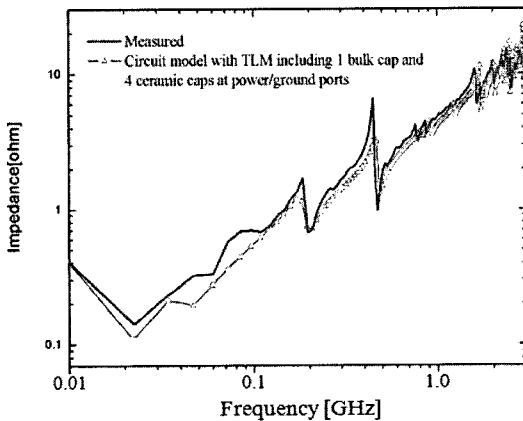


그림 8. Debye 모델이 포함된 전원면의 회로 모델
Fig. 8. Circuit model of power/ground planes with Debye model.



(a) 측정과 회로 모델의 임피던스 비교
 (a) Comparison between measurement and circuit model for the power impedance at port 1



(b) Capacitor가 연결된 모델의 임피던스 비교
 (b) Measured and circuit model for power/ground plane with decoupling capacitors installed

그림 9. 측정과 회로 모델의 비교
 Fig. 9. Comparison between measurement and circuit model.

여기서 h 는 비아 홀의 길이이며, d 는 비아 홀의 지름, T 는 PCB의 두께, 그리고 D_2 는 Anti 패드의 지름, D_1 은 비아 홀의 지름을 나타내고 있다. 본 모델의 경우 through 비아 홀을 이용하여 위쪽으로 향하는 비아 홀의 경우 포트와 연결이 되고, 아래쪽으로 향하는 비아 홀의 경우 capacitor로 연결되므로 신호선과 내층의 전원면을 기준으로 길이에 따라 up, down 비아 홀로 모델링을 하였다. 전원면에 대한 측정 결과와 회로 모델의 결과를 그림 9(a)에서 나타내고 있다. 그림 9(a)에서 보이듯이 본 논문에서 제안된 모

델의 경우, 전원면의 임피던스가 ~ 3 GHz까지 잘 일치하고 있으며, ESR(Equivalent Series Resistance) 0.6 Ω , ESL(Equivalent Series Inductance) 2.5 nH, C 100 nH을 가지는 bulk capacitor와 ESR 0.02 Ω , ESL 1 nH, C 10 nF을 포트 주변에 4개 연결한 전원면의 임피던스 또한, 그림 9(b)와 같이 잘 일치하고 있음을 확인할 수 있다.

V. 결 론

본 논문에서는 full-wave 시뮬레이션을 이용하여 전원면에서 신호선으로 유기되는 노이즈에 대한 해석을 하였으며, 유전체에 따른 전원면의 임피던스와 신호선으로 유기되는 노이즈 특성에 영향이 있다는 것을 확인할 수 있었다. 하지만, full-wave 시뮬레이션을 이용하여 전원면에서 유기되는 노이즈 해석을 하기에는 해석 시간의 문제, de-coupling capacitor 같은 소자를 추가해서 해석하는 문제 그리고 시간 영역에서의 노이즈 해석에 관한 문제가 있어서 TLM을 이용한 회로 모델로 구성을 하였다. 1 GHz 이후의 모델의 신뢰성 향상을 하기 위하여 3가지의 복소 유전율 모델 중에서 회로 모델에 적용할 수 있는 Debye 모델을 이용하여 3 GHz까지 측정과 일치하는 모델을 구현하였으며, De-coupling capacitor를 연결한 임피던스 특성 또한 측정과 잘 일치하고 있음을 확인하였다.

향후, 본 모델과 모델링된 신호선을 결합하면 전원면에서 신호선으로 유기되는 노이즈 특성을 해석할 수 있으며, IBIS(Input/Output Buffer Information Specification)이나, Chip의 SPICE 모델을 결합하여 시간 영역에서 유기되는 노이즈를 모의할 수 있는 모델의 구성에 이용할 수 있을 것으로 사료된다.

참 고 문 헌

[1] J. Kim, M. D. Rotaru, S. Baek, J. Park, M. K. Iyer, and J. Kim, "Analysis of noise coupling from a power distribution network to signal traces in high-speed multilayer printed circuit boards", *IEEE Trans. Electromagn. Compat.*, vol. 48, no. 2, May 2006.
 [2] J. Pack, H. Kim, Y. Jeong, J. Kim, J. S. Pak, D.

G. Kam, and J. Kim, "Modeling and measurement of simultaneous switching noise coupling through signal via transition", *IEEE Trans. Adv. Packag.*, vol. 29, no. 3, Aug. 2006.

[3] J. H. Kim, M. Swaminathan, "Modeling of irregular shaped power distribution planes using transmission matrix method", *IEEE Trans. Adv. Packag.*, vol. 24, no. 3, Aug. 2001.

[4] J. Chandrasekhar, E. Engin, M. Swaminathan, K. Uriu, and T. Yamada, "Noise induced jitter in differential signaling", in *IEEE ECTC2008*, 1755-1761,

May 2008.

[5] M. Swaminathan, A. E. Engin, *Power Integrity Modeling and Design for Semiconductors and Systems*, Prentice Hall, 2008.

[6] A. E. Engin, W. Mathis, W. John, G. Sommer, and H. Reichl, "Closed-form network representations of frequency-dependent RLGC parameters", *International Journal of Circuit Theory and Applications*, vol. 33, pp. 463-485, Nov. 2005.

[7] H. Johnson, M. Graham, *High-Speed Signal Propagation*, Prentice Hall, 2003.

김 종 민



2006년 2월: 동의대학교 정보통신공학부 (공학사)
 2008년 2월: 성균관대학교 정보통신공학부 (공학석사)
 2008년 3월~현재: 성균관대학교 정보통신공학부 박사과정
 [주 관심분야] Channel Modeling and Co-simulation, Analysis of PI, SI and EMI

송 기 재

1997년 2월: 광운대학교 전파공학과 (공학사)
 2001년 2월: 광운대학교 전파공학과 (공학석사)
 2005년 8월: 광운대학교 전파공학과 (공학박사)
 2005년 9월~현재: 삼성전자 책임연구원
 [주 관심분야] Channel Modeling and Co-simulation, Analysis of PI, SI and EMI

남 기 훈



2008년 2월: 동의대학교 정보통신공학부 (공학사)
 2008년 3월~현재: 성균관대학교 정보통신공학부 석사과정
 [주 관심분야] EMI/EMC, Signal Integrity

나 완 수



1884년 2월: 서울대학교 전기공학과 (공학사)
 1986년 2월: 서울대학교 전기공학과 (공학석사)
 1991년 2월: 서울대학교 전기공학과 (공학박사)
 1991년~1993년: SSCL Guest Collaborator
 1993년~1995년: 한국전기연구원 선임연구원
 1995년~현재: 성균관대학교 정보통신공학부 교수
 [주 관심분야] SI, PI, EMI/EMC

하 정 래



2007년 2월: 아주대학교 전자공학부 (공학사)
 2009년 3월~현재: 성균관대학교 정보통신공학부 석사과정
 [주 관심분야] Low Impedance PDN 설계, Signal Integrity