

1:4 전송 선로 트랜스포머를 이용한 고출력 고효율 광대역 전력 증폭기의 설계

Design of High-Power and High-Efficiency Broadband Amplifier Using 1:4 Transmission Line Transformer

김경원 · 서민철 · 조재용 · 유성철 · 김민수 · 김형철 · 오준희 · 심재우* · 양영구

Kyung-Won Kim · Min-Cheol Seo · Jae-Yong Cho · Sung-Cheol Yoo · Min-Su Kim · Hyung-Cheol Kim · Jun-Hee Oh · Jae-Woo Sim* · Youngoo Yang

요 약

본 논문에서는 부궤환 회로, 푸쉬풀 구조, 광대역 RF choke, 전송 선로 트랜스포머를 이용하여 30~512 MHz의 초광대역에서 동작하는 100 W 고효율 전력 증폭기를 설계하였다. 출력 전력을 향상시키고자 전송 선로를 이용한 트랜스포머에 병렬로 커패시터를 삽입하여 적절하게 로드 임피던스를 정합하였다. 제작한 광대역 전력 증폭기는 동작 주파수 대역에서 100 W 이상의 출력 전력과 18.34±0.9 dB의 높고 고른 이득 특성을 보였다. one-tone 측정에서 2차 고조파는 -34 dBc 이하, 3차 고조파는 -12 dBc 이하의 선형성 특성을 보였으며, 출력 전력 100 W에서 약 40 % 이상의 고효율 특성을 보였다.

Abstract

This paper presents a design of a 100 W high-efficiency power amplifier, whose operational frequency band expands from 30 to 512 MHz, using negative feedback network, push-pull structure, broadband RF choke, and transmission line transformer for balun configuration. The push-pull amplifier has been tuned for higher output power using a shunt capacitor as a matching component at its load especially for high-frequency region. The implemented power amplifier exhibited a very flat power gain of 18.34±0.9 dB throughout the operating frequency band and very high power-added efficiency(PAE) of greater than 40 % at an output power of 100 W. It also showed second- and third-harmonic distortion levels of below -34 dBc and -12 dBc, respectively, through the entire operating frequency band.

Key words : Broadband Power Amplifier, Transmission Line Transformer, Negative Feedback, Push-Pull, Broadband RF Choke Inductor

I. 서 론

무선 통신 기술의 발달과 이동 통신 시장의 확대에 의해 다양한 주파수를 세분화하여 상업용 및 군사용 주파수로 사용하고 있다. 최근 휴대성과 다수

기능의 시스템에 대한 필요성이 대두되면서 이러한 다양한 주파수 대역 시스템의 통합화를 위한 많은 연구가 진행되고 있다. 이러한 통합된 시스템은 광대역의 RF 송신단과 수신단을 필요로 한다.

광대역 전력 증폭기를 설계하는 기법으로는 평형

「이 논문은 2009년 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(2009-0067097).」

성균관대학교 정보통신공학부(School of Information and Communication Engineering, Sungkyunkwan University)

*피플웍스(주)(Peopleworks Co.)

· 논문 번호 : 20091127-03S

· 교신저자 : 양영구(e-mail : yang09@skku.edu)

· 수정완료일자 : 2010년 1월 19일

구조 증폭기, 손실 매칭 네트워크, 분배 구성 방법 등이 사용되는데, 이러한 방법들은 시스템의 크기와 매칭 회로의 복잡도 면에서 문제점을 가지고 있다^[1]. 그러나 소형화되고, 간단한 구조로 시스템을 가져갈 수록 원가를 낮추며, 경쟁력을 높일 수 있다.

본 논문에서는 30~512 MHz의 동작 주파수를 가지는 100 W 고효율 전력 증폭기를 설계하였다. 매칭 회로를 발룬 형태의 트랜스미션 라인 트랜스포머를 이용하여 크기를 소형화시켰으며, 여기에 병렬 캐패시터를 삽입하여 고출력 성능이 나오도록 하였다. 또한, 고출력에서 고효율과 부궤환 회로와 푸쉬풀 구조를 통해 평탄화된 이득과 고선형성을 만족시키도록 하여 통합된 시스템에 적합한 전력 증폭기를 설계하였다^{[2][3]}. 제2절에서는 이러한 통합된 시스템을 위한 광대역 전력 증폭기 회로 구성과 관련되어서 설명하였다. 제3절에서는 simulation을 통한 광대역 전력 증폭기 설계 결과를 예측하였으며, 제4절에서는 제작 및 측정 결과를 보여주고 있다. 마지막으로 결론에서 연구 결과를 정리하였다.

II. 광대역 전력 증폭기 회로 구성

2-1 주요 회로 구성

그림 1과 같이 평탄화된 광대역의 이득을 얻기 위해 부궤환 피드백 회로로 구성하였다. 소자의 드레인에서 게이트로 저항, 인덕터, 캐패시터로 구성하였다. 이를 통하여 동시에 회로의 안정성을 확보하면서 대역폭과 평탄도가 증가하는 효과를 얻을 수 있었다.

그림 2와 같이 푸쉬풀 구조를 통해서 이론적으로 2차 하모닉을 완전히 제거할 수 있었고, 고출력을 위한 성능을 낼 수 있었다.

낮은 주파수 대역에서 높은 주파수까지의 광대역 주파수 대역을 모두 만족시키기 위해 페라이트 코어와 에나멜 코일을 사용하여 광대역의 RF choke를 구성하였다. 이 때의 인덕턴스 L 은 식 (1)과 같다.

$$L = \mu \frac{N^2 A}{l_e} \quad (1)$$

A 는 페라이트 코어의 단면적이고, μ 는 페라이트 코어의 투자율이다. N 은 페라이트 코어에 트랜

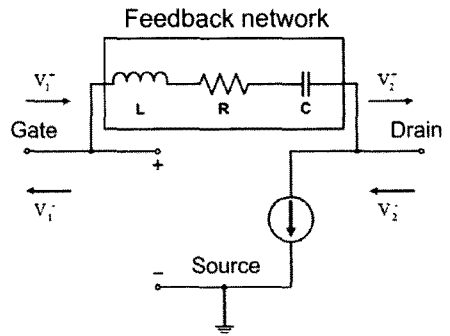


그림 1. 부궤환 회로
Fig. 1. Negative feedback network.

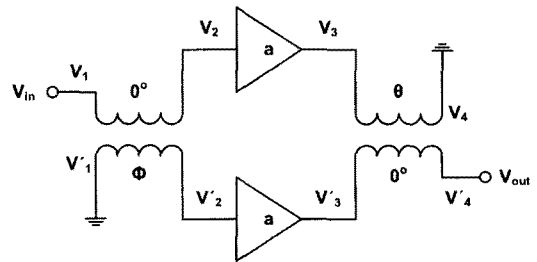


그림 2. 푸쉬풀 구조
Fig. 2. Push-pull structure.

표 1. 페라이트 코어의 투자율에 따른 손실 값
Table 1. Loss value according to the permeability of ferrite core.

| Permeability | Frequency | |
|--------------|-----------|---------|
| | 2 MHz | 512 MHz |
| 250 | -0.3 dB | -0.1 dB |
| 800 | -0.1 dB | -0.1 dB |
| 1,500 | -0.3 dB | -0.1 dB |

스미션 라인의 감는 수이고, l_e 는 트랜스미션 라인의 유효 길이이다. 식 (1)을 살펴보면 인덕턴스에 가장 영향을 끼치는 요소로 트랜스미션 라인의 감는 수와 투자율임을 알 수 있다. 에나멜 코일이 6턴일 때, 페라이트 코어의 투자율에 따른 2~512 MHz 대역에서 손실 값을 네트워크 분석기로 측정한 후, 표 1에 결과 값을 정리하였다. 또한, 에나멜 코일의 감는 수가 증가할수록 RF choke 특성이 좋아지는 것이 아니고, 주파수 전 대역에서 최소한의 손실을 나타내는 최적화된 값이 존재하는 것을 실험을 통해 확인할 수 있었다.

2-2 광대역 임피던스 트랜스미션 라인 트랜스포머

RF 디바이스의 광대역 매칭을 위해서는 넓은 대역에서 고정된 임피던스를 제공하는 광대역 매칭 소자가 필요하다. 이러한 매칭 소자로는 협대역 매칭에서 사용하는 저항, 인덕터, 커패시터로는 구현하기 어렵다.

본 논문에서는 Ruthroff가 제안한 4:1 impedance 트랜스포머 구조를 사용하였다^[4]. 페라이트 코어와 동축 케이블을 이용하여 50 Ω to 12.5 Ω 임피던스 트랜스포머를 제작하여 넓은 대역에서 고정된 임피던스를 제공할 수 있었다. 동축 케이블의 특성 임피던스 Z_c 는 식 (2)와 같다.

$$Z_c = \sqrt{R_s \cdot R_L} \quad (2)$$

R_s 는 입력 소스 저항이고, R_L 은 출력 로드 저항이다. 1:4 임피던스 트랜스포머는 입력 소스 저항이 50 Ω, 출력 로드 저항이 12.5 Ω이므로 식 (2)에 따라서 25 Ω 특성 임피던스를 가진 동축 케이블을 사용하였다. 트랜스포머의 대역 결정 식 저주파 차단 주파수인 f_{low} 와 고주파 차단 주파수인 f_{high} 는 식 (3), 식 (4)와 같다^[5].

$$f_{low} \propto \frac{Z_c}{L} \quad (3)$$

$$f_{high} \propto \frac{V_p}{l} \quad (4)$$

l 은 트랜스미션 라인의 길이이고, V_p 는 트랜스미션 라인의 위상 속도이다. 식 (3), 식 (4)를 이용하여 페라이트 코어의 형태 및 투자율, 트랜스미션 라인의 감는 수에 따라서 우리가 원하는 동작 주파수 대역에서 가장 동작이 잘 되는 임피던스 트랜스포머를 제작할 수 있었다.

그림 3은 발룬 구성의 50 Ω to 12.5 Ω 임피던스 트랜스포머이다. 발룬 구성을 통하여 단일 신호를 평행 신호로 변환하거나 혹은 그 반대로 변환시킬 수 있었다.

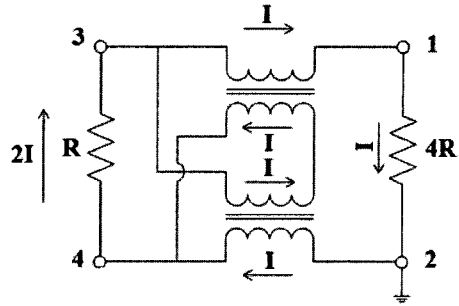


그림 3. 50 Ω to 12.5 Ω 발룬 임피던스 트랜스포머
Fig. 3. 50 Ω to 12.5 Ω impedance transformer in balun configuration.

로드 임피던스가 전 동작 주파수 대역에서 12.5 Ω이다. 우리가 일반적으로 사용하는 전력 증폭기의 소자는 주파수가 올라갈수록 임피던스 실수값이 낮아지는 경향이 있다. 따라서 이점을 보상하고자 출력단의 트랜스포머에 병렬 커패시터를 삽입하여 출력파워를 위한 효과적인 임피던스 매칭을 하였다. 그림 4는 출력단의 커패시터 값에 따른 실수 임피던스 값을 보여준다. 커패시터 값이 커질수록 주파수가 증가할수록 실수 임피던스 값이 떨어짐을 보여주고 있다. 삽입한 병렬 커패시터에 의해 로드 라인의 기울기를 변화시킴에 따라 고주파 대역에서 적절하게 임피던스 매칭을 할 수 있었다. 표 2는 출력 트랜스포머에 적절하게 찾은 47 pF 커패시터를 삽입함에 따른 로드 임피던스의 변화를 보여준다. 주파수가 증가할수록 실수, 허수 임피던스 값이 모두 떨어짐을 보여주고 있다.

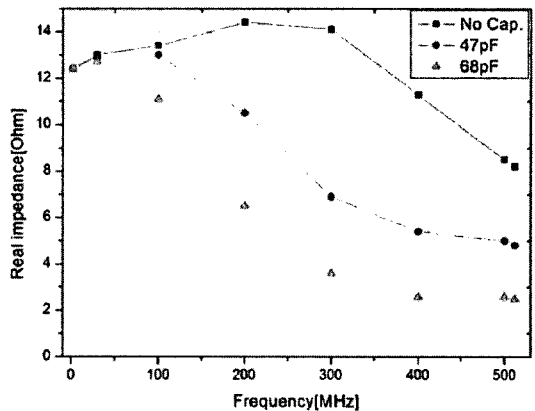


그림 4. 커패시터 삽입에 의한 로드 임피던스 변화
Fig. 4. Load impedance variation by adding capacitors.

2-3 커패시터를 이용한 임피던스 매칭

이상적인 50 Ω to 12.5 Ω 임피던스 트랜스포머는

표 2. 47 pF 캐패시터 삽입에 의한 로드 임피던스 변화
Table 2. Load impedance variation by adding 47 pF capacitor.

| Frequency [MHz] | Transformer | |
|-----------------|-----------------|------------------|
| | Z_{in} [Real] | Z_{in} [Imag.] |
| 30 | 12.93 | -0.92 |
| 80 | 13.12 | -3.37 |
| 130 | 12.82 | -6.39 |
| 180 | 11.44 | -9.37 |
| 230 | 9.47 | -11.71 |
| 280 | 7.63 | -13.05 |
| 330 | 6.29 | -13.34 |
| 380 | 5.72 | -13.76 |
| 430 | 5.13 | -14.88 |
| 480 | 5.23 | -15.92 |
| 512 | 4.83 | -16.90 |

입력단에도 병렬 캐패시터를 삽입하여 고주파 대역의 이득 보상을 위한 임피던스 매칭을 하였다.

III. Simulation

그림 5는 본 논문에서 제안한 100 W 광대역 전력 증폭기 회로도이다. 설계된 광대역 전력 증폭기는 30 MHz에서 512 MHz까지의 대역폭을 목표로 설계하였으며, 광대역 매칭을 위하여 R, L, C 소자를 이용하여 부계환 회로를 구성하였다. 그림 6은 1:4 입·출력 광대역 임피던스 트랜스포머를 실제 제작하여

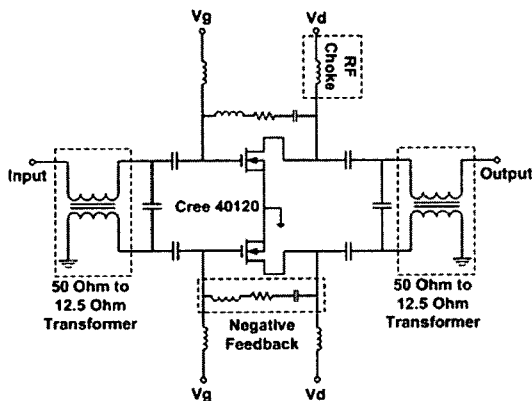


그림 5. 제안한 광대역 전력 증폭기 회로도
Fig. 5. A schematic diagram of the designed broadband power amplifier.

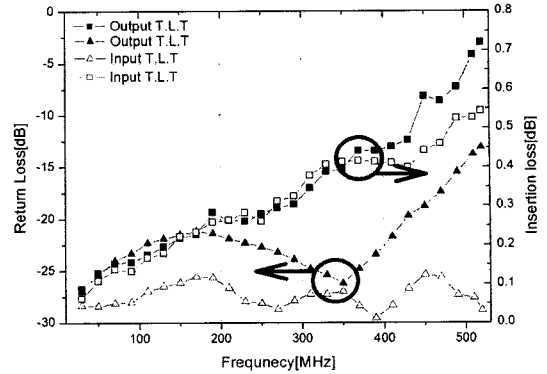


그림 6. 입·출력 1:4 전송 선로 트랜스포머의 삽입 손실과 반사 손실 측정 결과

Fig. 6. Return loss and insertion loss results of 1:4 input and output transmission line transformer.

네트워크 분석기에 의해 삽입 손실과 반사 손실을 측정된 결과이다.

이 측정 결과를 s3p 파일로 변환하여 ADS에서 전체 회로도를 구성하여 시뮬레이션 하였다.

시뮬레이션 결과는 표 3에 나타내었다. 출력 파워는 100 W 이상, Gain의 평탄화는 ± 1.3 dB였으며, PAE는 최대 58.3 %, 최소 35.7 %의 특성을 보였다. 2차 하모닉은 최대 -42.1 dBc 이하, 3차 하모닉은 -12.6 dBc 이하였다.

IV. 제작 및 측정

그림 7은 제작된 광대역 전력 증폭기 사진을 나타내었다. RF35의 PCB 재질을 사용하였고, 제작된 모듈의 크기는 71 mm×75 mm이다. 소자 선택에 있어서 LDMOS 소자보다 Cree사의 GaN 소자인 CGH-40120을 택한 이유는 고효율과 고출력면에서 유리하기 때문이다. 피드백 케환 경로의 길이를 최소화하여 가져갈수록 손실이 적어지고, 출력 파워가 향상됨을 확인할 수 있었다. 그렇기 때문에 피드백 경로의 라인을 제거하고, 저항, 캐패시터, 인덕터 소자만으로 최소화하여 구성하였다. 제작한 발룬 구조의 50 Ω to 12.5 Ω 임피던스 트랜스포머는 25 Ω 특성 임피던스를 가지는 동축 케이블과 입력은 toroidal 형태, 출력은 RID 형태의 페라이트 코어를 이용하여 제작하였다. 입력에 비해 출력 트랜스포머의 크기를 크게 가져간 이유는 페라이트 코어의 열 방출 문제

표 3. 100 W 광대역 전력 증폭기 시뮬레이션 결과

Table 3. Simulation result of 100 W broadband power amplifier.

| Frequency [MHz] | P1dBm | Gain [dB] | PAE [%] | 2 nd harmonic [dBc] | 3 rd harmonic [dBc] |
|-----------------|-------|-----------|---------|--------------------------------|--------------------------------|
| 30 | 50.5 | 20.5 | 57 | -42.6 | -12.6 |
| 100 | 50.8 | 20.3 | 58.3 | -43.5 | -14.2 |
| 200 | 51.9 | 20 | 56.3 | -50.9 | -15.6 |
| 300 | 52.8 | 19.8 | 50.6 | -49.3 | -15.7 |
| 400 | 52.3 | 18.9 | 39.9 | -42.3 | -13.1 |
| 500 | 51.4 | 17.9 | 35.7 | -42.1 | -18.7 |
| 512 | 51.3 | 18.3 | 35.9 | -45.2 | -19.6 |

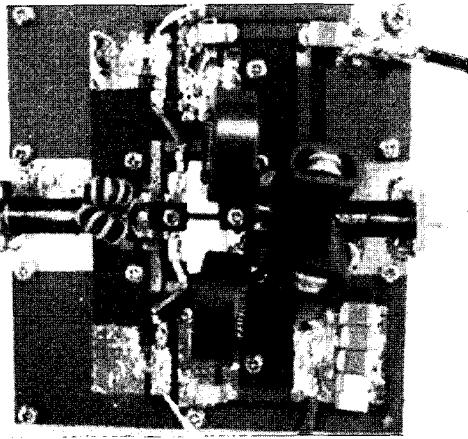


그림 7. 제작한 광대역 전력 증폭기 사진

Fig. 7. A photograph of the implemented broadband power amplifier.

때문이다.

100 W 광대역 전력 증폭기를 구동시키기 위해 20 W 광대역 전력 증폭기를 사용하였다. 2단 푸쉬풀 구조로 LDMOS MRF282z와 GaN 소자 CGH40025 소자로 구성된 구동증폭기는 2 MHz에서 512 MHz까지의

대역폭을 가지며, Gain은 최소 41.23 dB 이상의 특성을 갖는다. 그림 8은 30~512 MHz에서 출력 파워가 100 W일 때 Gain과 PAE의 실험 결과이다. 파워이득은 최대 19.25 dB, 최소 17.65 dB로 ± 0.9 dB의 평탄한 특성을 보였으며, PAE는 최대 58.8%, 최소 39.9%의 특성을 보였다. 그림 9는 동작 주파수의 100 W 출력 레벨에서 2차 고조파와 3차 고조파 특성을 보여준다. 푸쉬풀 구조를 통해 2차 하모닉이 -34.1 dBc 이하였으며, 3차 하모닉은 -12.18 dBc 이하의 특성을 가졌다.

표 4는 동작 주파수 대역에서 100 W 출력 레벨을 가질 때의 실험 결과를 요약하였다. 표 5는 설계된 광대역 전력 증폭기의 측정 결과를 이전에 발표되었던 논문, 실제 상용 제품과 함께 정리, 비교하였다.

표 5에서처럼 4:1 발룬 임피던스 트랜스포머와 병렬 캐패시터를 이용한 임피던스 매칭을 통하여 이득의 평탄화, 선형성 면에서 좋은 특성을 보였으며, 효율면에서는 확실히 성능이 우수하다는 것을 살펴볼 수 있다.

표 4. 100 W 출력 파워일 때 실험 결과 요약

Table 4. Measurement result summary at an output power of 100 W.

| Frequency [MHz] | Gain [dB] | PAE [%] | 2 nd harmonic [dBc] | 3 rd harmonic [dBc] |
|-----------------|-----------|---------|--------------------------------|--------------------------------|
| 30 | 19.02 | 58.8 | -43.12 | -12.18 |
| 100 | 19.07 | 56.4 | -42.44 | -14.37 |
| 200 | 19.25 | 50.6 | -42.38 | -16.39 |
| 300 | 17.65 | 39.9 | -38.27 | -29.75 |
| 400 | 18.45 | 43.9 | -36.63 | -50.59 |
| 512 | 17.43 | 41.5 | -34.1 | -40.33 |

표 5. 측정 결과 비교

Table 5. Comparison with the previously published and product results.

| | References [6] | References [7] | This work |
|--------------------|------------------------------|----------------|--------------------------------|
| Frequency [MHz] | 20~100 | 20~520 | 30~512 |
| Gain flatness [dB] | ±1 | ±1 | ±0.9 |
| Output power [dBm] | 60 | 50 | 50 |
| PAE [%] | Over 32 | Over 30 | Over 39.9 |
| Linearity [dBc] | 2 nd harmonic -25 | | 2 nd harmonic -34.1 |
| Structure | 1:4 bal-bal, 1:1 balun | | 1:4 balun |

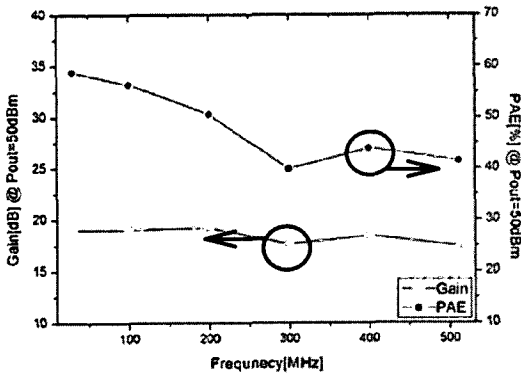


그림 8. 100 W 출력 레벨에서 이득과 효율
Fig. 8. Gain and PAE at an output power of 100 W.

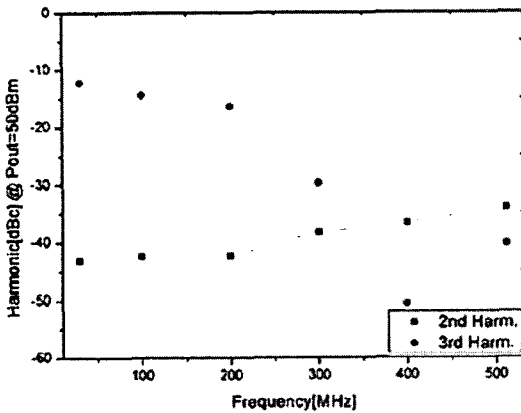


그림 9. 100 W 출력 레벨에서 2차, 3차 하모닉
Fig. 9. 2nd and 3rd harmonic distortions at an output power of 100 W.

V. 결 론

본 논문에서는 VHF, UHF 대역에서 50 Ω to 12.5 Ω 임피던스 트랜스포머에 병렬 캐패시터를 삽입하여 출력 파워와 이득을 위한 최적의 임피던스 매칭

을 통한 고출력, 고효율 광대역 전력 증폭기를 설계하였다.

제작된 광대역 전력 증폭기는 100 W 이상의 출력 전력과 이득 평탄도는 18.34±0.9 dB로 측정되었다. 출력 파워가 100 W일 때 PAE는 최대 59 %, 최소 40 %의 효율 특성을 보였고, 2차 고조파는 -34 dBc 이하, 3차 고조파는 -12 dBc 이하의 좋은 특성을 가지는 결과를 얻었다.

참 고 문 헌

- [1] Y. Ayasli, L. D. Reynolds, J. L. Vorhaus, and L. Hanes, "Monolithic 2~20 GHz GaAs travelling-wave amplifier", *IEEE Electronics Letters*, vol. 18, no. 14, pp. 596-598, Jul. 1982.
- [2] G. Gonzalez, *Microwave Transistor Amplifiers Analysis and Design*, Upper Saddle River, Prentice-Hall, 1997.
- [3] S. C. Cripps, *RF Power Amplifiers for Wireless Communication*, Artech House, 1999.
- [4] C. L. Ruthroff, "Some broadband transformers", *Proc. IRE*, vol. 47, no. 8, pp. 1337-1342, Aug. 1959.
- [5] PabloGomez-Jimenez, "Analysis and design procedure of transmission-line transformers", *IEEE Trans. Microwave Theory Tech.*, vol. 56, no. 1, pp. 163-171, Jan. 2008.
- [6] N. Sahan, "High-power 20-100-MHz linear and efficient power-amplifier design", *IEEE Trans. Microwave Theory Tech.*, vol. 56, no. 9, pp. 2032-2039, Sep. 2008.

[7] CAP Wireless, Custom Amplifier Product, "VHF/

UHF broadband power amplifier-PS7597".

김 경 원



2009년 2월: 광운대학교 전자공학과 (공학사)
2009년 3월~현재: 성균관대학교 휴대폰학과 석사과정
[주 관심분야] RF Power Amplifier, Power Amplifier IC Design

유 성 철



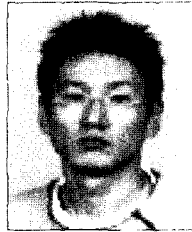
2008년 2월: 광운대학교 전자공학과 (공학사)
2008년 3월~현재: 성균관대학교 휴대폰학과 석사과정
[주 관심분야] RF Power Amplifier, Power Amplifier IC Design

서 민 철



2009년 2월: 세종대학교 전자공학과 (공학사)
2009년 3월~현재: 성균관대학교 전기전자컴퓨터공학과 석사과정
[주 관심분야] RF Power Amplifier, Power Amplifier IC Design

김 민 수



2005년 2월: 인천대학교 전자공학과 (공학사)
2006년 2월~현재: 성균관대학교 전기전자컴퓨터공학과 박사과정
[주 관심분야] RF Power Amplifier, Analog/Mixed Signal IC Design, RFIC Design

조 재 용



2008년 2월: 성균관대학교 정보통신공학부 (공학사)
2008년 3월~현재: 성균관대학교 휴대폰학과 석사과정
[주 관심분야] RF Power Amplifier, Analog/Mixed Signal IC Design

김 형 철



2008년 2월: 성균관대학교 기계공학부 (공학사)
2008년 3월~현재: 성균관대학교 전기전자컴퓨터공학과 석사과정
[주 관심분야] RF Power Amplifier, Analog/Mixed Signal IC Design, RFIC Design

오 준 희



2009년 2월: 세종대학교 전자공학과 (공학사)
2009년 9월~현재: 성균관대학교 전기전자컴퓨터공학과 학부연구생
[주 관심분야] RF Power Amplifier

양 영 구



1997년 2월: 한양대학교 전자공학과 (공학사)
2002년 2월: 포항공과대학교 전자전기공학과 (공학박사)
2002년 3월~2002년 7월: 포항공과대학교 전자전기공학과 박사후 연구원
2002년 8월~2005년 2월: Skyworks Solutions Inc. Senior Electronic Engineer
2005년 3월~현재: 성균관대학교 정보통신공학부 부교수
2008년 10월~현재: 삼성테크윈-성균관대 RFID/USN 집적 회로설계연구센터 센터장
[주 관심분야] 초고주파 회로 설계, 무선 통신 송/수신기 시스템 설계, 비선형 회로 분석 및 시뮬레이션 기법 연구

심 재 우



2000년 2월: 경남대학교 전자공학과 (공학사)
2002년 2월: 경남대학교 정보통신공학과 (공학석사)
2004년 2월~현재: 피플웍스연구소 선임연구원
[주 관심분야] RF시스템 회로 설계, 전력 증폭기 설계