

# PCB 레벨 EMC 설계 기술

강희도 · 김 현 · 육종관

연세대학교 전기전자공학부

## I. 서 론

현대의 디지털 기기는 사용자들의 요구에 의해 다양한 기술로의 접근과 빠른 정보 처리 속도, 그리고 언제 어디서나 사용할 수 있는 이동성 및 접근성의 향상 등 여러 가지 조건을 충족시키기 위한 방향으로 발전하고 있다. 이에 따라 고속 정보 처리를 위한 고속화 기술을 기반으로 하여 디지털 회로의 집적화 및 소형화 기술이 이루어지고 있다. 이러한 기술 경향에 발맞춰 디지털 회로의 신호 전송 속도가 수 GHz 대역까지 빨라지게 되었고, 한정된 전원 공급으로 다양한 장치의 구동을 위한 공급 전압의 레벨은 낮아지고 있다. 이러한 낮은 전압 레벨과 짧은 주기를 갖는 디지털 클럭 신호는 짧은 rising/falling time을 갖게 되고, 이는 디지털 신호의 파워 스펙트럼이 광대역에 걸쳐 분포해 있음을 의미한다. 이러한 고속 디지털 클럭은 다른 신호선 및 전원면에 잡음 유기를 문제를 발생시키게 되는데, 특히 인쇄 회로 기판(PCB) 상의 cavity resonance와 같이 일어나게 될 경우, 매우 강한 잡음 유기가 발생하게 된다. 또한 점점 고속화되는 데이터 전송 속도는 신호의 왜곡과 crosstalk 그리고 ISI(Inter-Symbol Interference) 문제를 발생시켜 온전한 디지털 회로의 동작을 위한 회로 설계에 어려움이 따르고 있다. 따라서 본 투고에서는 high-speed data transmission에 관한 기술 동향 소개와 더불어, 앞으로의 디지털 회로 설계 기술에 관한 방법들에 대해 논의해 보고자 한다.

## II. High-speed Data Transmission

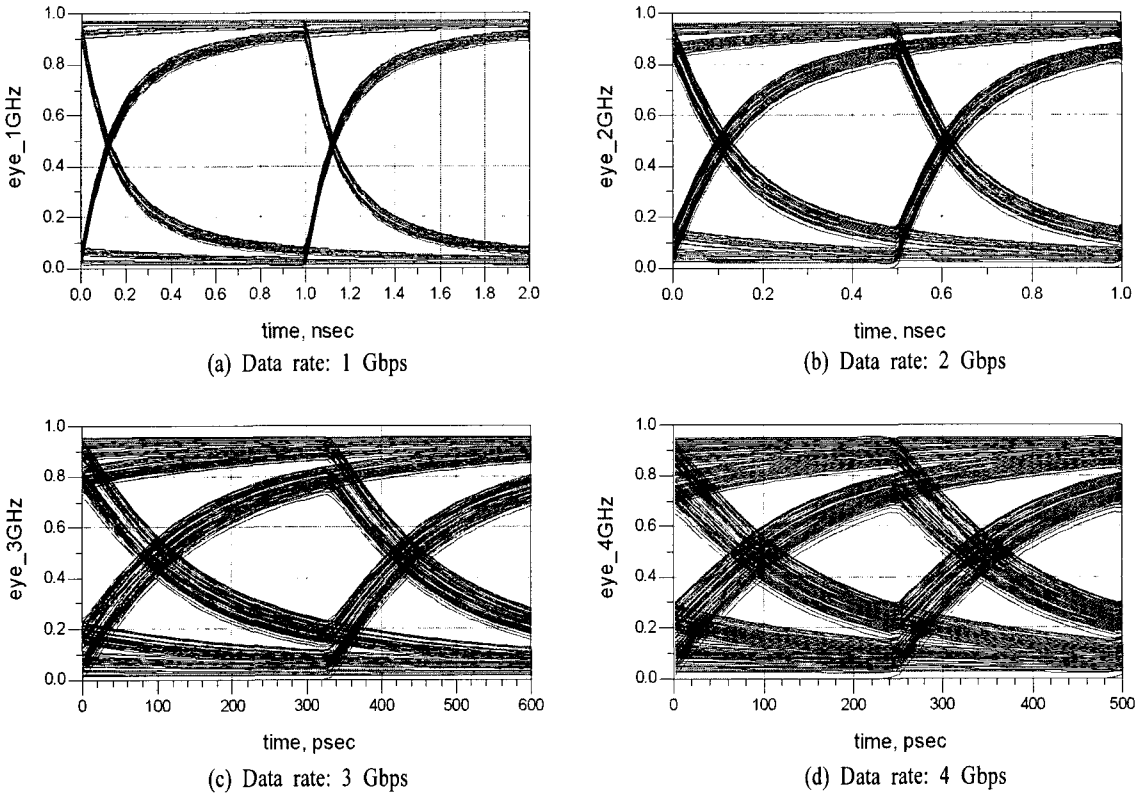
디지털 회로의 고속화 추세에 따라 디지털 IC 칩

의 동작 주파수의 증가를 초래하고, 이를 연결하는 IO interface의 고속화 경향 역시 뚜렷하게 나타나고 있다. 동작 주파수의 증가는 동일한 시간 내에 많은 정보를 주고 받을 수 있다는 장점이 있지만, 이에 따라 극복해야 할 문제점들 역시 내포하고 있다. 동작 주파수의 증가는 신호 전송을 위한 선로의 길이를 전기적으로 길어 보이게 하여 신호의 무결성(signal integrity) 보장에 큰 걸림돌이 되고, 고주파 harmonic 성분들은 impedance의 변화를 발생시켜 신호의 왜곡이나 손실, reflection과 crosstalk 및 ISI 등의 문제를 발생시킨다([그림 1]). 이렇듯 고속 데이터 전송에 의해 발생하는 신호의 왜곡 및 손실을 최소화 하기 위한 PCB channel 설계를 위하여 대표적인 고속 IO interface의 종류와 경향성을 살펴보고자 한다.

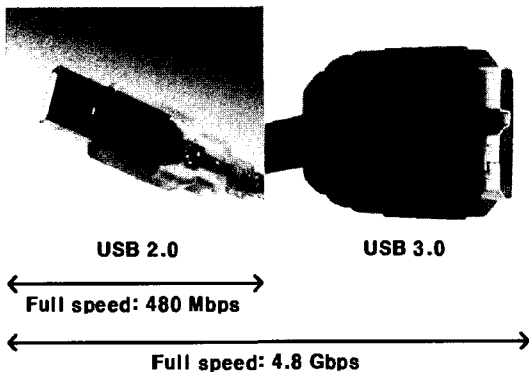
### 2-1 USB(Universal Serial Bus) 3.0

오늘날 IO interface로써 가장 대표적으로 사용되고 있는 USB(Universal Serial Bus)는 주로 키보드와 마우스 등의 PC(Personal Computer) 주변 기기들의 연결을 위해 사용되었다. 하지만, 현재는 대용량의 정보를 고속으로 전송하는 전자기기들의 연결을 위해 많이 사용되고 있으며, 그 사용 범위가 외장 하드디스크 및 디지털 카메라와 오디오 장비 등으로 확대되는 등 표준 연결 방식으로써 사용되고 있다.

USB의 초창기 모델인 USB 1.1은 최대 데이터 전송 속도가 12 Mbps인 반면, 2000년 소개된 USB 2.0은 최대 480 Mbps의 전송 속도를 갖는다. 이에 따라 마이크와 키보드의 연결 장치로써 국한적으로 사용되었던 USB는 이후 mass storage 장치와 flash driver 등의 대용량 정보 전송에 사용되기 시작하였다. 그



[그림 1] 동일한 channel에서 데이터 전송 속도에 따른 eye-diagram 변화



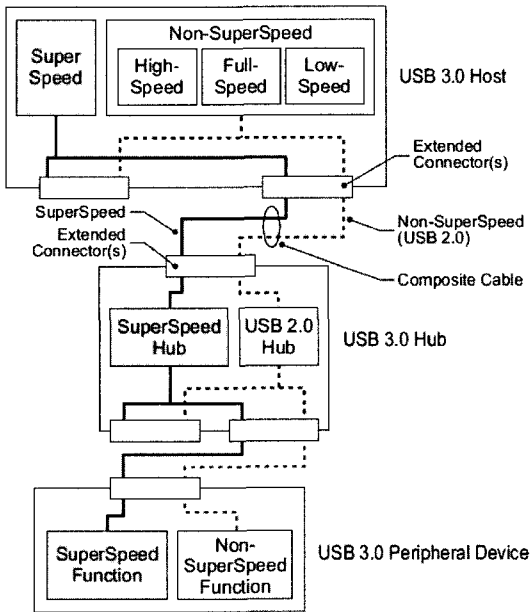
[그림 2] USB의 변화 과정

리고 최근 소개된 USB 3.0에서는 최대 4.8 Gbps의 전송 속도를 갖게 됨으로써, 디지털 정보의 전송 속도를 현저히 급격히 증가시켰다. USB 3.0은 빨라진

데이터 전송률 외에도 전원 관리와 이전 모델들과의 호환성도 좋아졌으며, 전원의 on/off를 지원했던 USB 2.0과 달리 저전력 모드로 사용이 가능해지고, 공급 되는 전원 역시 기존 USB 2.0의 500 mA에서 900 mA로 높아져 어댑터와 연결되는 주변 기기들의 충전 시간을 줄일 수 있게 되었다. 또한 USB 3.0 케이블은 2개의 전원/접지선과 2개의 일반 데이터 전송 라인, 그리고 4개의 SS(Super-Speed) 데이터 전송 라인이 있어 최대 전송 모드 시 full-duplex signaling을 사용하게 된다<sup>[1]</sup>.

## 2-2 HDMI(High-Definition Multimedia Interface)

HDMI(High-Definition Multimedia Interface)는 소형 오디오, 비디오에서의 압축되지 않은 디지털 신호를



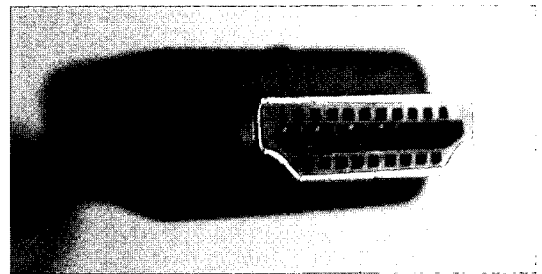
[그림 3] USB 3.0 dual bus architecture<sup>[1]</sup>

을 전송하기 위한 interface이다. 이는 아날로그 신호 전송을 위한 동축 케이블(coaxial cable), composite video, S-video, VGA 등을 대체하는 디지털 데이터 interface로써, set-top box나 blu-ray disc player, PC 등의 디지털 오디오 및 비디오 데이터를 전송한다. 디지털 데이터 전송을 위해 TMDs(Transition Minimized Differential Signaling) 방식을 사용한다.

2002년의 초기 버전인 HDMI 1.0은 TMDs 4.9 Gbps의 대역폭을 갖고, 8 channel LPCM(Linear Pulse Code Modulation)의 비디오 신호를 지원하였고, 이를 업그레이드한 HDMI 1.3에서는 10.2 Gbps의 대역폭을 갖게 되었다. 그리고 최근 2009년 소개된 HDMI 1.4는 기존의 10.2 Gbps의 대역폭에 디지털 영화관에서 해상도와 같은 4K×2K의 해상도를 지원한다<sup>[2]</sup>.

### 2-3 SATA(Serial Advanced Technology Attachment)

흔히 SATA로 불리는 serial ATA(Advanced Technology Attachment)는 PC 상에서 host bus adapter와 mass storage device를 연결하는 storage-interface로써, 현대의 대부분의 노트북이나 데스크탑의 마더보드(motherboard)에 사용되고 있다. SATA는 이전의 parallel ATA(PATA)에서 사용된 cable bulk와 40개의 pin을 7



[그림 4] HDMI(type A) plug

<표 1> HDMI 버전별 특성<sup>[2]</sup>

HDMI version	1.0, 1.2a	1.3	1.4
Maximum signal bandwidth	165 MHz	340 MHz	340 MHz
Maximum TMDS bandwidth	4.95 Gbps	10.2 Gbps	10.2 Gbps
Maximum video bandwidth	3.96 Gbps	8.16 Gbps	8.16 Gbps
Maximum audio bandwidth	36.86 Mbps	36.86 Mbps	36.86 Mbps
Maximum resolution at 24 bit/px	1920x1200p60	2560x1600p75	4096x2160p24
Maximum resolution at 30 bit/px	N/A	2560x1600p75	4096x2160p24
Maximum resolution at 36 bit/px	N/A	1920x1200p75	4096x2160p24
Maximum resolution at 48 bit/px	N/A	1920x1200p75	1920x1200p75

개로 줄여 생산 비용의 저감을 가능하게 하였으며, 데이터 전송 속도 역시 더욱 빨라져, 고속의 효율적인 데이터 전송 interface로써 각광 받고 있다. 초기 SATA 1.0 모델에서의 1.5 Gbps 데이터 전송률에서 SATA 2.0을 거쳐, 2009년 SATA 3.0의 full 버전까지 발전하면서 전송 속도는 6 Gbps로 향상되었다<sup>[3]</sup>.

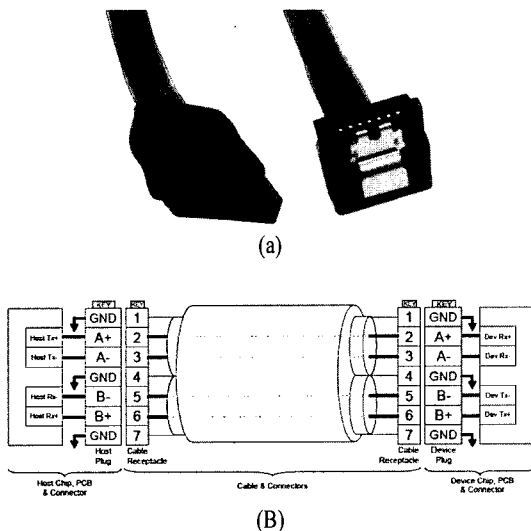
지금까지 고속 데이터 전송을 위한 여러 가지 IO interface의 종류와 발전 동향을 살펴 보았다. 일반적으로 IO interface는 직렬화(serialization)와 고속화의 경향을 따라 가고 있으며, 전원 control 기능이 추가 되어 효율적인 데이터 전송을 이룰 수 있게 되었다. 하지만 고속화 되고 있는 전송 선로와 interconnection과는 달리 IC 및 많은 부품들로 이루어져 있는 PCB의 경우 신호의 고속화 회로와 회로의 복잡화에 따라 발생하는 신호 및 전원 무결성에 많은 문제가 발생하고 있으며, 이를 극복하기 위한 좀 더 체계적인 설계 기술이 요구되고 있다. 이를 위해서는 실제 장치 및 제품 구현 단계에서 정확한 데이터 전송 채널의 모델링 및 시뮬레이션 기법을 기반으로 제품 설계가 이뤄져야 한다.

### III. Simultaneous Switching Noise(SSN)와 Ground Bouncing Noise(GBN)

디지털 회로는 디지털 클럭의 구동을 위한 IC 칩과 전원 공급을 위한 전원 라인 혹은 전원 면, 그리고 디지털 클럭의 전송을 위한 전송 선로와 return current path를 보장해 주기 위한 접지면 등으로 이루어진다. 이러한 디지털 회로에서 발생하는 잡음 중에는 임피던스 부정합(impedance mismatching) 및 return current path의 불연속성에 따른 잡음 유기가 발생하기도 하지만, 디지털 IC 칩의 I/O switching에 따라 안정적인 전원 공급에 문제를 발생시키는 Simultaneous Switching Noise(SSN)가 발생하게 된다. SSN은 전원 및 접지면에서의 inductance 성분에 의해 발생하는 잡음으로 아래 식에서와 같이 IC 칩의 switching 속도와 전원 공급 구간의 inductance의 곱으로 나타나고, driving IC 개수  $N$ 에 비례한다.

$$V_{ssN} = NL \frac{di}{dt}$$

이러한 inductance 성분에 의해 발생하는 잡음들을 SSN, Simultaneous Switching Output(SSO), Delta-I noise, Ground Bouncing Noise(GBN) 등이 있으며, 디지털 시스템 내부의 병렬로 이루어진 수 많은 IC 칩들의 I/O switching이 동시에 발생하거나, 전원/접지면의 cavity resonance와 동시에 발생할 경우 IC 칩 전원 공급에 큰 전원 리플을 야기시키고, 신호 전송 시 디지털 신호의 왜곡 및 지터 등의 여러 가지 문제를 발생시킨다. SSN과 GBN 같이 inductance 성분에 의해 유도되는 잡음들의 최소화를 위하여, 전원/접지면의 사용이 권장되고 있으며, 이는 곧 잡음의 크기에 영향을 주는 impedance를 낮추는 방향으로 디지털 회로의 설계가 이루어져야 함을 의미한다. 뿐만 아니라, IC 칩의 안정적인 전원 공급을 위하여 capacitor가 사용되는데, 이 capacitor는 IC 칩에 공급되는 전류를 저장하는 local power supply 역할을 하여 cu-



[그림 5] SATA connector와 diagram

urrent path의 impedance가 줄어들어 안정적인 전원 공급이 가능해진다. 하지만 일반적으로 capacitor는 Equivalent Series Inductance(ESL)와 Equivalent Series Resistance(ESR)을 갖고 있어, 이상적인 capacitor의 특성을 보이지 못하고 series L, C에 의해 Self Resonance Frequency(SRF)를 갖게 되어 일반적으로 수백 MHz 이하의 대역에서 동작한다. 또한 capacitor의 종류에 따라 power distribution network의 impedance에 영향을 주는 주파수 범위가 정해져 있어, target으로 하는 주파수와 impedance를 고려하여 이에 맞는 capacitor를 사용해야 한다. 이 때, target impedance는 IC 칩의 전원의 리플 마진을 고려하여야 한다.

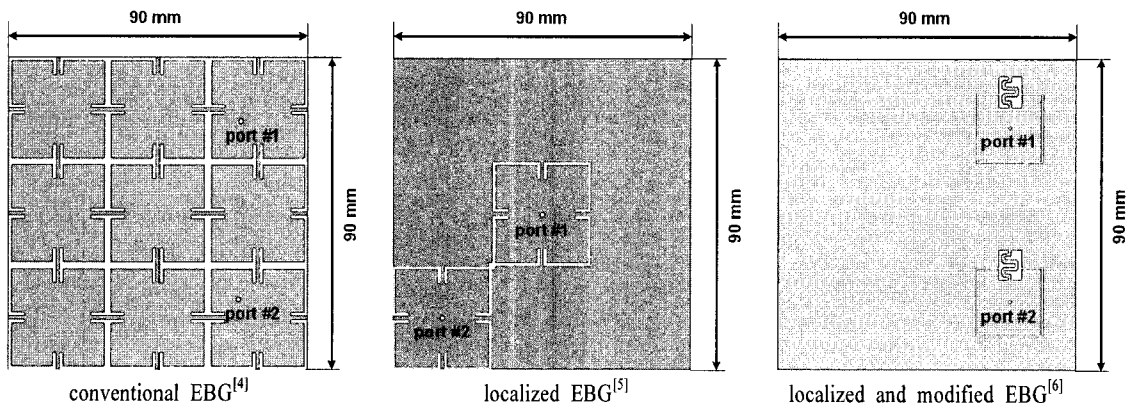
$$Z_{target} = \frac{(power\ supply\ voltage) \times (allowed\ ripple)}{current}$$

#### IV. Wideband Suppression Techniques of SSN and Fast Computation

##### 4-1 An Enhanced Power Plane Topology for Wideband Suppression of SSN<sup>[7],[8]</sup>

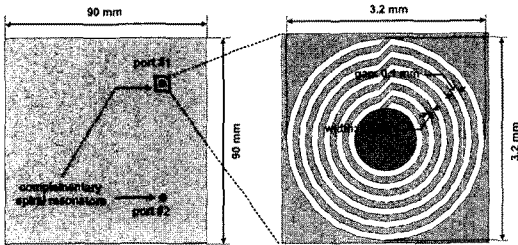
위와 같이 target impedance와 주파수를 정하고, 그에 맞는 decoupling capacitor를 통하여 디지털 회로에

서의 SSN을 억압시킬 수 있다. 하지만, 디지털 회로의 클럭 주파수가 수 GHz 이상으로 커지면서, 그에 따라 유기되는 잡음은 광대역 파워 스펙트럼을 갖게 된다. 일반적으로 수백 MHz 이하의 대역에서 동작하는 decoupling capacitor를 사용하여 수 GHz 이상의 파워 스펙트럼을 갖는 잡음의 억압이 불가능하므로 이를 극복하기 위한 새로운 방법이 불가피하다. 이러한 문제를 해결하기 위하여, 2003년 처음으로 Electromagnetic bandgap(EBG) 구조가 제안되었다<sup>[4]</sup>. 이러한 EBG 구조는 전원면 위에 주기적으로 적용된 해자 구조의 필터링 현상을 이용하여, 약 1~6 GHz의 대역에서 SSN을 억압할 수 있다. 하지만, 회로의 고집적화에 의해 사용되는 다층 기판에서는 전원면과 접지면의 구분이 모호해져, 전원면 역시 접지면의 역할을 하게 되는데, 위와 같은 주기적인 해자 구조가 적용된 구조에서는 전원면의 routing에 어려움이 있고, 신호의 return current path의 불연속성을 야기하여 신호의 왜곡이 발생하게 된다. 따라서 EBG 구조의 해자 구조를 국부적으로 적용하여 신호의 return current path의 보상과 전원의 무결성을 동시에 보장할 수 있는 방법들을 사용하는 것이 효과적이다<sup>[5],[6]</sup>. 그리고 최근에는 나선형 공진기를 국부적으로 전원면에 적용하여, 전원면을 RF-chock와 같은 특성을 얻

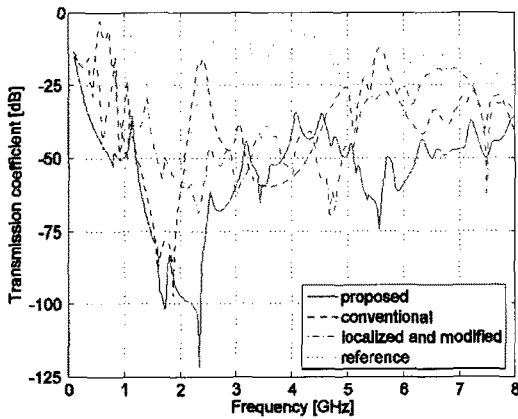


[그림 6] 광대역 잡음 억압을 위한 EBG 구조들

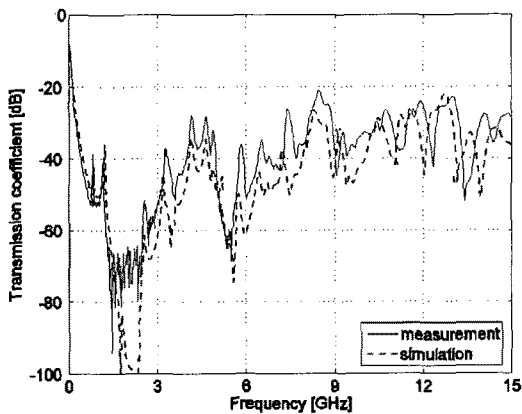
을 수 있는 방법이 제안되어 더욱 넓은 주파수 대역에 걸쳐 있는 잡음을 억압할 수 있게 되었다<sup>[7],[8]</sup>.



[그림 7] 나선형 공진기를 적용한 전원면<sup>[7],[8]</sup>



(a) 다양한 구조의 전원면의 잡음 억압 특성

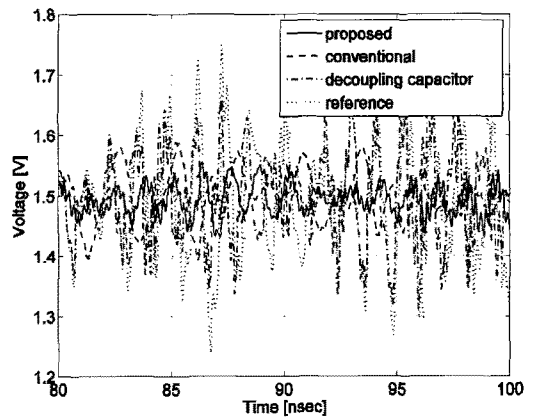


(b) 나선형 공진기가 적용된 전원면의 잡음 억압 특성

[그림 8] 여러 가지 전원면들의 잡음 억압 특성

[그림 8]에서와 같이 나선형 공진기가 국부적으로 적용된 전원면의 사용을 통하여, -25 dB의 잡음 마진을 기준으로 0.22~12.5 GHz까지의 억압 대역폭을 얻을 수 있다. 이는 나선형 공진기의 외형적 특징에 의해 다른 비슷한 크기의 공진기보다 큰 inductance 값을 갖기 때문인데, 큰 inductance 값은 전원면이 low-pass filter 혹은 RF-chock와 유사한 특징을 나타내기 때문이다. 따라서, direct current(DC) 성분만을 안정적으로 공급해야 하는 전원면의 목적에 부합하는 결과를 낼 수 있다. 이것은 아날로그 신호와 디지털 신호 사이의 isolation을 위한 기술이기 때문에, 디지털 신호와 디지털 신호 사이의 isolation을 위해 적용할 경우 IC 칩 동작에 의한 영향을 고려하여 적용해야 한다.

전원면에 유기되는 잡음 억압을 위해 적용될 수 있는 다양한 전원면들의 잡음 억압 특성을 실제 디지털 클럭에 의해 유기되는 잡음에 대하여 정량적으로 표현하기 위하여, 시간 축에서의 잡음 억압 특성을 비교할 수 있다. 이 때, 사용되는 디지털 클럭은 1.55 V의 전원 레벨과 3.33 GHz의 동작 주파수를 갖는 pseudo random bit sequence를 사용하였다. 이때,



[그림 9] 각 전원면에 랜덤 디지털 클럭에 의해 유기되는 잡음

<표 2> 랜덤 디지털 클럭에 의한 잡음 레벨

	Proposed	Conventional	Decoupling capacitor	Reference
The peak to peak voltages by random clock signal	137 mV (1.432~1.569 V)	266 mV (1.365~1.631 V)	383 mV (1.310~1.693 V)	524 mV (1.240~1.764 V)

허용되는 전원 리플 레벨은 10 %( $\pm 5$  %,  $\Delta V=155$  mV)로 가정하였다. 또한, 전원의 무결성 문제뿐 아니라 전원면이 신호선의 return current path의 보장 문제를 분석하기 위하여, 디지털 클럭 신호의 eye-diagram을 분석하여 전원면들의 전원 및 신호의 무결성 특성을 비교하였다.

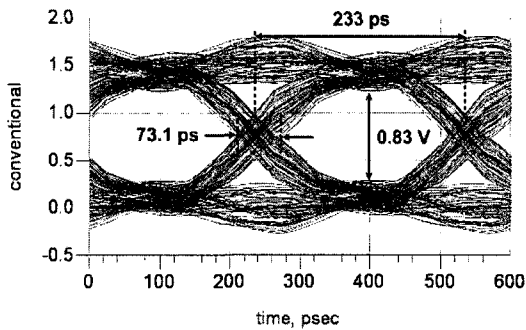
지금까지 inductively 유기되는 잡음들(SSN, SSO, GBN, etc.)의 고주파 대역(1 GHz 이상)에서의 억압을 위한 전원면 구조들의 특성을 살펴보았다. 광대역 억

압을 위해 처음으로 제안된 주기적인 해자 구조를 갖는 conventional EBG 구조와 이와 비슷한 주기 구조를 갖는 EBG 구조들은 전원의 무결성 측면을 해결할 수 있지만, 신호선 routing의 어려움과 신호의 return current path의 불연속성을 야기한다는 단점을 갖고 있음을 확인하였다. 따라서 신호의 무결성 측면의 보안을 하기 위해 국부적인 구조를 전원면에 적용함으로써 광대역 잡음 억압 및 신호의 무결성 측면을 동시에 보장할 수 있는 구조들이 개발되고 있는 상황이다.

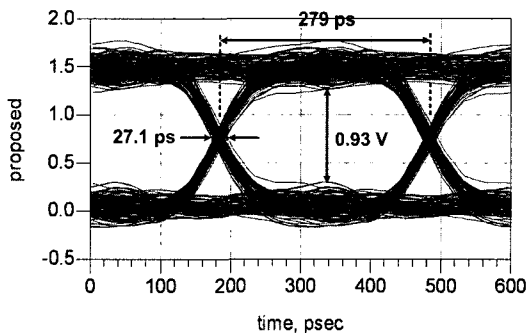
#### 4-2 Partial Placement of Electromagnetic Bandgap Unit Cells to Effectively Mitigate SSN<sup>[9]</sup>

앞에서 언급한 바와 같이, inductively 유기되는 SSN은 수백 MHz 이하의 대역에서 전원/접지면과 decoupling capacitor의 사용으로 효과적으로 억압될 수 있다. 하지만, 수 GHz 이상의 대역에서 발생하는 잡음의 억압을 위하여 수많은 EBG 구조들이 소개되었지만, 전원면 전체에 주기적으로 적용된 EBG 구조에 의해 신호의 전송 특성에 열화를 발생시키게 된다. 따라서 EBG cell들을 균으로 하여 [그림 11]과 같이 국부적으로 전원면과 접지면에 적용하면 전원의 안정적인 공급과 더불어 신호 전송 특성의 열화를 줄일 수 있다.

[그림 11]의 구조를 사용하여 전원면 전체에 EBG 구조가 적용된 경우와 거의 유사한 잡음 억압 특성을 얻을 수 있고, 신호의 무결성 측면에서 더욱 좋은 특성을 얻을 수 있다. 이는 주기적으로 적용된 EBG 구조에 의해 발생하는 return current path의 불연속성이 줄어들었기 때문이다.

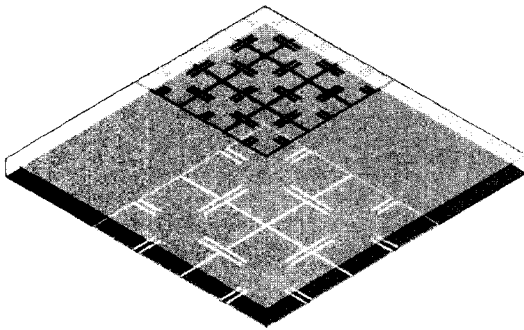


(a) Conventional EBG의 eye-diagram

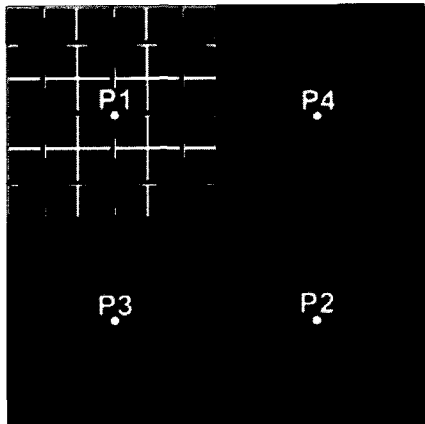


(b) 나선형 공진기 구조의 eye-diagram

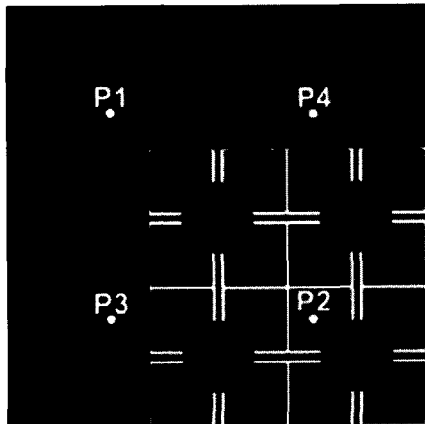
[그림 10] 여러 가지 구조의 전원면의 신호 전송 특성



(a) EBG unit cell array on both the power and ground planes

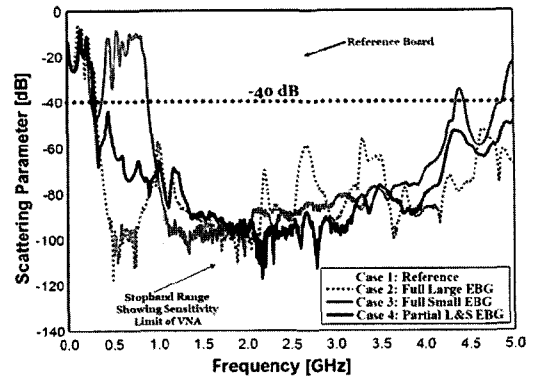


(b) Top view; power plane

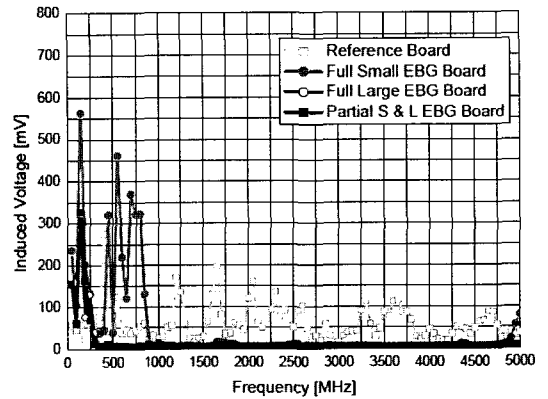


(c) Bottom view; ground plane

[그림 11] EBG cell array를 전원면과 접지면에 국부적으로 적용한 구조



(a) 주파수 축에서의 각 구조별 잡음 억압 특성



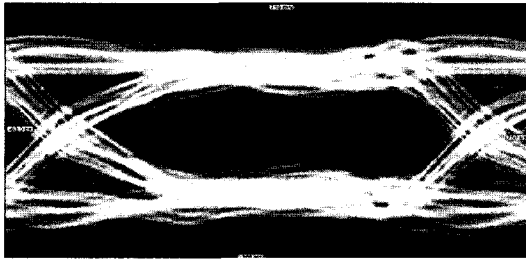
(b) 시간 축에서의 각 구조별 잡음 억압 특성

[그림 12] 주파수 축과 시간 축에서의 각 구조별 잡음 억압 특성

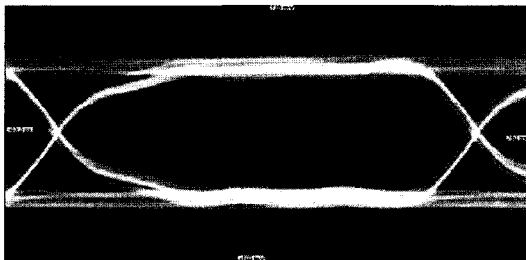
#### 4-3 Modeling and Analysis of EBG Structures on Power Distribution Network<sup>[10]</sup> and Fast Computational Method<sup>[11]</sup>

수 GHz 이상의 광대역에 걸쳐 SSN을 효과적으로 억압할 수 있는 EBG 구조에 대해 앞 절들에서 많은 설명이 이루어졌다. 이러한 억압 특성을 확인하기 위해 사용되는 시뮬레이션 방식 중 비교적 정확도가 높은 FEM(Finite Element Method) 방식을 많이 사용하고 있지만, 이러한 FEM 방식의 시뮬레이션은 그 해를 얻기 위해 역행렬(inverse matrix)을 구해야 하므로 많은 시뮬레이션 시간을 요구한다. 따라서 시뮬





(a) EBG 구조가 fully 적용된 경우의 eye-diagram

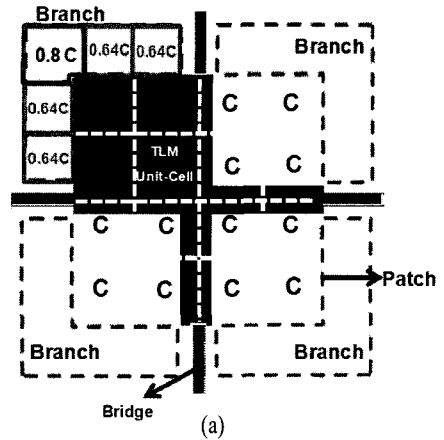


(b) EBG 구조가 partially 적용된 경우의 eye-diagram

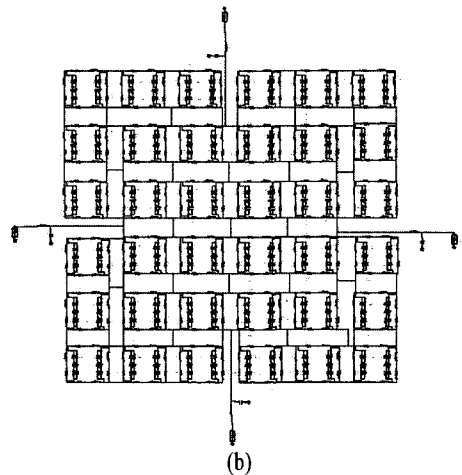
[그림 13] EBG 구조의 적용 면적에 따른 신호 전송 특성

레이션 시간을 줄이고, 좀더 효과적인 결과 분석을 위하여 각 구조들을 lumped 소자로 모델링하는 TLM (Transmission Line Method)을 사용할 수 있다. 일반적으로 TLM 방식은 parallel plate waveguide와 같은 비교적 단순한 구조에서 쉽고 빠르게 분석이 가능하기 때문에, 전원/접지면으로 이루어진 cavity 모델을 분석하기에 적합한 방법이다. 이를 이용하여 앞서 소개한 EBG 구조를 [그림 14]와 같이 TLM 방식으로 모델링하여 좀더 빠르고 정확하게 그 특성을 분석할 수 있다.

[그림 15]와 같이 TLM 방식을 사용하여 모델링한 EBG 구조는 그 측정값과 큰 상관관계를 갖고, 단축된 시뮬레이션 시간을 바탕으로 SSN 억압을 위한 전원면의 디자인 시간을 효과적으로 사용할 수 있다. 하지만 TLM 방식은 너무 많은 lumped 소자의 사용에 따른 복잡한 schematic을 갖고 있어 모델들을 수정하기가 쉽지 않은 단점을 갖고 있다. 따라서, 주기적인 구조를 갖는 EBG 구조를 SIF(Stepped Impe-

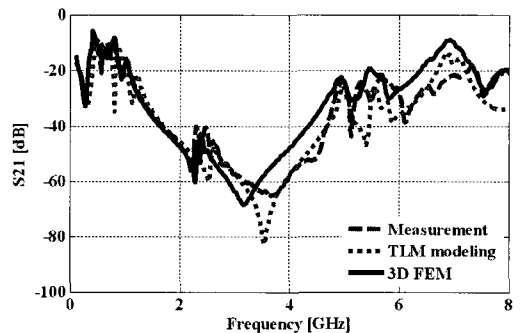


(a)

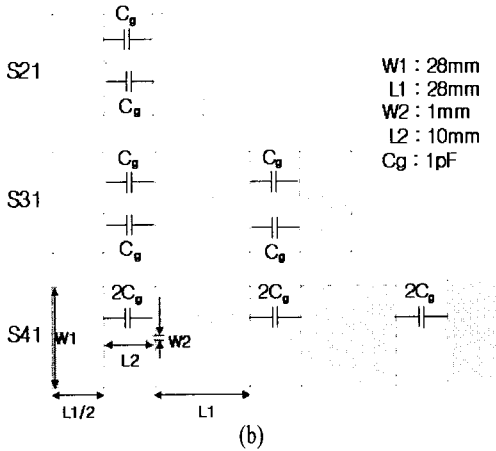
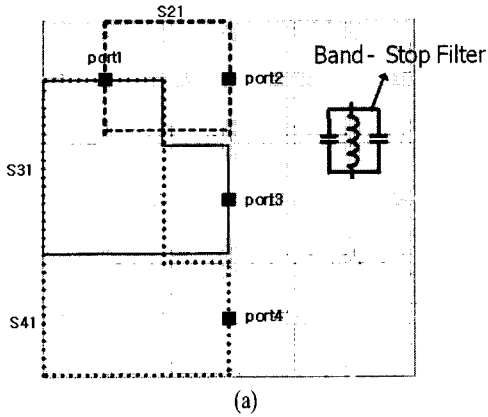


(b)

[그림 14] TLM 방식으로 모델링한 EBG cell



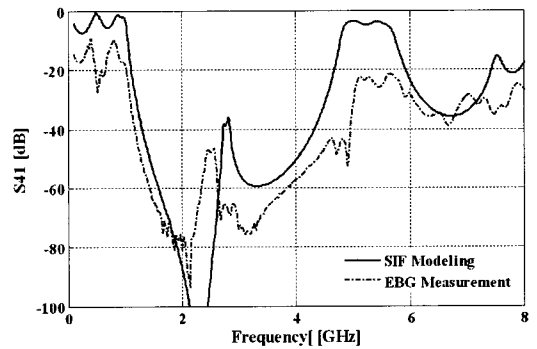
[그림 15] 여러 가지 시뮬레이션 방법에 따른 EBG 억압 특성 분석



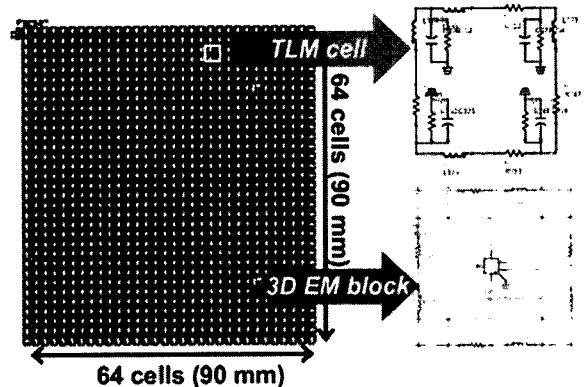
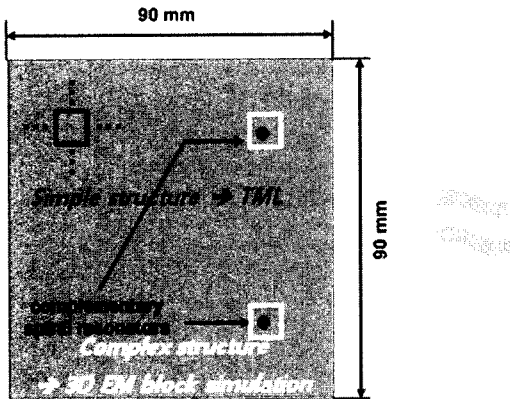
[그림 16] SIF 이론을 통하여 모델링한 EBG 구조

ance Filter) 이론을 적용하여 보다 빠르고 단순한 모델을 바탕으로 그 역압 특성을 확인할 수 있다. [그림 16]은 EBG를 이루고 있는 각 cell과 bridge들을 SIF 이론과 cell 사이의 capacitance를 적용하여 모델링한 구조이고, 그 결과, [그림 17]과 같은 역압 대역 예측이 가능하게 되었다.

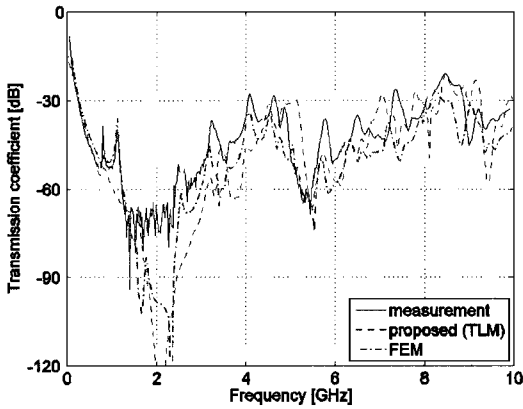
또한, 앞서 언급한 TLM 방식과 FEM 방식의 혼용을 통해 복잡한 구조의 전원/접지면의 분석이 가능하다. 단순한 구조의 빠른 분석이 가능한 TLM 방식과 복잡한 3D 구조 분석의 정확도를 갖는 FEM 방식의 장점들을 활용하여 [그림 18]과 같은 시뮬레이션 모델링이 가능하다<sup>[11]</sup>.



[그림 17] SIF 모델링을 통한 잡음 역압 특성 비교



[그림 18] TLM과 3D EM block 시뮬레이션을 위한 모델링



[그림 19] 여러 방법을 이용한 전원/접지면의 잡음 억압 특성

이를 바탕으로 시뮬레이션 시간(CPU time)을 약 5 배 이상 향상시킬 수 있을 뿐 아니라(20:16:27 sec → 3:51:36 sec), 측정값과 매우 높은 상관관계를 갖는 정확한 특성 분석이 가능하다. 또한, TLM block들이 만들어진 상황에서 보다 수월하게 다양한 분석(IO 위치에 따른 억압 특성, 전원/접지면 크기에 따른 억압 특성 등)이 가능해진다.

## V. 결 론

고집적화되고, 정보의 빠른 전송을 위해 사용되는 고주파 동작 주파수에 따라 PCB 상에서의 잡음 유기가 심각한 문제가 되었으며, 고속 디지털 회로의 설계 시 다양한 상황에서 발생하는 잡음의 유기를 줄이고, 디지털 IC 칩의 온전한 동작을 위한 다양한 PCB 설계 기술이 요구되고 있다. 따라서 본 투고에서는 USB 3.0, HDMI 그리고 SATA 3.0 등의 고속 IO interface의 기술 동향을 살펴 보았고, 이를 바탕으로 고속 데이터 전송에 따라 발생하는 신호의 왜곡 및 crosstalk, 그리고 ISI 등의 문제 극복을 위한 PCB 설계 예측의 중요성을 언급하였다. 또한 PCB 상에서 발생하는 잡음들을 억압하기 위한 디지털 회로 설계

방법과 앞으로의 회로 설계 방향 및 기술에 대해 논의하였다. 본 글을 통하여 고속 디지털/아날로그 회로 설계 기술의 발전과 이를 위해 연구를 하고 있는 많은 엔지니어들에게 조금이라도 도움이 되었기를 바란다.

## 참 고 문 헌

- [1] Universal serial bus 3.0 specification: revision 1.0, Nov. 2008.
- [2] <http://www.guru3d.com/news/hdmi-14-specifications-officially-presented/>
- [3] <http://www.sata-io.org/technology/6Gbdetails.asp/>
- [4] T. L. Wu, Y. H. Lin, T. K. Wang, C. C. Wang, and S. T. Chen, "Electromagnetic bandgap power/ground planes for wideband suppression of ground bounce noise and radiated emission in high-speed circuits", *IEEE Trans. on Microwave Theory and Technology*, vol. 53, no. 9, Sep. 2005.
- [5] S. S. Oh, J. M. Kim, and J. G. Yook, "Design of power plane for suppressing spurious resonances in high speed PCBs", *Journal of the Korea Electromagnetic Eng. Soc.*, vol. 6, no. 1, Mar. 2006.
- [6] J. K. Du, "An effective suppression methodology of the simultaneous switching noise in multilayer high performance printed circuit boards", Master Thesis, Yonsei University, Seoul, Korea, 2007.
- [7] H. D. Kang, H. Kim, and J. G. Yook, "Wideband suppression of simultaneous switching noise with novel power plane via hole structures", *Korea-Japan AP/EMC/EMT Joint Conference*, May 2009.
- [8] H. D. Kang, H. Kim, H. J. Lee, and J. G. Yook, "An enhanced power plane topology using localized spiral resonator for wideband suppression of simultaneous switching noise", *IEEE International Sympos-*

*sium on Antennas and Propagation*, Jun. 2009.

- [9] J. H. Kwon, J. G. Yook, "Partial placement of EBG on both power and ground planes for broadband suppression of simultaneous switching noise", *IEICE Trans. Commun.*, vol. E92-B, no. 7, pp. 2550-2553, Jul. 2009.
- [10] S. G. Kim, H. Kim, H. D. Kang, and J. G. Yook, "Modeling and analysis of EBG structures on po-

wer distribution network", *IEEE Electrical Design and Advanced Packaging & Systems*, Dec. 2009.

- [11] H. D. Kang, H. Kim, S. G. Kim, and J. G. Yook, "A novel power plane topology for wideband suppression of SSN and fast computational method", *IEEE Electrical Design and Advanced Packaging & Systems*, Dec. 2009.

≡ 필자소개 ≡

강 희 도



2008년 2월: 연세대학교 전기전자공학부 (공학사)  
 2008년 3월~현재: 연세대학교 전기전자공학과 석·박사통합과정  
 [주 관심분야] High-Speed Circuit Design, Modeling, Packaging, 안테나 시스템

육 종 관



1998년: University of Michigan 전기전자공학과 (공학박사)  
 2000년 3월~현재: 연세대학교 전기전자공학과 교수  
 [주 관심분야] 마이크로파 시스템 해석 및 설계, RF MEMS, Computational Electromagnetics, Bio-radar and Sensors, EMI/ EMC, 안테나 시스템

김 현



2002년 8월: 연세대학교 전기전자공학과 (공학사)  
 2005년 2월: 연세대학교 전기전자공학과 (공학석사)  
 2005년 3월~현재: 연세대학교 전기전자공학과 박사과정  
 [주 관심분야] FDTD 등 마이크로파 수치해석, EMI/EMC