

## Filter Calibration using Self Oscillation of Biquad RC Filter

안 덕 기\* · 황 인 철†  
(Deok Ki Ahn · In Chul Hwang)

**Abstract** - This paper presents a digitally-controlled filter calibration technique for biquad RC filter using self oscillation. The biquad RC filter is converted to a fully-differential ring oscillator by changing its resistor connections, where the oscillation frequency reflects the cut-off frequency. The proposed calibration circuit measures the oscillation frequency by counting with a fixed higher-frequency clock and then tunes it to a desired frequency with a digital frequency-locked loop including a PI controller. Because the proposed circuit directly measures the cut-off frequency of the filter itself and calibrates it with the small area digital circuits, the area and the power consumption are much small compared with conventional works. When it is implemented in a 65nm CMOS process, the calibration circuit except the filter consumes the area of 80um X 50um and power consumption is 443uA at 1.2 V supply voltage.

**Key Words** : Biquad, Filter calibration, Self oscillation

### 1. 서 론

무선 통신 시스템에서 수신기는 송신기로부터 받은 신호를 에러 없이 복구 가능해야 한다. 무선 공간에서 생기는 신호 감쇠 및 왜곡은 안전한 신호 복구를 위해 점점 더 고사양의 수신기를 요구하게 된다. 수신기 시스템에서 필터의 차단 주파수는 우리가 원하는 신호를 얼마나 잘 통과시키며 잡음 신호는 얼마나 제거를 할 수 있는지에 대한 중요한 요소가 될 수 있다. 실제 반도체 웨이퍼 상에 구현되어 집적 회로(IC; integrated circuit)화 된 필터는 공정에 따라 저항과 커패시터의 값의 변화가 심하며 그에 따른 필터의 차단 주파수의 변화가 심할 수밖에 없다. 이를 보완하기 위해서는 저항과 커패시터의 값을 알아내고 이를 보상해 줄 방법이 필요하며 이미 많은 방법들을 통해 보상 방법이 제시되었다.

가장 고전적인 방법으로는 dual-slope을 이용한 방법이 있다[1]. 이 방법의 가장 큰 단점은 추가적으로 필요한 커패시터의 크기가 너무 커서 면적을 많이 차지하게 된다. 또 다른 방법으로는 별도의 발진기를 구성하여 이 발진기의 저주파 clock을 이용하여 고주파 reference clock을 세서 주파수를 측정하여 교정을 하는 방식이다[2][3]. 이 경우에도 마찬가지로 추가적인 회로 및 저항, 커패시터를 필요로 하므로 면적 및 전력 소모가 추가된다는 단점이 있다. 마지막 방법으로는 reference 전압과 저항을 이용하여 일정한 전류를 발

생시키고 이를 복사시켜 별도로 구성된 커패시터 bank를 charge 또는 discharge 시키면서 발생하는 전압을 reference 전압과 비교하여 교정하는 방법이 있다[4]. 이 방법은 일정한 발생시킨 전류를 정확하게 복사하지 못하거나 reference 값들이 정확하지 못할 경우 교정되는 커패시터 값이 달라질 수 있으며 필터 자체에 구성되어 있는 커패시터를 이용하는 것이 아니기 때문에 보상 시에 mismatch 가 존재 할 수 있다.

본 논문에서는 기존 구조에서 별도의 발진기를 사용하는 것과 달리 바이쿼드 필터의 자가 발진 특성을 이용한 디지털 컨트롤 방식의 필터 교정 방법을 제안한다. 이 방법은 저항이나 커패시터 값을 알아내기 위한 별도의 회로를 필요로 하지 않으며 기존 구조들과는 다르게 차단 주파수에 맞는 저항과 커패시터 값을 찾게 되면 동작을 멈추고 그 값을 계속 유지하게 되므로 주파수 교정이 완료되면 추가적으로 소모되는 전력 소모가 없는 장점이 있다.

### 2. 제안된 filter 교정 기법

#### 2.1 바이쿼드 RC필터

그림 1은 일반적인 바이쿼드 RC 필터를 보여준다. 이 필터의 전달 함수는 식 (1)과 같이 나타낼 수 있으며 이 때  $C_1 = C_2 = C, R_1 = R_3 = R$  이라고 가정하면 필터에서의  $w_0$  와  $Q$  는 식 (2)와 같이 정리된다.

이 바이쿼드 RC 필터를  $R_3$  와  $R_2$  에 각각 스위치( $SW_{1,2,3,4}$ )를 달아서 그림 2(a)와 같이 수정하게 되면 발진을 위한 조건을 충족할 수 있게 된다.  $SW_{1,2,3,4}$  를 off 시켜  $R_2$  를 무

\* 준 회원 : 강원대 전기전자공학 석사과정  
† 교신저자, 비회원 : 강원대 IT특성화학부 전기전자전공 조교수  
E-mail : ihwang@kangwon.ac.kr  
접수일자 : 2010년 2월 19일  
최종완료 : 2010년 3월 16일

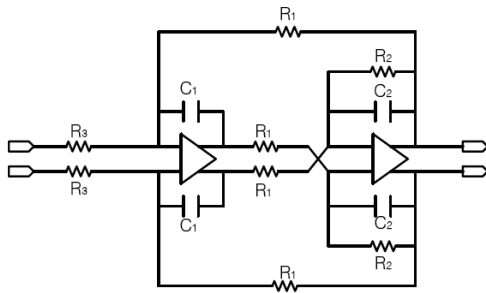


그림 1 바이쿼드 RC 필터  
Fig. 1 Biquad RC filter

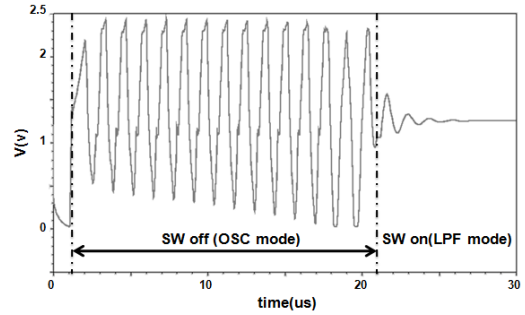


그림 3 바이쿼드 RC 필터 발진 시뮬레이션  
Fig. 3 Biquad RC filter oscillation simulation

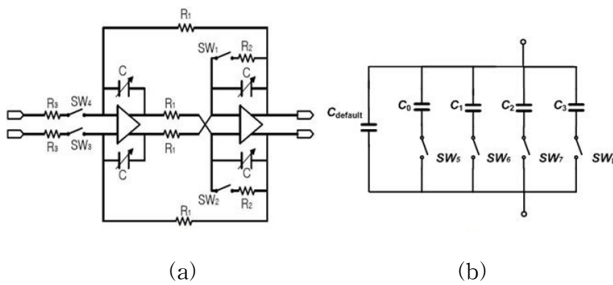


그림 2 (a) 수정된 바이쿼드 RC 필터, (b) 커패시터 bank  
Fig. 2 (a) Modified biquad RC filter, (b) Capacitor bank

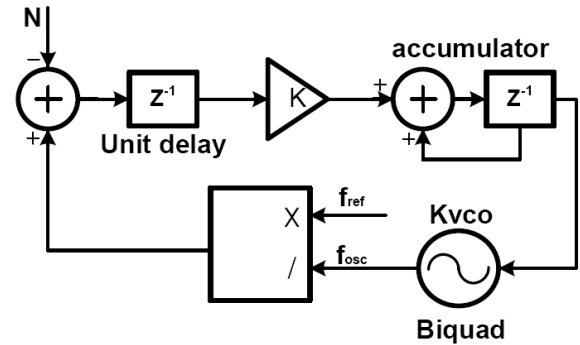


그림 4 전체 시스템 모델  
Fig. 4 Total system model

$$H(s) = \frac{w_0^2}{s^2 + (w/Q)s + w_0^2} \quad (1)$$

$$w_0 = \frac{1}{RC}, \quad Q = \frac{R_2}{R} \quad (2)$$

한대 값으로 만들게 되면 그에 따라 필터 전달 함수가 바뀌게 되고  $w_0$  에서 발진 주파수를 가지는 발진기의 형태를 가지게 된다. 수정된 구조에서 커패시터를 그림 2(b)의 커패시터 bank 로 대체하게 되면 가변 하는 커패시터 값에 따라 발진 주파수와 필터의 차단 주파수를 바꿀 수 있게 된다. 그림 3은 스위치 제어를 통해 바이쿼드의 발진을 시뮬레이션 한 결과이다.  $SW_{1,2,3,4}$  가 off 되어 있고 opamp가 disable 상태에서 두 개의 출력 노드를 차동 상태로 setting을 시키게 되고 opamp를 enable 함과 동시에 발진을 시작한다. 일정 시간 후  $SW_{1,2,3,4}$  를 on 시키면 발진을 멈추고 출력 노드는 공통 모드 전압으로 고정되면서 필터로써 동작을 하게 된다.

## 2.2 시스템 모델 및 안정도 해석

제안된 필터 교정 시스템은 기본적으로 PI controller를 이용하기 때문에 loop 안정도가 보장되지 못하면 코드 값을 찾지 못하고 계속해서 발진하게 된다. 그림 4는 전체 시스템의 loop dynamics를 분석하기 위해 설계된 z-domain model이다. 이것은 주파수 영역에서 modeling되었기 때문에

바이쿼드 필터가 발진을 하고 있는 상태로 가정을 하면 하나의 발진기로 생각을 하여  $K_{vco}$ 의 f-V 이득을 갖는 전달 함수로 등가화 할 수 있으며 accumulator 와 unit delay model 은 각각 그림에 주어진 것과 같이 z-domain에서 modeling 가능하다. 바이쿼드 RC 필터가 어떤 목표의 주파수에서  $\Delta F$  만큼 떨어진 곳에서 발진하고 있을 때 주파수 오차를 나타내는 코드 값은 다음 식 (3)과 같이 정의 할 수 있다. 만약  $\Delta f \ll f_{osc}$  이라면 식 (3)의 정리를 식 (4)와 같이 간략화 할 수 있다. 식 (4)에서 실제 루프에서 보상되는 코드 값은 커패시터 bank 의 스위치를 on-off 시키는 정수의 값을 가지게 되고 그 값은  $af_{osc}/N = \Delta f$ ,  $a = 0, 1, 2, \dots$  인 값마다 정수의 코드 값을 발생 시킨다.

$$f_{code} = \frac{f_{ref}}{f_{osc} + \Delta f} - N = \frac{f_{ref}/f_{osc}}{1 + \Delta f/f_{osc}} - N \quad (3)$$

$$= N \left( \frac{1}{1 + \Delta f/f_{osc}} - 1 \right) = N \left( \frac{-\Delta f/f_{osc}}{1 + \Delta f/f_{osc}} \right)$$

$$f_{code} \approx -\frac{N\Delta f}{f_{osc}} \quad (4)$$

여기서 발생할 수 있는 문제점은 실제 구현된 커패시터 bank 코드 당  $\Delta F$  와 그  $\Delta F$  에 따라 보상시키려 하는  $f_{code}$  가 일치하지 않을 수 있다는 것이다. 이 불일치로 인하여 보상 에러가 발생하며 이를 보완하기 위해 코드 보상 시에 gain을 필요로 한다. 그에 따라 gain block을 통하여 보상되

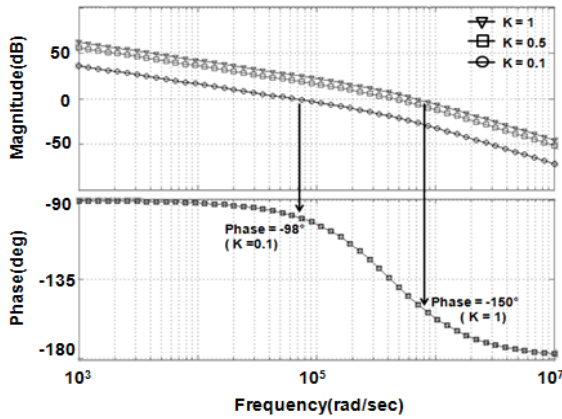


그림 5 open loop 전달 함수 주파수 특성  
Fig. 5 Open loop transfer function characteristic

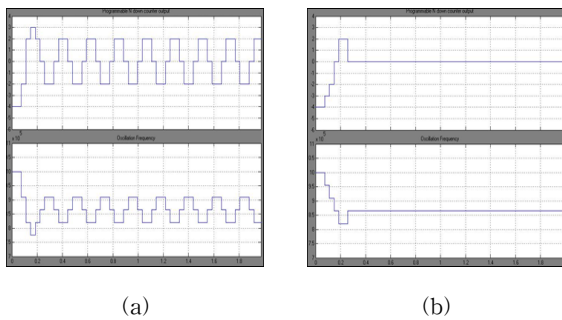


그림 6 코드 gain에 따른 accumulator 출력(위)와 발진 주파수 변화(아래) (a) gain = 0.5, (b) gain = 0.25  
Fig. 6 Accumulator output(top) and oscillation frequency variation(bottom) of code gain (a) gain = 0.5, (b) gain = 0.25

는 코드 값을 조절할 필요가 있으며  $f_{ref}$ 보다  $f_{osc}$ 가 매우 작고 gain을 충분히 작게 줄 수 있다면 이산 시간 함수인 z-domain model을 연속 시간 영역의 s-domain 함수로 바꿀 수 있으며, 그에 따라 전체 open loop 전달 함수는 식 (5)와 같이 간략화 할 수 있다.

$$H_{ol}(s) = \frac{NKK_{vco}}{(1+2s/f_{osc})2s} \approx \frac{NKK_{vco}}{2s} \quad (5)$$

그림 5는 open loop 전달 함수의 K에 따른 stability 를 보여준다. K가 작아서 단위 이득 주파수가 작아지면 그에 따라 stability가 좋아지는 형태를 가진다. K가 작을수록 unit delay에 의해 발생하는 pole의 영향이 줄고 그에 따라 식(5)의 우측 항으로 정리할 수 있다. 그림 6은 model의 코드 gain에 따른 발진 주파수와 코드 값 변화의 시뮬레이션 결과를 나타낸다. gain을 키우면 코드 안정도를 높일 수 있지만 그에 따라 locking time 이 길어지는 단점이 있다.

### 3. 회로 설계

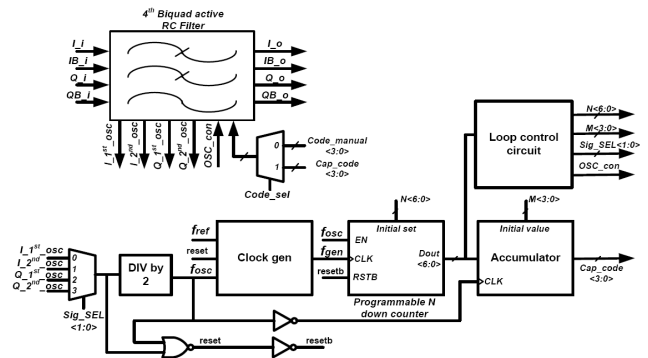


그림 7 제안된 디지털 컨트롤 방식의 필터 주파수 교정 블록도  
Fig. 7 Block diagram of proposed digitally controlled filter frequency calibration

그림 7은 제안하는 필터 교정 방법을 나타내는 블록도이다. 주 블록인 바이쿼드 RC 필터는 2차의 필터가 2단으로 구성되어 있으며 in-phase와 quadrature-phase의 신호를 앞단의 저 잡음 증폭기와 믹서로부터 제공을 받는다. 따라서 총 4개의 바이쿼드 각각의  $w_0$ 를 교정해야 하며 순차적으로 하나씩 발진시키며 주파수를 교정하는 방법을 적용하였다. 처음 시스템이 power on이 되면 loop control circuit(LCC)은 7bit programmable N down counter의 N 값과 4bit ac-accumulator의 M 값을 각각 초기 값으로 만들고 OSC\_con 신호를 이용하여 4개의 바이쿼드를 순차적으로 제어한다. 4개 중 in-phase 단의 첫 번째 바이쿼드가 enable 됨과 동시에 발진을 시작(OSC mode)하게 되고 그 신호(L1st\_osc)는 LCC의 mux 제어(Sig\_SEL<1:0>)를 통해 선택되고 1/2로 분주 된다. 분주된 신호는 그림 5에서 보여주고 있는 Clock gen 회로를 통해 입력으로 들어간다. 이 회로는 분주 되서 입력되는  $f_{osc}$  신호의 레벨이 high 인 동안 또 다른 입력인 reference clock( $f_{ref}$ )을 출력으로 발생시킨다. 첫 번째 단은  $f_{osc}$ 가 high인 동안 인버터와 같이 동작하며 두 번째 단은 첫 번째 단의 출력을 reset이 low,  $f_{osc}$ 가 high인 동안 마찬가지로 인버터로 동작한다. 결국  $f_{ref}$ 를 출력으로 바로 내보내게 되는 역할을 하며 마지막 세 번째 단은 reset이 high이고  $f_{osc}$ 가 low인 동안 두 번째 단의 출력 노드를 계속 같은 값을 유지하도록 고정 시킨다. 1/2 분주된 발진 신호의 high 동안  $f_{ref}$  신호를 발생시키므로 발진 주파수의 한 주기 동안 발생하는  $f_{ref}$  신호의 rising edge 수는  $f_{ref}/f_{osc}$  관계를 가진다. Clock gen 으로부터 발생된 신호는 N 값으로 초기화 되어 있는 down counter 의 clock으로 사용되며 식 (6)의 7bit Dout 출력 값을 발생시킨다. Dout 은 M 값으로 초기화 되어 있는 4bit accumulator를 통해  $f_{osc}$  신호가 low 인 동안 축적되며 보상하려는 커패시터 bank 코드 값 (Cap\_code<3:0>)을 만들어 낸다. 그림 9와 10은 각각 loop 제어 순서도와 timing diagram을 나타낸다.

$$Dout = \frac{f_{ref}}{f_{osc}} - N \quad (6)$$

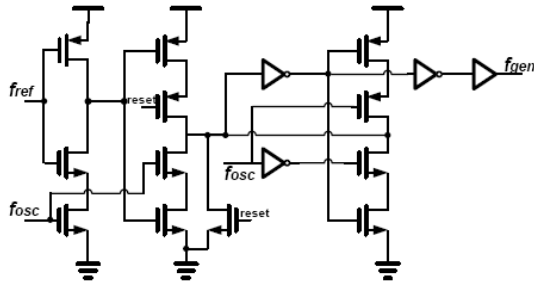


그림 8 Clock gen 회로  
Fig. 8 Clock gen circuit

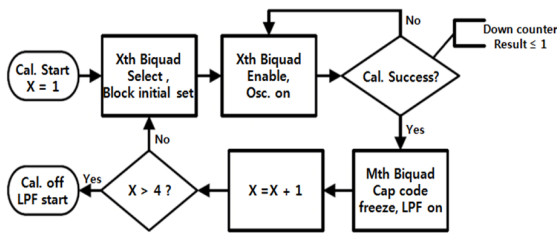


그림 9 루프 제어 순서도  
Fig. 9 Loop control flow chart

loop를 반복하며 보상되는 커패시터 bank 코드 값은 바이쿼드의 발진 주파수를 바꾸게 되고 Dout 값을 변화시킨다. Dout 값이 0인지 아닌지에 따라 우리가 원하는  $w_0$ 로 바이쿼드가 set이 되었는지 아닌지를 판단하며 set이 된 경우 커패시터 bank 코드 값을 고정시키고 바이쿼드의 off 시켰던 스위치를 다시 on시켜 발진을 멈추게 하고 다시 필터의 형태(LPF mode)를 유지하게 한다. 첫 번째 바이쿼드의 교정이 완료되면 LCC에서 나머지 3개의 바이쿼드도 순차적으로 위의 방법으로 교정을 완료한다. Counter 와 accumulator 등의 디지털 로직들을 이용함으로써 인해 아날로그 방식의 회로 구성에 있어서 커패시터나 저항 등에 의해 문제시 될 수 있는 면적 소모 문제가 거의 없고 programmable N down counter의 N값을 바꿈에 따라 원하는 발진 주파수로 변경이 용이하며 그에 따라 차단 주파수를 가변 할 수 있는 장점이 있다.

4. 측정 결과

제안된 바이쿼드 RC 필터와 주파수 교정 회로는 CMOS 65nm 공정을 이용하여 설계하였다. 설계한 바이쿼드 RC 필터는 850kHz의 차단 주파수를 목표치로 하는 low pass filter 로 4bit의 커패시터 bank를 이용하여 600k ~ 1.4MHz의 가변 범위를 가지도록 설계하였다. 집적회로로 구현된 회로의 사이즈는 바이쿼드 RC 필터가 1mm X 1.5mm이며 주파수 교정 회로는 80um X 50um이다. 기존의 다른 구조에 비해 디지털 회로로만 구현이 가능하기 때문에 추가적인 면적 소모가 거의 없는 것을 알 수 있다. 그림 11은 두 회로의 chip layout 이다. 공급 전원은 2.5V 이며 필터가 소모하는 전류는 3mA, 교정 회로가 동작 시 소모하는 전류는

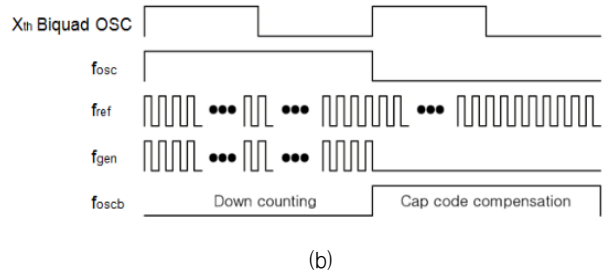
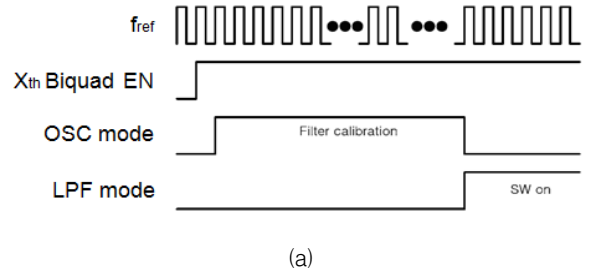


그림 10 (a) X번째 biquad 제어 타이밍 다이어그램,  
(b) 필터 교정 타이밍 다이어그램  
Fig. 10 (a) Xth biquad control timing diagram,  
(b) filter calibration timing diagram

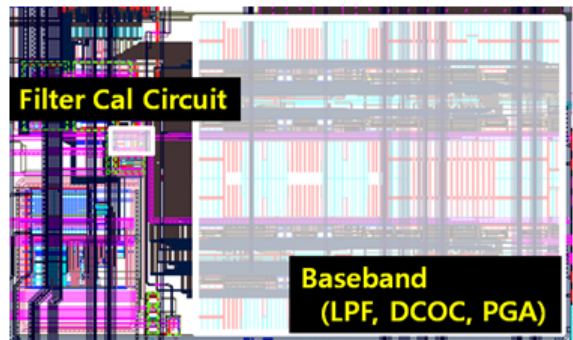


그림 11 레이아웃  
Fig. 11 Layout

443uA이다. 교정이 완료 되고 나면 동작을 멈추기 때문에 완료 후에 소모하는 전류는 거의 없다. 그림 12(a)는 필터의 커패시터 코드 값 변화에 따른 필터 차단 주파수의 변화를 보여준다. 측정 결과 550k ~ 1.1MHz 로 설계 값과의 오차가 비교적 큰 것을 알 수 있었으며 850kHz 의 typical 코드 값에서는 620kHz 의 차단 주파수를 가지는 것을 확인 하였다. 그림 12(b)는 주파수 교정 회로를 통해 측정된 차단 주파수의 typical 코드 값에서의 차단 주파수를 비교한 그림이다. 주파수 보정을 통해 620kHz 에서 870kHz 로 차단 주파수가 변하는 것을 확인 하였다.

5. 결론

본 논문은 통신용 IC에서 필터 설계 시 공정변화에 따라 문제가 될 수 있는 저항과 커패시터 값의 변화에 따른 차단

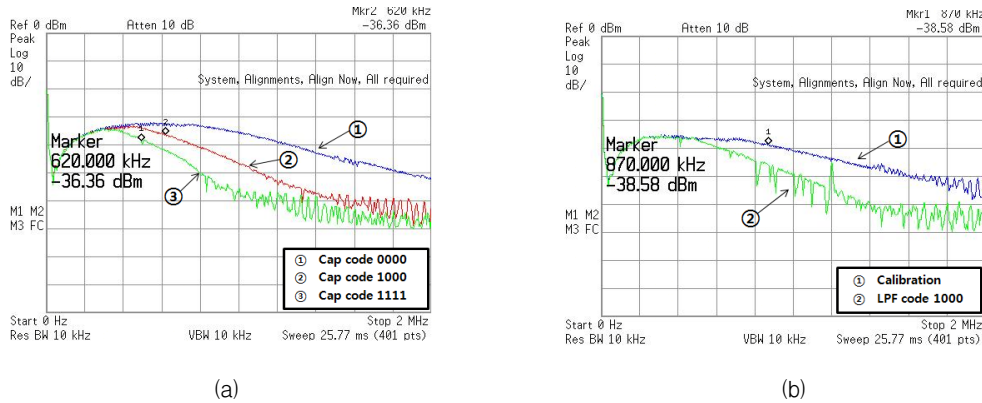


그림 12 (a) 커패시터 bank 코드 값에 따른 차단 주파수 변화, (b) typical 코드와 교정 회로를 통해 교정된 차단 주파수 변화 비교

Fig. 12 (a) Cut-off frequency variation on code value of capacitor bank, (b) Comparison of cut-off frequency variation without calibration(typical code) and with calibration

주파수의 변화를 바이쿼드 회로의 자가 발진을 통한 디지털 컨트롤 방법을 이용하여 보상할 수 있는 방법에 대해 제안한다. 바이쿼드 RC 필터는 스위치 컨트롤을 통해 링 발진기 형태로 변형이 가능하며 저항과 커패시터의 곱에 의해 발진 주파수 및 차단 주파수가 결정된다. 제안된 방법은 기존 방식들에서 문제가 될 수 있었던 추가적인 면적 소모와 전류 소모를 최소화 하면서 다운 카운터의 N 값을 바꿔 줌으로써 필터의 차단 주파수의 변형이 용이한 장점이 있다. 루프 구성 시 문제가 될 수 있는 안정도는 커패시터 code gain을 줌으로써 보상하였다.

65nm CMOS 공정으로 구현된 교정 회로의 면적은 80um X 50um 이며 동작 시 소모하는 전류는 443uA 이다. 교정 회로를 이용하지 않고 typical 커패시터 bank 코드 값으로 측정 시 620kHz 의 차단 주파수를 가지던 바이쿼드 RC 필터가 교정 회로를 통해 870kHz 의 값으로 차단 주파수가 보정되는 것을 확인하였다.

Integrated Active-RC Filter with 73dB SFDR," *IEEE J.Solid-State Circuits*, vol. 41, no. 9, pp. 1997-2008, Sep 2006.

- [3] H. Huang and E. K. F. Lee, "Design of Low-Voltage CMOS continuous-Time Filter with On-chip Automatic Tuning," *IEEE J. Solid-State Circuits*, vol. 36, no. 8, pp. 1168-1177, Aug 2001.
- [4] L. Zou, K. Han, Y. Liao, H. Min and Z. Tang, "A 12th Order Active-RC Filter with Automatic Frequency Tuning for DVB Tuner Applications," *IEEE Asian Solid-State Circuits Conference*, pp. 281-284, Nov 2008.

## 저 자 소 개

### 감사의 글

본 과제(결과물)는 지식경제부의 지원으로 수행한 에너지자원인력양성사업의 연구결과입니다.

This work is the outcome of a Manpower Development Program for Energy & Resources supported by the Ministry of Knowledge and Economy (MKE)

### 참 고 문 헌

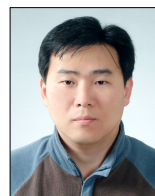
- [1] A. M. Durham, J. B. Hughes and W. Redman-White, "Circuit Architectures for High Linearity Monolithic Continuous-Time Filtering", *IEEE Transactions on Circuits and Systems*, vol. 39, no. 9, pp. 651-657, Sep 1992.
- [2] A. Vasilopoulos, G. Vitzilaios and G. Theodoratos, Y. Papananos, "A Low-Power Wideband Reconfigurable

### 안 덕 기 (安德基)



2009년 2월 강원대학교 전기전자전공 졸업. 2009년 2월 ~ 현재 강원대학교 전기전자공학과 (석사과정)  
Tel : 010-7155-3501  
E-mail : dkahn@kangwon.ac.kr

### 황 인 철 (黃仁哲)



1993년 고려대학교 전자공학 졸업. 1995년 고려대학교 공학석사 졸업. 2000년 고려대학교 공학박사 졸업. 2000년 ~ 2001년 Univ. of Illinois at Urbana-Champaign 에서 박사후 연구원. 2001년~ 2007년 삼성 Sys. LSI 선임 연구원. 2007년 ~ 현재 강원대학교 전기전자전공 조교수  
Tel : +82-33-250-6299  
E-mail : ihwang@kangwon.ac.kr