

MLC NAND 플래시 메모리의 셀 간 간섭현상 감소를 위한 등화기 알고리즘

논 문
59-6-14

An Equalizing Algorithm for Cell-to-Cell Interference Reduction in MLC NAND Flash Memory

김 두 환* · 이 상 진** · 남 기 훈*** · 김 시 호§ · 조 경 록†
(Doo-Hwan Kim · Sang-Jin Lee · Ki-Hun Nam · Shi-Ho Kim · Kyoung-Rok Cho)

Abstract - This paper presents an equalizer reducing CCI(cell-to-cell interference) in MLC NAND flash memory. High growth of the flash memory market has been driven by two combined technological efforts that are an aggressive scaling technique which doubles the memory density every year and the introduction of MLC(multi level cell) technology. Therefore, the CCI is a critical factor which affects occurring data errors in cells. We introduced an equation of CCI model and designed an equalizer reducing CCI based on the proposed equation. In the model, we have been considered the floating gate capacitance coupling effect, the direct field effect, and programming methods of the MLC NAND flash memory. Also we design and verify the proposed equalizer using Matlab. As the simulation result, the error correction ratio of the equalizer shows about 20% under 20nm NAND process where the memory channel model has serious CCI.

Key Words : MLC, NAND Flash, Memory, Interference, Equalizer

1. 서 론

플래시 메모리는 EEPROM (electrically erasable/programmable ROM)의 일종으로 바이트 단위로 지우기(erase) 작업을 수행하는 기존 EEPROM과는 달리, 수십에서 수백 킬로바이트 정도의 큰 단위를 한 번에 지울 수 있는 비휘발성 메모리이다. 플래시 메모리는 데이터를 저장하는 셀의 물리적인 구조에 따라 크게 NOR형과 NAND 형으로 나뉜다. 이중 NAND 플래시 메모리는 쓰기 단위가 커서 쓰기 속도가 빠르며, 고집적, 저가격, 저전력, 충격에 강한 특성 등으로 대용량의 칩을 만드는데 유리하여 주로 CF, SD, MMC 메모리 카드나 USB 드라이브와 같은 휴대형 저장 장치의 데이터 저장 매체로 많이 사용된다. 최근에는 노트북, UMPC (ultra mobile PC) 등의 이동 컴퓨팅 시스템에서 하드디스크를 대체하기 위한 용도로 속도가 빠르고 전력 소모가 작으며 또한 부피가 작아 하이브리드 하드디스크, 플래시 메모리 SSD(solid state disk)에 사용되고 있다. 플래시 메모리 SSD는 하드디스크와 같은 기계적인 동작이 없으므로 저전력, 저소음, 충격에 강한 특성을 갖는다[1],[2].

NOR 플래시 메모리보다 나중에 개발된 NAND 플래시 메모리는 집적도를 높일 수 있는 구조적인 특성으로 인해

보다 적은 비용으로 대용량의 저장장치를 구성할 수 있게 한다. 그러나 NOR 플래시 메모리와 같은 바이트 단위의 접근은 가능하지 않고 일정 영역(page) 단위로만 읽고 쓰기가 가능하다. 이런 특성으로 인해 일반적인 RAM 인터페이스를 이용할 수 없고 별도의 인터페이스 장치가 필요하며 읽기 성능 또한 NOR 플래시 메모리보다 낮다. 하지만 쓰기 및 소거 성능은 NOR 플래시 메모리보다 현저하게 높다[3].

MLC(multi level cell) 플래시 메모리는 한 셀로 1비트를 표현하는 기존의 SLC(single level cell) 플래시 메모리와는 달리 한 셀로 2비트 이상을 표현하는 구조를 가진다. 이러한 구조를 통해 MLC 플래시 메모리는 집적도를 높일 수 있기 때문에 가격대 용량 면에서 유리하지만 동작속도는 다소 낮다. 또한 하나의 메모리 셀로 네 가지 상태(state) 이상을 표현하는 구조상 비트 에러가 일어날 가능성이 크기 때문에 안정성 면에서도 불리한 면이 있다. 소거 가능 횟수도 SLC는 10만 번, MLC는 만 번으로 감소한다. 따라서 안정적인 동작을 위해서는 페이지당 최대 4비트 에러까지 보정할 수 있는 ECC 알고리즘을 사용해야하며 더욱 정교한 마모도 평균화 정책이 필요하다[4].

공정 발달에 따라 셀 크기가 감소하면서 MLC 기법을 사용하기 위해서는 V_{TH} 분포의 세밀한 조절이 반드시 필요하다. 셀의 데이터는 ISPP(Incremental Step Pulse Program)를 통해 효과적으로 좁은 V_{TH} 분포를 갖도록 써진다. 써진 셀의 V_{TH} 는 목표한 V_{TH} 를 기준으로 가우시안 분포를 갖고 이상적으로는 분포 폭이 ISPP의 증가 전압폭(ΔV_{ISPP})과 거의 같다. 그러나 실제로는 그림 1과 같은 다양한 기생적 요소들 noise, under program effect, background pattern dependency, cell program speed, array ground line, and cell-to-cell interference 등이 셀의 V_{TH} 의 분포 폭을 넓히고

* 비 회 원 : 충북대학교 전자정보대학 정보통신공학과
** 정 회 원 : 충북대학교 전자정보대학 정보통신공학과
*** 비 회 원 : 충북대학교 전자정보대학 전기공학과
§ 정 회 원 : 충북대학교 전자정보대학 전기공학과
† 교신저자, 정회원 : 충북대학교 전자정보대학 정보통신공학과
E-mail : krcho@chungbuk.ac.kr

접수일자 : 2010년 4월 23일
최종완료 : 2010년 5월 12일

V_{TH} 의 중심값을 이동시킨다[5],[6].

이러한 V_{TH} 의 왜곡이 심해지면 서로 다른 데이터를 구분하기 위한 V_{TH} 의 마진을 줄여 읽을 때 다른 데이터로 인식되는 에러율을 키운다. 이러한 현상은 공정이 발전하여 셀 크기가 줄어들수록 또는 집적도를 높이기 위해 MLC나 TLC(tripple level cell)등의 기법이 적용될수록 심각해진다 [7]. 이러한 왜곡을 일으키는 요소 중에 점차 심각해지는 것이 이미 설정된 셀의 V_{TH} 를 주변 셀이 써지면서 키우는 셀 간 간섭인 CCI(cell-to-cell interference)이다. 최근에 20nm 급 공정에서의 CCI가 50nm급 공정에서보다 2배 이상 커졌다는 시뮬레이션 결과도 CCI의 문제의 심각함을 나타낸다[8]. 이러한 추세를 그림 2에 나타냈다.

이 논문에서는 20nm 급 MLC NAND 플래시 메모리에서의 에러 발생의 주요 원인으로 작용하는 CCI의 문제를 분석하고 에러를 보정할 수 있는 등화기를 제안한다. 본 논문은 다음과 같이 구성된다. 2장에서는 CCI에 대한 모델링과 분석을 하고, 3장에서는 이러한 CCI를 보정할 수 있는 등화기의 원리와 설계에 대해 설명하여 4장에서 결론을 맺는다.

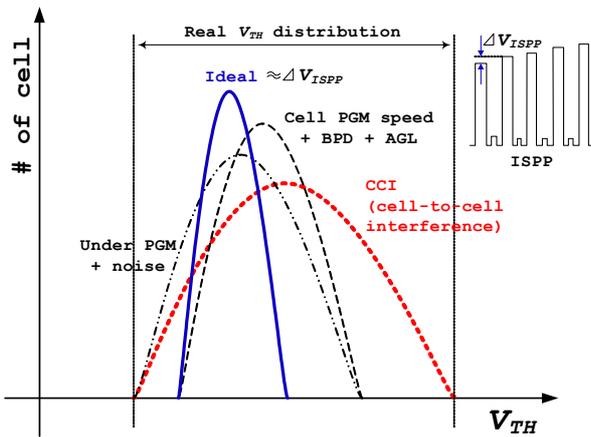


그림 1 V_{TH} 의 분포에 미치는 영향 주는 요소
Fig. 1 Parasitic effects of V_{TH} distribution.

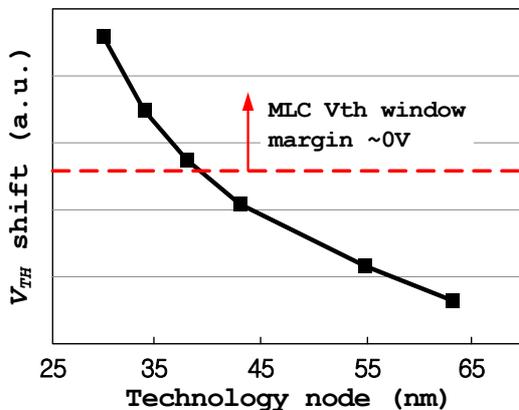


그림 2 공정 및 기술발전에 따른 CCI의 심각성
Fig. 2 Critical problem of the CCI as a function of technology nodes.

2. CCI 모델링 및 분석

CCI 모델링을 위한 NAND 플래시 메모리의 셀 배열은 기존의 연구에서도 사용된 것과 같이 3×3 배열이고, 3-D TCAD 시뮬레이션 시간의 감소 및 간략화를 위해 2×2 배열을 사용하기도 한다[9]. CCI는 NAND 플래시 메모리의 각 플로팅 게이트(FG, floating gate) 사이의 기생 커패시턴스의 커플링으로 인한 간섭을 기반으로 추가 요소들을 더 고려하여 모델링된다. 그림 3은 3×3 NAND 플래시 메모리 셀 배열의 기생 커패시턴스 3-D 배치도이다[10]. 가운데 셀의 V_{TH} 가 이미 설정된 후 주변의 셀들의 V_{TH} 가 프로그램될 때 가운데 셀이 피해를 받기 때문에 가운데 셀을 피해자로 판단하고 주변의 셀들을 가해자로 판단한다. 일반적으로 플로팅 게이트 전압은 컨트롤 게이트 전압과 커플링 비율 γ (= C_{ONO} / C_{TOT})에 의해 결정된다. C_{ONO} 는 컨트롤 게이트와 플로팅 게이트 사이의 기생 커패시턴스이고, C_{TOT} 는 피해자 플로팅게이트와 관련된 전체 커패시턴스로 다음의 식 (1)과 같다.

$$C_{TOT} = C_{TUN} + C_{ONO} + 2C_{FGX} + 2C_{FGY} + 4C_{FGXY} + 2C_{FGCG} \quad (1)$$

C_{TUN} 은 플로팅 게이트와 기판 사이의 기생 커패시턴스이고, C_{FGX} , C_{FGY} , C_{FGXY} 는 피해자 플로팅 게이트와 각각 X축, Y축, XY축 가해자 플로팅 게이트 사이의 기생 커패시턴스이다. C_{FGCG} 는 피해자 플로팅 게이트와 위 또는 아래의 가해자 컨트롤 게이트 사이의 기생 커패시턴스이다.

이 때 주변 가해자 셀의 플로팅 게이트에 프로그램되는 V_{TH} 값이 커지면서 커플링된 기생 커패시턴스로 인해 가운데 피해자 셀의 플로팅 게이트에 프로그램된 V_{TH} 값이 증가하는 크기의 비율인 플로팅 게이트 간섭율(γ_{FG})을 아래의 식 (2)와 같이 정의한다.

$$\gamma_{FGX} = C_{FGX} / C_{TOT} \quad (2)$$

$$\gamma_{FGY} = C_{FGY} / C_{TOT}$$

$$\gamma_{FGXY} = C_{FGXY} / C_{TOT}$$

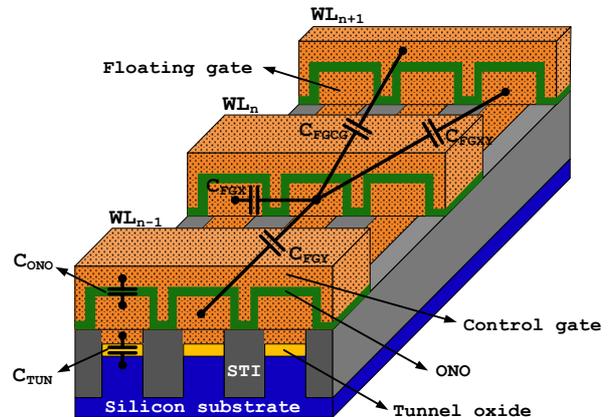


그림 3 3×3 NAND 플래시 메모리 셀 배열의 기생 커패시턴스 3-D 배치도
Fig. 3 3-D schematic of parasitic capacitances in a 3×3 NAND flash memory cell array.

기존의 0.12um 공정 기반의 연구에서는 C_{FGXY} 는 C_{FGX} , C_{FGY} 에 비해 약 1/17의 크기로 너무 작아 무시했지만 최근의 22nm 공정 기반의 TCAD 시뮬레이션을 수행한 연구에서는 셀 크기의 감소로 인해 이 비율이 1/5정도로 무시할 수 없음을 나타냈다[11]. 따라서 본 연구에서는 20nm 급의 공정에서의 심화된 CCI를 연구하므로 이 요소를 포함한다.

그림 4는 NAND 플래시 배열에서 주변 셀과의 기생 커패시터의 배치도이다. 이 배치도를 기준으로 피해자 셀(5)의 V_{TH} 가 주변의 8개의 가해자 셀(1,2,3,4,6,7,8,9)의 영향으로 변한 크기의 합 $\Delta V_{TH,FG,err}$ 는 다음의 식 (3)과 같다.

$$\begin{aligned} \Delta V_{TH,FG,err} = & \gamma_{FGX} \cdot (\Delta V_{TH,4} + \Delta V_{TH,6}) \\ & + \gamma_{FGY} \cdot (\Delta V_{TH,2} + \Delta V_{TH,8}) \\ & + \gamma_{FGXY} \cdot (\Delta V_{TH,1} + \Delta V_{TH,3} + \Delta V_{TH,7} + \Delta V_{TH,9}) \end{aligned} \quad (3)$$

NAND 플래시 메모리와 관련된 기생 커패시터는 3x3 셀 배열을 기반으로 살펴보았다. 그러나 앞서 말한바와 같이 피해자 셀의 V_{TH} 의 왜곡을 일으키는 가해자 셀은 피해자 셀이 프로그램된 이후에 프로그램되는 셀이다. 따라서 NAND 플래시 메모리의 프로그램 순서에 따라 가해자 셀의 수를 한정지어야 한다[12]. SLC 플래시 메모리는 랜덤 순서의 프로그래밍이 가능하지만, MLC 플래시 메모리는 상승 순서의 프로그래밍만 가능하다. 따라서 SLC 플래시 메모리 셀의 CCI를 고려할 때는 피해자 셀 주변의 8개의 가해자 셀의 영향을 모두 고려해야하지만, MLC 플래시 메모리의 경우는 6개의 셀(4,5,6,7,8,9)만을 고려한 3x2 배열을 기반으로 해석해야 한다. 왜냐하면 MLC 플래시 메모리 셀의 경우는 위쪽 워드 라인(WL, word line) WL_{n-1} 부터 WL_n , WL_{n+1} 의 순서로 프로그램되기 때문에 WL_{n-1} 에 있는 셀(1,2,3)은 이미 프로그램되어 WL_n 에 있는 피해자 셀에 V_{TH} 왜곡에 영향을 주지 않기 때문이다.

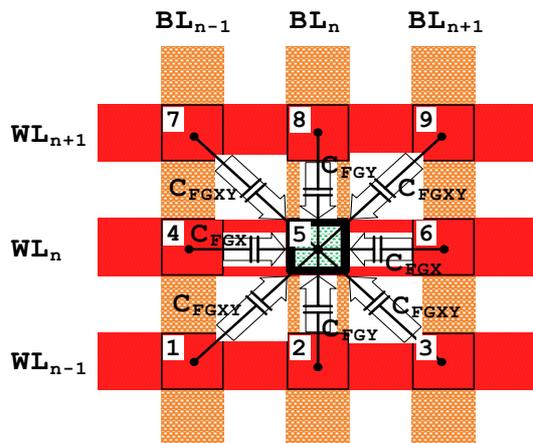


그림 4 NAND 플래시 배열에서 주변 셀과의 기생 커패시터의 배치도

Fig. 4 Schematic drawing of parasitic capacitances between neighbour cells in a NAND Flash array.

그림 5는 공정발달로 MLC NAND 플래시 메모리 셀 크기 감소에 따른 피해자 셀의 V_{TH} 이동 시뮬레이션 결과이다[13]. 가해자 셀에 프로그램된 V_{TH} 의 변화가 10V 일 때, CCI의 영향으로 각각 X축 가해자 셀 2개와 Y축 가해자 셀 1개의 영향에 의한 피해자 셀의 V_{TH} 왜곡 이동양 $\Delta V_{TH,X,err}$ 와 $\Delta V_{TH,Y,err}$ 를 보여준다. 앞서 살펴본 플로팅 게이트 기생 커패시터의 커플링 효과만을 고려하면 보통 Y축 기생 커패시터 크기가 2개의 X축 기생 커패시터 크기의 합 보다 크기 때문에 $\Delta V_{TH,Y,err}$ 가 $\Delta V_{TH,X,err}$ 보다 커야 하지만 50nm 공정을 기점으로 이러한 관계가 역전되는 것을 볼 수 있다. 이것은 기생 커패시터 커플링을 통한 간접적인 간섭 이외에 직접 전계효과(direct field effect)에 의한 간섭 때문이다. 직접 전계효과에 의한 간섭은 가해자 셀의 플로팅 게이트의 전계가 피해자 셀의 플로팅 게이트 아래의 채널의 가장자리에 직접적인 전계효과를 가함으로 인해 피해자 셀의 V_{TH} 를 커지게 하는 것이다. 가해자 셀의 플로팅 게이트와 채널의 가장자리 사이의 기생 커패시터인 $C_{FGX-STI}$ 는 100nm 공정에서는 작아서 문제가 없지만 50nm 이하의 공정에서는 플로팅 게이트 사이의 간섭을 방지하는 부분이 깊게 형성되지 않아 커지면서 직접전계효과가 발생한다. 또한 채널의 가장자리는 채널 가운데보다 매우 낮은 방소의 도핑특성을 갖는다. 이러한 두 가지 요소가 플로팅 게이트 아래의 채널에 흐르는 전류의 70%가 흐르는 채널 가장자리의 전류량을 감소시켜 피해자 셀의 V_{TH} 를 큰 값으로 이동시킨다. 이러한 X축 영향으로 인한 $\Delta V_{TH,X,err}$ 를 수식화하면 다음의 식 (4)와 같다[13].

$$\begin{aligned} \Delta V_{TH,X,err} = & \Delta V_{TH,X-indirect} + \Delta V_{TH,X-direct} \\ = & 2(C_{FGX}/C_{TOT}) \cdot \Delta V_{TH,X} + \alpha \cdot C_{FGX-STI} \cdot \Delta V_{TH,X} \end{aligned} \quad (4)$$

$\Delta V_{TH,X}$ 는 X축 가해자 셀의 프로그래밍으로 인한 V_{TH} 변화량이고 $\Delta V_{TH,X-indirect}$ 는 기생 커패시터 커플링 효과에 의한 영향이고 $\Delta V_{TH,X-direct}$ 는 직접전계효과에 의한 영향이다. \square 는 도핑 특성과 터널 산화막 두께(TOT, tunnel oxide thickness)에 의한 상수이다.

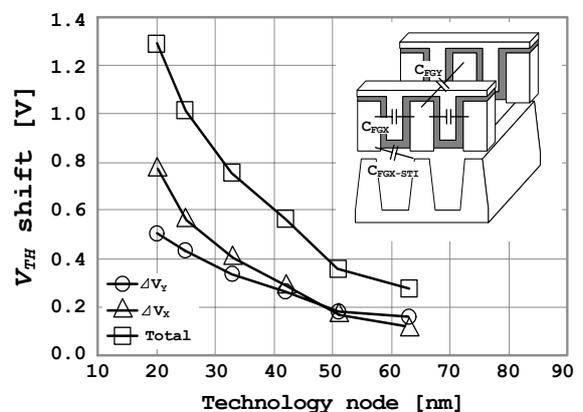


그림 5 공정발달로 셀 크기 감소에 따른 CCI 피해자 셀의 V_{TH} 이동 시뮬레이션 결과

Fig. 5 Simulation results of the V_{TH} shift caused by CCI with cell size reduction.

따라서 이러한 간섭율(γ_{FG})을 기생 커패시턴스 커플링 비율만으로 결정하는데는 한계가 있으므로 TCAD 시뮬레이션을 통해 직접적으로 가해자 셀의 V_{TH} 변화량($\Delta V_{TH_aggressor}$)에 대한 피해자 셀의 V_{TH} 변화량(ΔV_{TH_victim})을 측정하여 간섭율을 결정하는 ΔV_{TH} 비율 모델도 발표되었다[8]. 이러한 ΔV_{TH} 비율 모델을 통한 간섭율 결정 방법은 발생할 수 있는 다양한 간섭 요소들을 대부분 포함시킬 수 있으므로 매우 유용하다.

이는 실제로 CCI를 통해 V_{TH} 를 왜곡시킬 수 있는 다른 기생성분을 모두 포함한 해석이 가능하게 한다. 실제 비중은 작지만 CCI에 영향을 미칠 수 있는 기타 기생성분으로는 SCE(short channel effect)나 소스/드레인과 플로팅 게이트 사이의 기생 커플링 커패시턴스인 C_{FS} , C_{FD} 등이 있다[14].

그림 6은 임시 LSB 데이터 저장을 통한 최근의 MLC 플래시 메모리의 프로그래밍 기법이다[15]. 프로그래밍 기법에 따라 CCI 모델에서 고려해야 할 요소들이 변하게 되므로 그에 따라 CCI 해석을 다르게 해야 한다. MLC 플래시 메모리의 데이터 할당은 인접 데이터의 왜곡이 생겨도 한 비트만 에러가 발생할 수 있도록 gray code를 사용한다. MLC 플래시 메모리의 프로그래밍은 기본적으로 최하위 비트인 LSB(least significant bit)와 최상위 비트인 MSB(most significant bit) 데이터를 각각 나누어 쓴다. 이 때 프로그래밍 하는 방식은 P&V(program and verify)방식을 반복하면서 펄스키를 조금씩 키우는 ISPP 기법을 사용하므로 그림 6과 같이 LSB를 프로그래밍한 후에 MSB를 프로그래밍하면서 이전의 설정된 V_{TH} 값은 P&V 방식을 통해 더 큰 값으로 변하기 때문에 LSB 프로그래밍 단계에서의 주변 셀과 주고받는 왜곡에 의한 V_{TH} 값의 정확도나 넓어진 분포 등은 무시할 수 있다.

기존의 MLC 프로그래밍 기법에서는 '11'(=erase) 상태에서 '10'의 상태로 프로그래밍 될 때의 V_{TH} 변화량이 가장 크기 때문에 가해자 셀에 '10' 값이 있을 경우 피해자 셀에 가장 큰 V_{TH} 왜곡을 일으켰다. 그러나 그림 6과 같이 임시 LSB 데이터 저장을 통한 최근의 MLC 플래시 메모리의 프

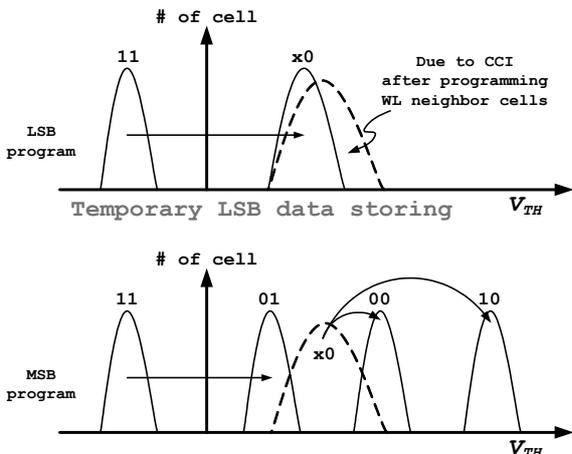


그림 6 임시 LSB 데이터 저장을 통한 최근의 MLC 플래시 메모리의 프로그램 기법

Fig. 6 MLC program scheme with temporary LSB data storing

로그래밍 기법을 사용하는 경우에는 가해자 셀이 '10'으로 프로그래밍 될 때의 V_{TH} 변화량이 '01'로 프로그래밍 될 때와 비슷하게 줄어든다. 따라서 플로팅 게이트 간섭율(γ_{FG})은 같아도 가해자 셀의 ΔV_{TH} 가 이전의 프로그래밍 기법보다 줄어든다.

그림 7은 일반적인 MLC 플래시 메모리의 구조와 프로그래밍 순서이다. 각 트랜지스터의 왼쪽의 숫자들이 데이터를 프로그래밍 하는 순서이고 WL의 아래쪽이 LSB, 위쪽이 MSB 데이터이다. 앞에서 살펴보았듯이 LSB를 프로그래밍 할 때의 영향은 무시할 수 있으므로 MSB만의 프로그래밍 순서를 살펴보면 WL 순서에 따라 아래쪽부터 위쪽으로 순차적으로 됨을 알 수 있다. 따라서 3×2 배열의 NAND 플래시 메모리의 모델을 기반으로 CCI를 해석할 수 있음을 알 수 있다. 그리고 각 열 비트라인(BL, bit line)의 프로그래밍 순서를 살펴보면 짝수 페이지(BL_e)와 홀수 페이지(BL_o)의 순서로 이루어짐을 알 수 있다. 따라서 X축의 BL에서의 CCI만을 살펴보면 나중에 프로그래밍 되는 BL_o가 가해자 셀 그룹이 되고 BL_e가 피해자 셀 그룹이 됨을 알 수 있다. 이를 CCI 수식에 적용하면 BL_o에 가해자 셀이 BL_e에 피해자 셀의 ΔV_{THFG_err} 에 미치는 간섭율 $\gamma_{FGX,o}$ 을 반대의 경우에 가해자 셀이 미치는 간섭율 $\gamma_{FGX,e}$ 에 비해 크게 해야 한다. 또한 최근의 발표된 논문에는 짝수 열 BL_e에 피해자 셀이 받는 간섭율 $\gamma_{FGX,o}$ 도 줄이기 위해 BL_e에 피해자 셀 그룹의 왜곡된 V_{TH} 분포를 다시 좁히기 위해 약간 더 프로그래밍 하는 MSB 재프로그래밍 기법이 제안되었고 이 기법을 고려하려면 $\gamma_{FGX,o}$ 역시 $\gamma_{FGX,e}$ 만큼 작게 설정해야 한다[16].

따라서 MLC NAND 플래시 메모리의 물리적인 CCI 모델만을 고려하면 직접 전계효과로 인해 X 축 간섭율이 Y축 간섭율보다 크지만, 심각해지는 X 축 간섭율을 방지하기 위한 다양한 프로그래밍 방법의 발전으로 인하여 다시금 X축 간섭율이 Y축 간섭율보다 작아졌다. 본 논문에서는 이렇게 물리적인 모델에 프로그래밍 방법까지 고려한 발전된 모델의 CCI 해석을 기반으로 CCI 문제를 줄이기 위한 제안을 한다.

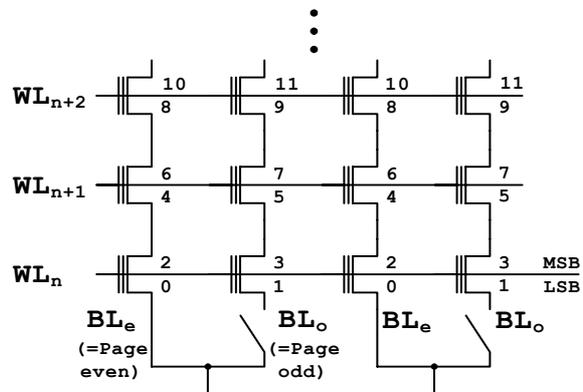


그림 7 일반적인 MLC 플래시 메모리의 구조와 프로그래밍 순서

Fig. 7 Conventional core architecture and page assignment

3. 등화기 설계

MLC NAND 플래시 메모리의 V_{TH} 왜곡에 대한 기존의 보정방법을 살펴보겠다. 본 논문에서 고려한 CCI로 인한 V_{TH} 의 왜곡은 거의 V_{TH} 의 증가로 이루어진다. 반대로 V_{TH} 의 감소로 이루어지는 V_{TH} 의 왜곡요소로는 시간에 지남에 따라 발생하는 상태유지와 관련된 문제가 있다. NAND 플래시 메모리의 플로팅 게이트에 데이터를 저장해놓고 오랜 시간이 지나면 전하 누설(charge loss)로 인해 설정해놓은 V_{TH} 값이 점점 감소하여 기준전압 이하가 되면 다른 데이터로 인식되는 에러가 발생하는데 이러한 문제를 리텐션(retention) 문제라고 한다. 모든 데이터에 따른 설정된 V_{TH} 에 공통적으로 발생하는 문제이므로 시간에 따른 V_{TH} 감소량을 예측하여 읽을 때의 모든 기준전압을 약간 낮춰서 읽는 이동읽기(moving read) 기법을 통해 이러한 문제는 보정할 수 있다[16].

CCI에 의해 발생한 V_{TH} 왜곡에 의한 에러 보정방법으로는 주변 가해자 셀에 영향을 많아 V_{TH} 가 증가했다고 판단되는 짝수 열(page)피해자 셀 그룹의 읽기 동작에서만 읽을 때의 모든 기준전압을 약간 높여서 읽는 플로팅 게이트 커플링 소거 가능한 짝수 열 프로그램 전압 읽기 기법이 있다 [16].

앞서 살펴본 두 가지 방법 모두 V_{TH} 의 왜곡에 대한 보상을 읽을 때의 기준전압을 조정하여 전체적으로 적용되도록 한 경관정(hard decision) 기반의 보정방법이다. 반면에 본 논문에서 제시되는 보정방법은 각각의 셀의 주변 데이터를 기반으로 에러 보정여부를 판별하는 연관정(soft decision) 기반의 보정방법이다.

제안된 MLC NAND 플래시 메모리의 에러 보정을 위한 CCI 모델에 적합한 등화기(equalizer)의 구조는 그림 8과 같다. 피해자 셀 주변의 8개의 가해자 셀의 V_{TH} 변동에 따른 X, Y, XY 축에 따른 간섭을 γ_{FGX} , γ_{FGY} , γ_{FGXY} 이 결정되고, 가해자 셀의 데이터에 따른 ΔV_{TH} 를 알면 CCI의 영향으로 변환 크기의 합 $\Delta V_{TH,FG,err}$ 이 등화기의 출력 값으로 얻어진다. 이 출력 값은 주변 셀들의 영향으로 피해자 셀의 V_{TH} 가 변화했을 양을 추측하는데 사용된다. 추측된 V_{TH} 의 변화량이 충분히 클 경우, 셀에 저장된 데이터가 에러라고 판단하여 이를 보정한다. 제안된 등화기는 식 (3)에 기존의 연구들을 바탕으로 간섭율을 설정해 다음과 같은 식 (5)로 나타낸다. 식 (5)에 사용된 간섭율 식 (2)는 앞서 설명한 기

존의 연구와 프로그램 방식을 고려하여 20nm 급의 MLC NAND 플래시 메모리의 CCI를 대상으로 설정되었다.

$$\begin{aligned} \Delta V_{TH,FG,err} = & 0.05 \cdot (\Delta V_{TH,4} + \Delta V_{TH,6}) \\ & + 0.04 \cdot (\Delta V_{TH,2} + \Delta V_{TH,8}) \\ & + 0.008 \cdot (\Delta V_{TH,1} + \Delta V_{TH,3} + \Delta V_{TH,7} + \Delta V_{TH,9}) \end{aligned} \quad (5)$$

이러한 3×3 셀 배열을 기반으로 한 기본적인 등화기의 구조에서 앞서 살펴본 다양한 효과를 고려하여 수정을 한다. 3×2 셀 배열을 기반으로 한 수정으로 하기 위해서는 앞서 살펴본 바와 같이 피해자 셀 주변의 5개의 가해자 셀의 V_{TH} 변동만을 고려해야 하므로 나머지 셀(ΔV_7 , ΔV_8 , ΔV_9)에는 0을 입력한다. 또한 BL_e와 BL_o에 따른 간섭을 차이도 고려되어야 하고, 임시 LSB 데이터 저장을 통한 최근의 MLC 플래시 메모리의 프로그래밍 기법을 사용하는 경우에 가해자 셀에 '01'과 '10' 데이터가 많을 때가 큰 ΔV_{TH} 왜곡을 일으키는 것도 고려되어야 한다. CCI로 인한 에러는 피해자 셀에 설정된 원래 V_{TH} 보다 더 커져서 다른 데이터의 V_{TH} 로 인식될 때만 발생하기 때문에 피해자 셀이 가장 큰 V_{TH} 로 설정되는 '10'을 제외한 나머지 세 가지 데이터 '11', '01', '00'일 때만 CCI로 인한 에러 발생 가능성을 갖는 상황으로 고려한다.

그림 9는 등화기가 적용될 MLC NAND 플래시 메모리의 4가지 데이터에 대한 V_{TH} 분포이다^[15-17]. 앞의 설명을 바탕으로 피해자 셀에 현재 프로그램된 V_{TH} 값(PV₂)의 CCI로 인한 예상된 $\Delta V_{TH,FG,err}$ 값이 이전 값(PV₁)에서 현재 값으로 변했다고 판단하는 기준인 읽기 기준 전압(V_{R1})의 차이(V_{R1} - PV₁)보다 크면 현재 프로그램된 값(PV₂)이 CCI로 인해 V_{TH} 가 상승해 에러난 것으로 판단하고 원래 값인 이전 값(PV₁)으로 되돌리도록 한다.

이러한 알고리즘은 통신에서 채널의 왜곡 특성을 파악하고 등화기를 통하여 역으로 보정하는 방법과 유사하다. 제안된 CCI 에러 보정 알고리즘도 CCI 에러를 유발하는 메모리의 주변 셀들의 간섭 상황을 채널처럼 인식하고 에러가 발생했다고 판단하여 보정할 셀을 결정하는 $\Delta V_{TH,FG,err}$ 의 수식적 계산을 필터로 모델링한다. 그리하여 이 등화기의 출력을 확인하여 기준 이상의 V_{TH} 변동이 예상되면 데이터를 낮은 V_{TH} 값으로 설정된 이전 값(PV)으로 보정한다.

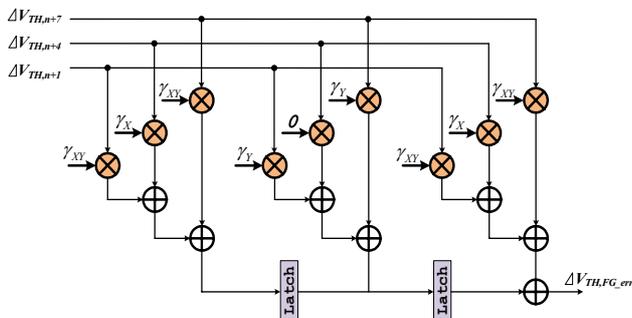


그림 8 CCI 모델에 적합한 등화기의 구조
Fig. 8 Equalizer architecture for CCI model.

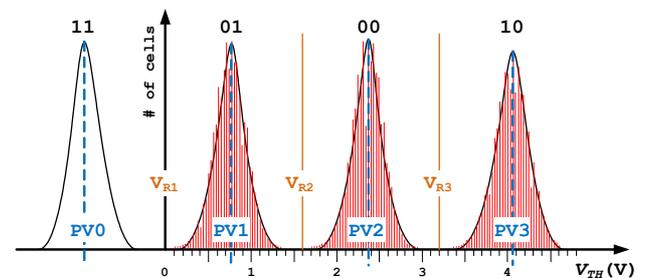
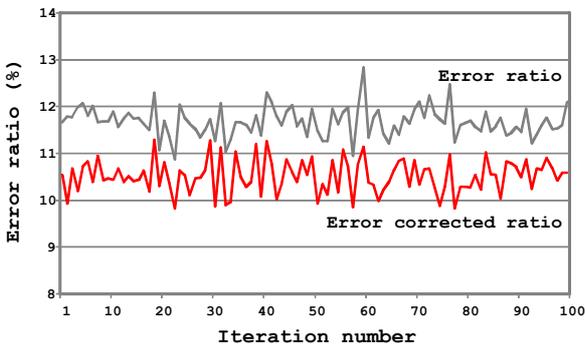


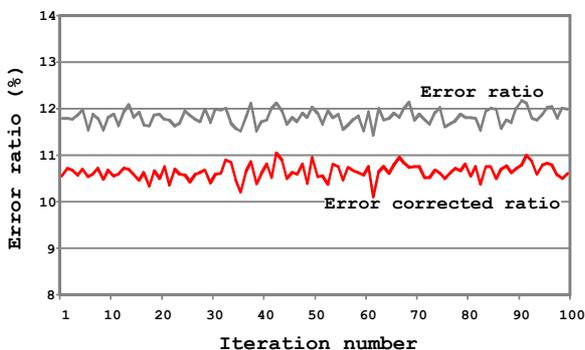
그림 9 MLC NAND 플래시 메모리의 4가지 데이터에 대한 V_{TH} 분포
Fig. 9 V_{TH} distribution for 4-data of MLC NAND flash memory

등화기를 사용해도 모든 셀 데이터 에러를 완벽하게 정정할 수는 없다. 하지만 MLC NAND 플래시 메모리의 전체적인 관점에서, 등화기는 확률적으로 높은 에러 정정률을 갖는다. 이것을 증명하기 위하여 본 논문에서는 IDEC에서 지원된 Matlab을 이용한 시뮬레이션을 하였다. 검증에 위하여 데이터가 랜덤하게 분포된 원본 데이터 배열을 생성한다. 배열의 각 셀이 갖는 V_{TH} 를 주변 가해자 셀의 영향을 고려하여 에러가 있는 채널 환경을 구현하였다. 채널 환경 구현 후, MLC NAND 플래시 메모리의 데이터 읽기를 수행 하였다. MLC NAND 플래시 배열의 크기를 각각 128×128 과 256×256 으로 설정하고, 시뮬레이션의 신뢰도를 높이기 위하여 각각 100번 씩 반복하였다. 제안된 등화기가 적용된 MLC NAND 플래시 메모리의 읽기 결과를 그림 10에 나타내었다. 시뮬레이션 결과에 따르면 배열의 크기가 커지면, 에러 보정률이 향상됨을 볼 수 있다.

256×256 크기를 갖는 MLC NAND 플래시 메모리 셀 배열의 WL과 BL의 V_{TH} 의 합을 그림 11에 나타내었다. 원본 데이터의 V_{TH} 의 합이 아래쪽에 분포하는 반면에, 에러 발생 후, 즉 프로그램 과정을 거치면서 셀들의 V_{TH} 가 전체적으로 상승한 것을 확인 할 수 있다. V_{TH} 가 상승하면 MLC NAND 플래시 셀에 기록하고자 했던 데이터의 PV가 높은 PV로 맵핑될 수 있음을 의미한다. 즉, 이것은 데이터 읽기 시에 에러를 발생시키는 원인으로 작용한다.



(a)



(b)

그림 10 제안된 등화기가 적용된 MLC NAND 플래시 메모리의 읽기 결과 (a) 128×128 (b) 256×256

Fig. 10 Read results of MLC NAND flash memory applied proposed equalizer; (a) 128×128 , (b) 256×256 matrix.

NAND 플래시의 공정이 미세화 될수록 CCI가 커진다. CCI의 증가는 곧 플래시 메모리의 에러 발생 확률에 비례한다. 앞서 제안된 등화기의 구조는 특정 공정에서 설계된 것이다. 따라서 본 논문에서는 공정의 미세화에 따라 증가되는 CCI를 고려하기 위한 계수 \square 를 추가하였다. \square 가 고려된 등화기의 식은 다음의 식 (6)과 같이 나타낸다.

$$\Delta V_{TH,FG,err} = \beta \cdot [0.05 \cdot (\Delta V_{TH,4} + \Delta V_{TH,6}) + 0.04 \cdot (\Delta V_{TH,2} + \Delta V_{TH,8}) + 0.008 \cdot (\Delta V_{TH,1} + \Delta V_{TH,3} + \Delta V_{TH,7} + \Delta V_{TH,9})]$$

공정 미세화를 고려한 계수 \square 를 적용한 결과를 그림 12에 나타내었다. 실험 결과에 따르면 전체적인 에러 발생률이 증가하였고, 에러 보정률도 높아짐을 확인할 수 있다. MLC NAND 플래시 메모리에 실장되는 에러 정정 부호화기에는 한계가 있다. 제안하는 등화기는 MLC NAND 플래시 메모리의 에러 발생률이 에러 정정 부호화기의 한계치보다 높아지는 것을 방지할 수 있다. 따라서 공정 미세화에 따라 높아지는 MLC NAND 플래시 메모리의 에러 발생률

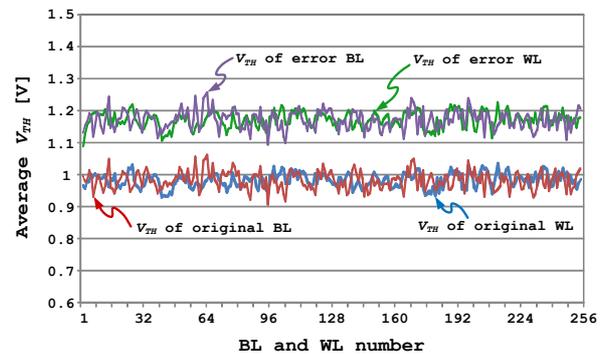


그림 11 256×256 크기를 갖는 MLC NAND 플래시 메모리 셀 배열의 WL과 BL의 V_{TH} 의 합

Fig. 11 Sum of V_{TH} of WL and BL in 256×256 cell matrix of MLC NAND flash memory.

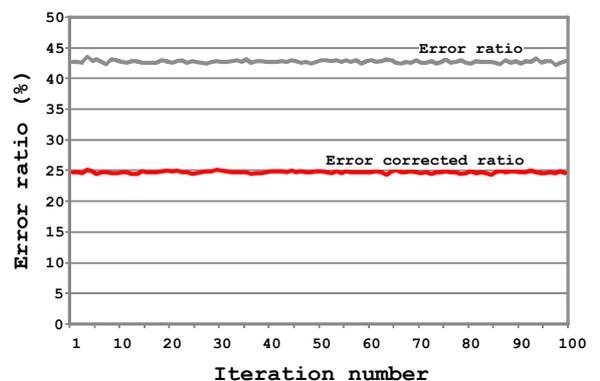


그림 12 계수 \square 가 적용된 MLC NAND 플래시 메모리의 읽기 결과

Fig. 12 Read results of MLC NAND flash memory applied \square coefficient.

을 억제하기 위하여 제안한 등화기의 필요성이 증대된다.

지금까지는 에러가 발생한 후에 읽기 단계 이후의 데이터의 필터링을 통해 발생한 에러를 예측으로 찾아 보정하는 후보정 방법을 제시했다. 앞으로는 읽기 단계 이전의 프로그램 단계에서의 원본 데이터의 배열 분포를 파악하여 필터를 통하여 에러가 발생할 셀로 판단될 데이터만을 묶어 프로그래밍을 통해 원래 증가시켜야할 V_{TH} 의 양보다 덜 증가시켜 에러가 발생하지 않도록 하는 전보정 방법도 연구할 예정이다. 시뮬레이션 결과는 20nm급의 심각한 CCI가 있는 메모리로 모델링된 채널에서 약 20%의 에러 보정률을 보였다.

3. 결 론

본 논문에서는 NAND 플래시 메모리의 CCI의 감소를 위한 등화기 알고리즘을 제안했다. 플래시 메모리 공정이 20nm급으로 발달하여 셀 크기가 점차 감소하고, 동일 면적에 최대한의 많은 데이터를 저장하기 위해 MLC, TLC 등으로 기술이 발전함에 따라 CCI가 셀에 쓰인 데이터의 에러발생에 가장 큰 영향을 미치는 요소가 되었다. 따라서 이러한 CCI에 따른 영향을 수식화하고 CCI를 줄이기 위해 등화기 알고리즘을 적용하였다. CCI 모델링에는 플로팅 게이트 커패시터 커플링효과, 직접 전계효과, NAND 플래시 메모리의 프로그램 기법의 영향 등이 고려되었다. 제안된 등화기는 Matlab을 통해 설계 및 검증되었다. 추가적인 영향이 고려될 때의 변경할 등화기의 수식에 대한 설명이 있었다. 시뮬레이션 결과는 20nm급의 심각한 CCI가 있는 메모리로 모델링된 채널에서 약 20%의 에러 보정율을 보였다.

감사의 글

본 연구는 2009년도 한국산업기술진흥원의 지원에 의하여 충청광역 경제권 선도사업(NAND 내장형 core IP 개발)으로 이루어진 연구로서, 관계부처에 감사드립니다.

참 고 문 헌

- [1] K. Yim, "A novel memory hierarchy for flash memory based storage systems," IEEK J. Semiconductor Technology and Science, vol.5, no.4, pp.262-269, Dec. 2005.
- [2] K. Takeuchi, "Novel co-design of NAND flash memory and NAND flash controller circuits for sub-30nm low-power high-speed solid-state drives (SSD)," IEEE J. Solid-State Circuits, vol.44, no.4, pp.1227-1234, Apr. 2009.
- [3] C. Lee, S. Baek, and K. Park, "A hybrid flash file system based on NOR and NAND flash memories for embedded devices," IEEE Trans. on Computers, vol.57, no.7, pp.1002-1008, Jul. 2008.
- [4] Y. Maeda, H. Kaneko, "Error control coding for multilevel cell flash memories using nonbinary low-density parity-check codes," in Proc. ISDFT in VLSI Systems, pp.367-375, 2009.
- [5] 김영일, 이학수, 김태원, 김동현, 윤한섭, 광계달, "빠른 MLC(Multi-Level Cell) 프로그램 속도를 위한 ISPP (Incremental Step Pulse Program) 알고리즘 및 회로," 대한전자공학회 하계종합학술대회, pp.530-531, 2009.
- [6] 이수관, 민상렬, 조유근, "플래시 메모리 관련 최근 기술 동향," 정보과학회지, no.24, vol.12, pp.99-106, Dec. 2006.
- [7] T.K. Kim, S.N. Chang, and J.H. Choi, "Floating gate technology for high performance 8-level 3-bit NAND flash memory," Elsevier Solid-State Electronics, vol.53, no.7, pp.792-797, July 2009.
- [8] A. Ghetti, L. Bortesi, and L. Vendrame, "3D simulation study of gate coupling and gate cross-interference in advanced floating gate non-volatile memories," Elsevier Solid-State Electronics, vol.49, no.11, pp.1805-1812, Nov. 2005.
- [9] H. Liu, S. Groothuis, C. Mouli, J. Li, K. Parat, and T. Krishnamohan, "3D simulation study of cell-cell interference in advanced NAND flash memory," in Proc. WMED, pp.1-3, 2009.
- [10] J.D. Lee, S.H. Hur, and J.D. Choi, "Effects of floating-gate interference on NAND flash memory cell operation," IEEE Electron Device Letters, vol.23, no.5, pp.264-266, May 2002.
- [11] J. Postel-Pellerin, F. Lalande, P. Canet, R. Bouchakour, F. Jeuland, B. Bertello, and B. Villard, "Extraction of 3D parasitic capacitances in 90nm and 22nm NAND flash memories," Elsevier Microelectronics Reliability, vol.49, no.9, pp.1056-1059, July 2009.
- [12] T.H. Cho, Y.T. Lee, E.C. Kim, J.W. Lee, S.M. Choi, S.J. Lee, D.H. Kim, W.G. Han, Y.H. Lim, J.D. Lee, J.D. Choi, and K.D. Suh, "A dual-mode NAND flash memory: 1-Gb multilevel and high-performance 512-Mb single-level modes," IEEE J. Solid-State Circuits, vol.36, no.11, pp.1700-1706, Nov. 2001.
- [13] M.C. Park, K.S. Kim, J.H. Park, and J.H. Choi, "Direct field effect of neighboring cell transistor on cell-to-cell interference of NAND flash cell arrays," IEEE Electron Device Letters, vol.30, no.2, pp.174-177, Feb. 2009.
- [14] S.G. Jung, K.W. Lee, K.S. Kim, S.W. Shin, S.S. Lee, J.C. Om, G.H. Bae, and J.H. Lee, "Modeling of V_{TH} shift in NAND flash-memory cell device considering crosstalk and short-channel effects," IEEE Trans. on Electron Devices, vol.55, no.4, pp.1020-1026, April 2008.
- [15] K.T. Park, M.G. Kang, D.G. Kim, S.W. Hwang, B.Y. Choi, Y.T. Lee, C.H. Kim, and K.N. Kim, "A zeroing cell-to-cell interference page architecture with temporary LSB storing and parallel MSB program scheme for MLC NAND flash memories," IEEE J. Solid-State Circuits, vol.43, no.4, pp.919-928, April 2008.
- [16] C.H. Lee, S.K. Lee, S.H. Ahn, J.H. Lee, W.S. Park,

Y.D. Cho, C.K. Jang, C.W. Yang, S.H. Chung, I.S. Yun, B.G. Joo, B.K. Jeong, J.Y. Kim, J.K. Kwon, H.J. Jin, Y.J. Noh, J.Y. Ha, M.S. Sung, D.I. Choi, S.H. Kim, J.W. Choi, T.H. Jeon, J.S. Yang, and Y.H. Koh, "A 32Gb MLC NAND-flash memory with Vth-endurance-enhancing schemes in 32nm CMOS," in Proc. ISSCC, pp.446-447, 2010.

[17] T. H. Cho, Y. T. Lee, E. C. Kim, J. W. Lee, S. M. Choi, S. J. Lee, D. H. Kim, W. K. Han, Y. H. Lim, J. D. Lee, J. D. Choi, and K. D. Suh "A 3.3V 1Gb multi-level NAND flash memory with non-uniform threshold voltage distribution," in Proc. ISSCC, pp.28-29, 2001.

저 자 소 개



김 두 환

2003년: 충북대학교 정보통신공학과 졸업 (공학사)
 2005년 : 충북대학교 정보통신공학과 (공학석사)
 2005년 3월 ~ 현재: 충북대학교 정보통신공학과 박사과정
 <관심분야> : 고속 인터페이스 회로, LVDS, MIPI, OTA-C 필터 설계



이 상 진 (李 相 鎭)

2008년 : 충북대학교 화학공학과 졸업 (공학사)
 2010년 : 충북대학교 정보통신공학과 (공학석사)
 2010년 3월 ~ 현재 : 충북대학교 정보통신공학과 박사과정
 <관심분야> : 3-D IC, CMOS image sensor, 암호회로설계



남 기 훈 (南 基 勳)

1999년 2월 서경대학교 컴퓨터과학 학사
 2001년 2월 서경대학교대학원 컴퓨터과학 석사
 2006년 2월 서경대학교대학원 컴퓨터과학 박사
 2006.3 ~ 2007.2 서경대학교 겸임교수
 2006.11 ~ 2009.8 한양대학교 전임연구원
 2009.9 ~ 현재 : 충북대학교 연구교수
 <관심 분야> SoC 설계, Embedded system, Flash memory controller & 신뢰성



김 시 호 (金 示 浩)

1986년 연세대학교 전자공학과 학사졸업
 1988년 KAIST 전기 및 전자 공학과 석사졸업
 1991년~1995년 KAIST 전기 및전자공학과 박사졸업
 1988년~1991년 LG반도체 중앙연구소

주임연구원
 1995년~1996년 LG반도체 중앙연구소 책임연구원
 1997년~2005년 원광대학교 전임, 조교수, 부교수
 2000년~ 2001.2 IMEC 연구소(KU Leuven) 초빙교수
 2005년~현재 충북대학교 전기전자공학부 교수
 2009년 ~ 현재 하이브리드자동차 에너지회생기술 연구센터 (ITRC) 센터장, System Chip Integration (SCI) 연구실 운영
 <관심 분야> System on Chip Design, 하이브리드 자동차 에너지 회생기술, 3DIC 냉각 기술, NAND Flash Memory 신뢰성>



조 경 록 (趙 慶 錄)

1977년 : 경북대학교 전자공학과 (공학사)
 1989년 : 일본 동경대학교 전자공학과 (공학석사)
 1992년 : 일본 동경대학교 전자공학과 (공학박사)

1979~1986년 : (주)금성사 TV연구소 선임연구원.
 1999년, 2005년 : Oregon State University 객원교수.
 1992~ 현재 충북대학교 전기전자공학부 교수.
 2008~ 현재 : World Class University program(충북대학교) 책임
 2010~ 현재 : IDEC 충북대 지역센터장
 <관심 분야> 통신시스템LSI설계, 저전력 고속회로설계, Platform 기반의 SoC 설계