



라만 분석을 통한 비정질 실리콘 박막의 고온 고상 결정화 거동

홍원의, 노재상*

홍익대학교 공과대학 신소재 공학과

Behavior of Solid Phase Crystallization of Amorphous Silicon Films at High Temperatures according to Raman Spectroscopy

Won-Eui Hong, Jae-Sang Ro*

Department of Materials Science and Engineering, Hongik University, Seoul 121-791, Korea

(Received January 25, 2010 ; revised February 26, 2010 ; accepted February 27, 2010)

Abstract

Solid phase crystallization (SPC) is a simple method in producing a polycrystalline phase by annealing amorphous silicon (a-Si) in a furnace environment. Main motivation of the crystallization technique is to fabricate low temperature polycrystalline silicon thin film transistors (LTPS-TFTs) on a thermally susceptible glass substrate. Studies on SPC have been naturally focused to the low temperature regime. Recently, fabrication of polycrystalline silicon (poly-Si) TFT circuits from a high temperature polycrystalline silicon process on steel foil substrates was reported. Solid phase crystallization of a-Si films proceeds by nucleation and growth. After nucleation polycrystalline phase is propagated via twin mediated growth mechanism. Elliptically shaped grains, therefore, contain intra-granular defects such as micro-twins. Both the intra-granular and the inter-granular defects reflect the crystallinity of SPC poly-Si. Crystallinity and SPC kinetics of high temperatures were compared to those of low temperatures using Raman analysis newly proposed in this study.

Keywords: SPC, poly-Si, TFT, Raman spectroscopy

1. 서 론

다결정 실리콘 박막 트랜지스터(polycrystalline silicon thin film transistor, poly-Si TFT)는 비정질 실리콘 박막 트랜지스터(amorphous silicon thin film transistor, a-Si TFT)에 비해서 전자 이동도가 높고, 구동회로의 내장 및 대면적 고밀도가 가능하며, 높은 개구율과 광 안정성을 가진다. a-Si로부터 poly-Si을 제조하는 방법으로는 Solid Phase Crystallization (SPC)법¹⁾ Metal Induced Crystallization(MIC)법²⁾, Metal Induced Lateral Crystallization(MILC)법³⁾, Excimer Laser Crystallization (ELC)법⁴⁾ 등이 있다. SPC 방법은 열적으로 취약한 유리 기판 때문에 600°C 이하의 온도에서 결정화를 수행하여야 한다.

MIC, MILC 등의 방법은 SPC 법에 비하여 결정화 온도를 낮추었다는 점에서는 효과적이거나 channel 내에 심각한 금속 오염 문제를 야기 시킨다는 공통점을 갖고 있다. ELC 방법은 현재 양산 라인에서 가장 많이 쓰이는 결정화 방법이다. ELC 방법은 상온 공정이고 유리 기판의 손상이 없지만 결정화시 poly-Si의 active-layer를 구성하는 poly-Si 박막 내 결정립 크기의 불균일성을 초래하며 결정화 시에 생기는 protrusion 현상으로 인하여 poly-Si과 gate 절연막의 불균일한 평탄도에 의한 hot carrier stress 등의 소자 신뢰성에 심각한 영향을 미치는 단점을 가지고 있다.

최근 스테인리스 foil 기판을 사용하여 고온 SPC 공정을 통하여 poly-Si TFT를 제조하는 것에 관한 보고가 있었다⁵⁻⁸⁾. 또한 비정질 실리콘 상부 혹은 하부에 도전층을 게재한 후 강한 전기장을 도전층에 매우 짧은 시간 동안 가해주어 결정화를 이루는 주

*Corresponding author. E-mail : jsang@wow.hongik.ac.kr

울가열유도결정화(Joule-heating Inuced Crystallization, JIC) 공정에 관한 보고가 있었다^{9,10}. 그러므로 그 동안 600°C 이하의 온도에서 비정질 실리콘 박막의 상변태에 관한 연구가 주로 수행되었지만 현재 고온 상변태에 관한 연구가 필요한 상태이다. 본 연구에서는 저온화학기상증착법(Low Pressure Chemical Vapor Deposition, LPCVD)으로 증착된 비정질 실리콘 박막의 고온 상변태에 관한 거동을 본 연구에서 새로이 제안한 Raman 분석법을 통하여 수행하였다.

2. 실험 방법

4" 직경을 갖는 p-type (100) 실리콘 웨이퍼 위에 2 μm 두께의 열산화막을 형성한 후 저온 화학 기상 증착법(Low Pressure Chemical Vapor Deposition, LPCVD)을 사용하여 0.25 μm 두께로 증착된 a-Si 박막을 형성하였다. 결정화 거동을 조사하기 위하여 관상로(Tube furnace)를 사용하여 560~800°C의 각 온도에서 열처리 시간을 변수로 열처리를 실시하였다. 열처리 온도 및 시간에 따른 결정화 거동은 본 연구에서 새로이 제안된 Raman 분석법을 사용하여 결정하였다. 본 연구에서 사용된 Raman Spectrometer 장비는 Jasco사의 NR1100 모델로써 beam source는 514.5 nm의 파장을 갖는 Ar Laser를 사용하였다. Raman-shift의 측정범위는 350 cm⁻¹~650 cm⁻¹로 하였다. Si의 경우 a-Si의 peak는 Raman-shift 480 cm⁻¹를 중심으로 broad하게 나타나며, crystalline peak는 520 cm⁻¹에서 나타난다. 이 crystalline peak으로 Si 박막의 결정화를 확인할 수 있고, peak의 강도를 비교하여 결정성을 측정할 수 있다^{11,12}. Raman 분석 결과의 타당성을 비교하기 위하여 동일한 시편을 사용하여 이온 주입 후 열처리 온도 및 시간에 따르는 Mobility의 변화를 Hall Measurement를 사용하여 분석한 후 상호 결과를 비교하였다. 이온 주입은 비질량 분리 방식의 Ion Shower Doping (ISD) System을 사용하여 a-Si 박막에 PH₃/H₂ 혼합 가스를 사용하여 Phosphorous를 이온 주입하였다. 이온 주입 공정 조건은 RF-Power 60 W, Gas 유량 30 sccm, 이온 주입 시간은 1 min와 10 min으로 각각 고정하였고 15 kV의 가속전압으로 Phosphorous 이온주입을 수행하였다.

3. 결과 및 고찰

3.1 Raman Spectroscopy 분석 결과와 Hall Measurement를 이용한 Mobility 변화의 비교

일반적으로 라만 분석 방법에 의한 결정화도의 분

석은 Peak 분리에 의한 핏팅법, Peak 분리에 의한 Peak의 반가폭을 측정하는 방법, 그리고 intensity를 비교하는 방법이 있다. Peak 분리에 의한 핏팅법의 경우 핏팅을 어떻게 하느냐에 따라서 로우 데이터와 완벽한 핏팅을 이룸에도 불구하고 다른 결정화도를 나타낼 수 있다. 반가폭을 측정하는 방법의 경우 반가폭을 측정하기 위해서는 가우시안 프로파일로 먼저 픽분리를 해야 하는데 개인차에 따라서, 어떻게 분리하느냐에 따라서 같은 픽 모양도 달라질 수 있다. Intensity를 비교하는 방법의 경우 Raman 분석 시 단색광의 intensity가 흔들릴 경우 서로 다른 intensity가 나타날 수 있다는 단점이 있다. 단결정 실리콘의 경우 Raman-shift는 520 cm⁻¹에서 좁고 날카로운 Peak이 나타난다. 이에 반하여 비정질 실리콘의 Raman-shift는 480 cm⁻¹ 부근에서 넓은 반가폭을 갖는 Peak이 나타난다. 본 연구에서는 단결정 실리콘의 Peak인 520 cm⁻¹ Raman-shift의 강도를 모든 시편에 대하여 1.0으로 인위적으로 맞추어 주었다.

그림 1에 이러한 방법으로 처리된 비정질 및 단결정 실리콘의 Raman 결과가 나타나 있다. LPCVD 방법으로 증착된 비정질 실리콘 박막을 관상로를 사용하여 620°C 결정화 온도에서 결정화 시간 10분에서 8시간까지 변화할 때 그림 1의 방법으로 노멀라이즈한 Raman 결과가 그림 2에 나타나 있다. 본 연구에서는 Single-crystal silicon의 Raman Shift 470-495 cm⁻¹ 구간에서의 면적 즉 적분값을 각 온도 및 시간에서 열처리한 실리콘을 사용하여 측정된 Raman data에서 Raman Shift 470-495 cm⁻¹ 구간에서의 면적으로 나뉜 값을 라만 결정화도(Raman Crystallinity)라고 정의하였다. 그림 2의 데이터를 사용하여 본 방법으로 분석한 결정화 시간에 따르는 Raman-

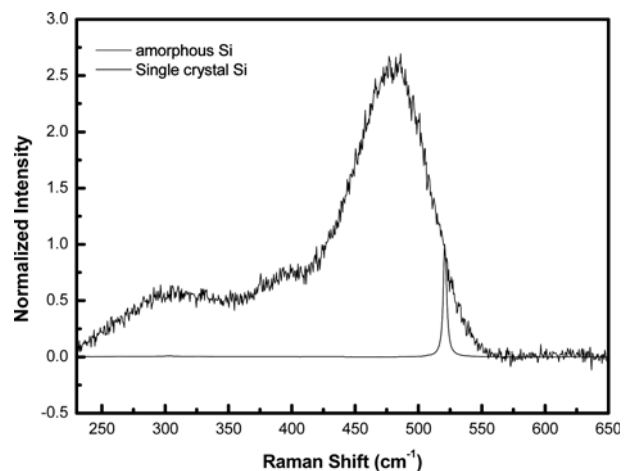


Fig. 1. Raman data for single-crystalline and amorphous silicon. Notice that normalized intensity at Raman shift 520 cm⁻¹ is set to be 1.0 for two phases, respectively.

crystallinity가 그림 3에 나타나 있다. 그림 3의 결과는 전형적인 Sigmoidal-curve를 보여주고 있다. 이는 본 Raman 분석 방법의 유효성을 보여주고 있다고

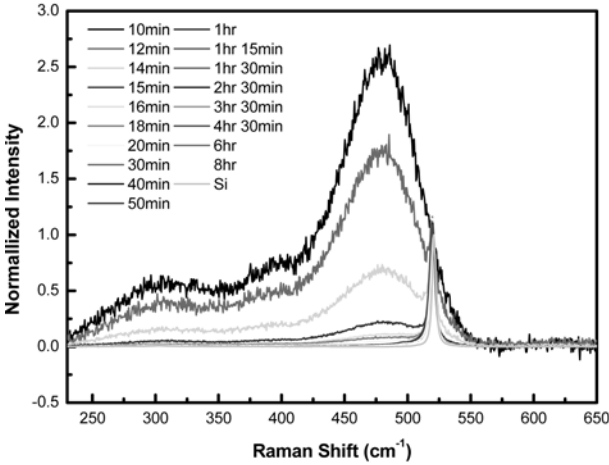


Fig. 2. Normalized Raman Spectra vs annealing time at 620°C.

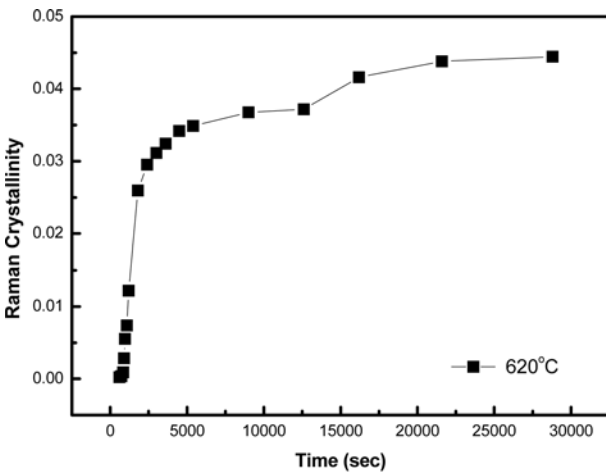


Fig. 3. Raman crystallinity vs annealing time at 620°C using a method proposed in this work.

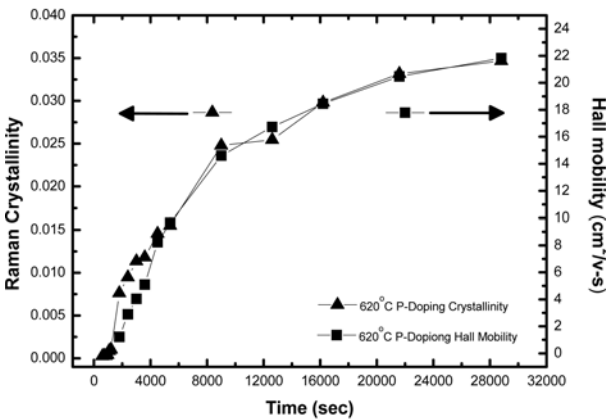
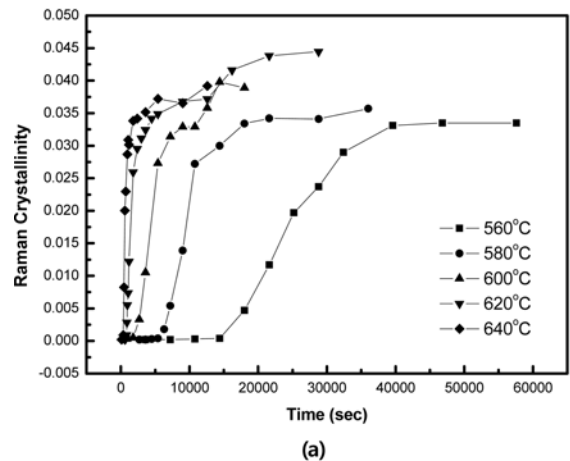


Fig. 4. Comparison between Raman crystallinity and Hall mobility for the P doped samples crystallized at 620°C. Notice that correlation between Raman crystallinity and Hall Mobility fits well.

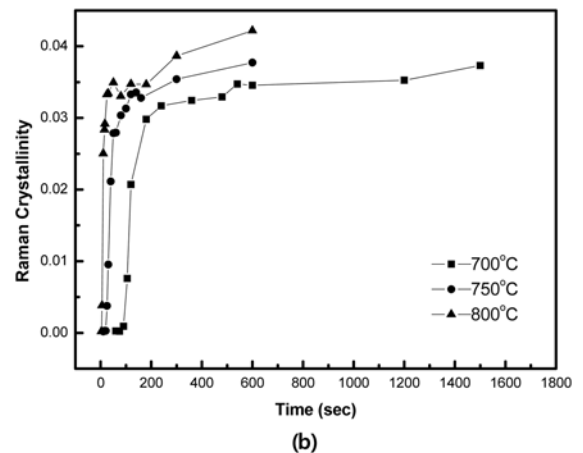
판단된다. 본 Raman 분석 방법의 유효성을 더욱 검증하기 위하여 LPCVD 비정질 실리콘 박막에 ISD 장비를 사용하여 15 kV의 가속전압으로 Phosphorous를 10분 동안 이온주입한 후 620°C에서 등온 열처리한 시편들의 시간에 따르는 Raman-crystallinity와 Hall-mobility를 상호 비교하였다. 그림 4에서 보면 620°C에서 본 연구에서 제시된 분석 방법으로 얻은 Raman-crystallinity의 변화와 Hall Mobility의 변화가 일치하는 것을 볼 수 있다.

3.2 비정질 Si 박막의 열처리 온도와 시간에 따른 결정화도의 변화

그림 5(a)는 560°C~640°C 사이의 온도에서 열처리를 수행한 시편의 시간에 따른 Raman Crystallinity를 나타낸 것이다. 그림 5(b)는 700°C~800°C 사이의 온도에서 열처리를 수행한 시편의 시간에 따른 Raman Crystallinity를 나타낸 것이다. 그림 5(a) 및 (b)의 실험 결과에서 나타난 560°C~800°C까지의 결정화 거



(a)



(b)

Fig. 5. (a) Raman crystallinity vs annealing time annealed in the temperature ranges between 560 and 640°C, (b) Raman crystallinity vs annealing time annealed in the temperature ranges between 700 and 800°C.

Table 1. Measured and estimated incubation time vs. annealing temperatures

	Measured incubation Time	Estimated incubation Time
560°C	5 hrs	6 hrs
580°C	1 hr 45 min	1 hr 40 min
600°C	30 min	30 min
650°C	6 min	185.6 sec
700°C	1 min	8.7 sec
750°C	30 sec	0.9 sec
800°C	20 sec	0.1 sec
850°C	<10 sec	174 msec
900°C	<10 sec	3.1 msec
950°C	<10 sec	645.2 μ sec
1000°C	<10 sec	150.7 μ sec

동을 관찰하면, 열처리 온도가 증가함에 따라 비정질 Si 박막의 결정화를 하기 위한 Incubation-time은 급격히 감소하는 것을 알 수 있다. 즉 열처리 온도가 증가함에 따라 핵생성 속도가 증가하여 최종 결정립 크기는 감소한다¹⁰⁾. 그러나 그림 5의 실험 결과에 나타나 있듯이 Raman 결정화도는 열처리 온도가 증가함에 따라 증가하는 것을 볼 수 있다. 이는 열처리 온도의 증가와 함께 결정립 크기는 감소하지만 결정 내의 결함 농도의 감소에 기인한 것으로 판단된다. 즉 결정립 크기보다는 결정 내의 결함 농도가 결정화도를 결정하는 주된 인자라고 사료된다.

측정된 Incubation-time의 Log 값을 절대 온도의 역수로 Plotting하면 양수의 기울기를 갖는 직선이 얻어져야한다. 그러나 실제 측정된 값은 그러한 함수 관계를 만족시키지 못하였다. 표 1은 Raman 분석으로 실제 측정된 Incubation-time과 이론적 Incubation-time을 비교한 것이다. 이론적 Incubation-time은 600°C 이하의 측정값을 사용하여 비정질 실리콘에서 결정질 상으로 상변태 시 비교적 잘 알려진 핵생성 활성화 에너지인 3.9 eV를 사용하여 구하였다. 결정화 온도가 증가함에 따라 Incubation-time은 매우 급속히 감소하여 800°C에서 0.1초 정도의 값을 보이고 1000°C에 접근하면 약 150 μ s로 감소하는 것을 관찰할 수 있다. 이는 매우 높은 값을 갖는 핵생성 활성화 에너지에 기인한다.

3.3 비정질 Si 박막의 결정화에 미치는 도핑 효과

그림 6(a)는 Phosphorous를 10분간 도핑한 시편과 도핑하지 않은 시편을 620°C에서 열처리를 수행한 결과의 Raman crystallinity를 비교한 것이다. 그림 6(a)에서 보는 바와 같이 15 kV의 가속전압으로 10분 동안 이온 주입을 한 후 620°C에서 Furnace 열

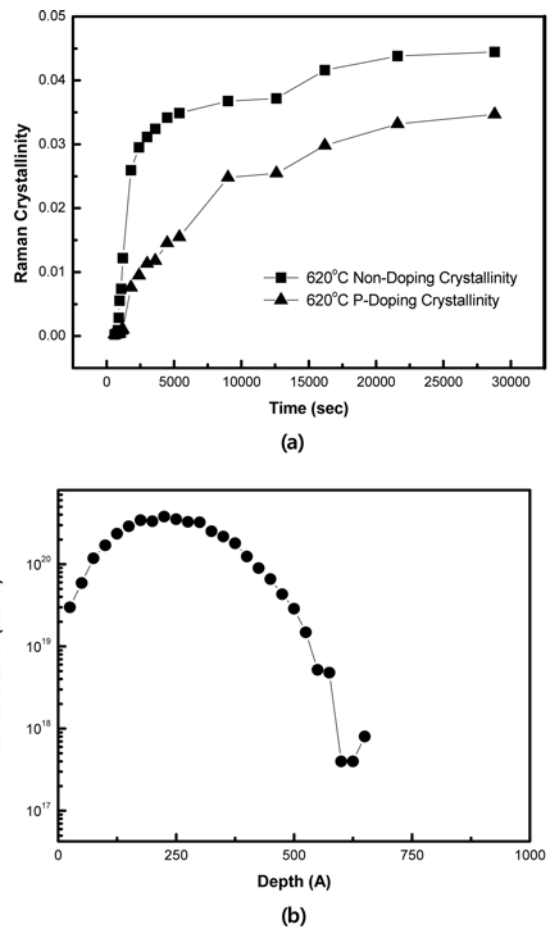


Fig. 6. (a) Raman crystallinity vs annealing time for the samples with and without P doping at 620°C, (b) Concentration profile of P according to Trim-code simulation with the 15 kV implantation at a dose of $1 \times 10^{15}/\text{cm}^2$.

처리를 수행한 시편이 그렇지 않은 시편에 비해서 라만 결정화도(Raman Crystallinity)가 떨어지는 것을 알 수 있다. 두 시편의 Incubation-time은 거의 동일하나 결정화 완료 시간은 차이가 나는 것으로 보아 Phosphorous 이온 주입 후 핵생성 속도는 비슷하지만 Growth 속도가 저하되는 것으로 사료된다.

그림 6(b)는 Trim-Code Simulation을 통하여 15 kV로 Phosphorous를 이온 주입 시 이온 농도의 전산 모사 결과이다. R_p 와 Tail의 깊이가 a-Si 박막의 두께인 2500 Å보다 얇음을 알 수 있다. 즉, 본 연구에서 사용된 이온주입 조건은 다결정 상의 핵생성 우선 장소인 a-Si/SiO₂ 계면에는 영향을 미치지 않게 되며 이는 증착 시 형성된 SPC Seed가 이온주입과 무관하게 일정함으로 이론적으로 이온 주입은 핵생성 속도에 영향을 미치지 않는다^{13,14)}. 따라서 핵생성 속도는 이온 주입된 시편과 그렇지 않은 시편이 동일하다. 반면에 Growth 속도는 도핑 불순물로 인하여 저하된다. 그로 인하여 결정립 크기는 이온 주입

한 시편이 이온 주입하지 않은 시편에 비하여 작아 지게 된다고 판단된다. 이온 주입 후 620°C에서 열 처리한 시편의 결정립 크기가 이온 주입을 하지 않고 열처리한 시편의 결정립 크기에 비하여 작기 때문에 Grain Boundary의 증가로 인해서 이온 주입 후 열처리한 시편의 Raman 결정화도가 이온주입을 하지 않은 것에 비해서 떨어지는 것으로 판단된다.

Raman crystallinity는 결정화도의 절대적인 측면을 나타내지만 mobility(μ)는 결함의 종류 및 분포 모양에 따라 민감하게 달라진다. Mobility는 전자의 평균 산란 시간과 식 (1)와 같은 관계를 갖는다.

$$\mu = e\tau / m_e \quad (1)$$

즉, 평균 자유 산란 시간이 클수록 mobility가 커지게 되며 평균 자유 시간(t)은 평균 자유 행정 l 과 식 다음과 같은 관계를 갖는다.

$$l = u t \quad (2)$$

또한 평균 자유 행정은 평균 전자 속도 u 에 다음과 같은 관계를 갖게 된다.

$$l = 1 / S u N_s \quad (3)$$

식 (3)에 나타난 N_s 는 산란 중심들의 밀도이며 S는 산란 중심의 횡단면적이다. SPC의 경우 Intra-granular Defect인 Grain Boundary와 Intra-granular Defect를 비교해 보면 산란 중심의 횡단면적의 경우 Grain Boundary가 더 클 수 있지만 산란중심밀도 (N_s)는 Grain Boundary의 경우가 더 작다. 그러나 SPC poly-Si의 경우 주된 Intra-granular Defect는 Microtwin으로 이루어져 있는데 Microtwin의 Raman 산란 결과가 Grain Boundary에 비해서 우수한 결정성을 보인다. 따라서 상당히 많은 양의 Intra-granular Defect에도 불구하고 Raman crystallinity는 높게 나타나게 되는 것이다. 결론적으로 SPC poly-Si의 경우 Grain Boundary는 Intra-granular Defect에 비하여 Raman Crystallinity에 더 많은 영향을 미치며 라만 결정화도의 관점에서 보았을 때 mobility에는 상대적으로 적은 영향을 미치게 된다.

4. 결 론

본 연구에서는 단결정 실리콘의 Peak인 520 cm^{-1} Raman-shift의 강도를 모든 시편에 대하여 1.0으로 인위적으로 맞추어준 후 단결정 실리콘의 Raman Shift 470-495 cm^{-1} 구간에서의 면적 즉 적분값을 각 온도 및 시간에서 열처리한 실리콘을 사용하여 측정한 Raman data에서 Raman Shift 470-495 cm^{-1} 구

간에서의 면적으로 나눠준 값을 라만 결정화도(Raman Crystallinity)라고 정의하였다. Raman Crystallinity와 Hall Mobility는 열처리 시간 및 온도의 변화에 따라 유사한 거동을 보여주고 있다. 열처리 온도가 증가함에 따라 비정질 Si 박막의 결정화를 하기 위한 Incubation-time은 급격히 감소하는 것을 알 수 있다. 이는 매우 높은 값을 갖는 핵생성 활성화 에너지에 기인한다. 두께 2500 Å의 a-Si 막에 15 kV의 가속전압으로 이온 주입 후 열처리한 시편의 핵생성 속도는 이온 주입을 하지 않고 열처리한 시편의 핵성장 속도와 비슷하지만 이온주입 후 열처리한 시편의 핵성장 속도가 이온주입을 하지 않고 열처리한 시편의 핵성장 속도에 비하여 느려지며 그에 따라 라만 결정화도는 상당한 차이를 나타낼 수 있었다.

후 기

이 논문은 2007학년도 홍익대학교 교내 연구비에 의하여 지원되었음.

참고문헌

1. A. T. Voutsas, M. K. Hatalis, J. Electrochem. Soc. 139 (1992) 2659.
2. R. S. Wagner, W. C. Ellis, Appl. Phys. Lett. 4 (1964) 89.
3. S.-W. Lee, S.-K. Joo, IEEE Electron Dev. Lett. 17 (1996) 160.
4. J. S. Im, H. J. Kim, M. O. Thompson, Appl. Phys. Lett. 63 (1993) 2969.
5. M. Wu, K. Pangal, J. C. Sturm, S. Wagner, Appl. Phys. Lett. 75 (1999) 2244.
6. R. S. Howel, M. Stewart, S. V. Karnik, S. K. Saha, M. K. Hatalis, IEEE Electron Device Lett., 21 (2000) 70.
7. M. Wu, X.-Z. Bo, J. C. Sturm, S. Wagner, IEEE Electron Device Lett., 49(11) (2002) 1993.
8. J. H. Cheon, J. H. Bae, J. Jang, Solid State Electronics, 52 (2008) 473.
9. J.-S. Ro, W.-E. Hong, SID 2006 Digest of Technical Papers, (2006) 1280.
10. W.-E. Hong, J.-S. Ro, Thin Solid Films, 13 (2007) 515.
11. Y. Ishikawa, Y. Yamamoto, T. Hatayama, Y. Uroka T. Fuyuki, PVSEC 12 (2001) 11.
12. Jian Zi, H. Büscher, C. Falter, W. Ludwig, Kaiming Zhang, Xide Xie, Appl. Phys. Lett. 69 (1996) 200.
13. I.-W. Wu, A. Chiang, M. Fuse, L. Ovecoglu, T. Y. Huang, J. Appl. Phys. 65 (1989) 4036.
14. J. H. Kim, J. Y. Lee, J. Appl. Phys. 79 (1996) 1794.