

대기전력 저감을 위한 자러발진 플라이백 컨버터

尹榮男^{*}, 張斗熙^{**}, 盧政煜^{***}, 韓翔圭^{****}, 金鍾德[§], 洪成洙[†]

Self-Oscillating Flyback Converter for Reducing Standby Power

Young-Nam Yoon, Doo-Hee Jang, Chung-Wook Roh, Sang-Kyoo Han,
Jong-Duck Kim, and Sung-Soo Hong

요 약

본 논문은 별도의 PWM-IC 없이 저가 구현이 가능한 자러 발진 플라이백 컨버터의 대기전력 저감을 위한 회로를 제안한다. 제안된 자러발진 플라이백 컨버터는 기존 자러발진 플라이백 컨버터의 스위치 초기 동작을 위한 경로에서 발생하는 지속적인 전력손실 문제를 개선하기 위해 DC-Blocking 커패시터를 삽입한 형태로써 약 1W의 대기전력 저감효과 및 시스템의 전력 변환 효율 향상이 가능하다. 본 논문에서는 제안된 회로의 동작원리를 설명하고, 실제 35W급 전원시스템을 구현하여 기존 회로와의 비교를 통해 제안된 회로의 타당성을 검증한다.

ABSTRACT

This paper presents the self-oscillating flyback converter for reducing standby power without a control-IC. The proposed self-oscillating flyback converter includes a DC-Blocking capacitor for reducing constant power loss of initial switching path of a conventional self-oscillating flyback converter. it's possible to reduce the standby power to 1W and power efficiency. To confirm the validity of proposed system, comparison of conventional system, verification of experimental results is presented by realization of 35W power system.

Key Words : Self-oscillating, Flyback converter, Standby power

1. 서 론

최근 세계 각국의 에너지 정책이 친환경 녹색 IT로 바뀌고 있는 가운데 대기전력에 대한 관심 또한 증폭되고 있다. 실질적으로 국제 에너지 기구(IEA: International Energy Agency)에서는 2010년까지 모든 전자제품의 대기전력을 1W 이하로 줄일 것을 권고하고 있으며,^[1] 정부에서도 2010년부터 대기전력이 1W 이상

인 전자제품에 대해서는 경고 표시를 의무적으로 표기하도록 했다.

이렇듯 대기전력이 제품의 선택에 영향을 미치는 요소가 되어가는 가운데 소용량 전원 시스템에서는 시스템의 저가 구현 또한 제품의 경쟁력을 결정짓는 중요한 요소 중 하나이다. 그로인해 제어용 IC를 사용한 플라이백 컨버터 외에 가격 경쟁력을 가지는 자러발진 방식을 이용한 플라이백 컨버터가 많이 이용되고 있다.

자러발진 플라이백 컨버터는 제어용 IC를 제거하고 쌍극자 트랜지스터(BJT: Bipolar Junction Transistor)를 이용하여 자러발진 동작을 하기 때문에 제어용 IC를 사용했을 때보다 회로 구성이 대단히 간단하고 저가격의 전원 시스템을 만들 수 있는 장점이 있다.^[2] 일반적으로 자러 발진 방식을 이용한 컨버터의 경우 제어용 IC를 사용하는 방식과 달리 스위치의 초기 구동을 위해 외부에서 공급되는 별도의 전원이 없기 때문에 초기

[†]교신저자 : 정회원, 국민대 전자정보통신공학부 부교수
E-mail : hongss@kookmin.ac.kr

^{*}학생회원, 국민대 전자공학과 석사과정

^{**}학생회원, 국민대 전자공학과 박사과정

^{***}정회원, 국민대 전자정보통신공학부 부교수

^{****}정회원, 국민대 전자정보통신공학부 조교수

[§]정회원, 삼성전기(주) CDS 사업부 책임연구원

접수일자 : 2009. 8. 18

1차 심사 : 2009. 10. 3

심사완료 : 2009. 11. 16

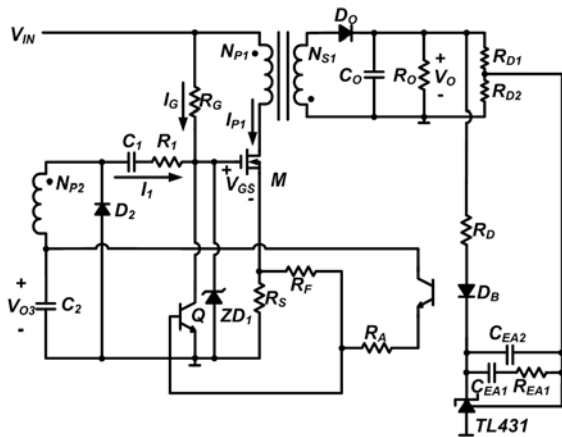


그림 1 기존 자려발진 플라이백 컨버터
Fig. 1 Conventional Self-Oscillating Flyback Converter

구동 저항을 통하여 스위치의 초기 구동이 일어나게 된다. 하지만 정상상태 동작 시에도 스위치의 초기 구동을 위해 삽입된 초기 구동 저항을 통해 전류가 흐르게 되며, 그로인해 지속적인 전력손실이 발생하게 되어 시스템의 전력 변환 효율을 저하 시키고, 높은 대기전력을 갖는 단점을 가지게 된다. 즉, 현재의 자려발진 컨버터의 구조만으로 1W이하의 대기전력 기준을 만족시키기 어렵다.

본 논문은 기존 자려발진 플라이백 컨버터의 단점인 높은 대기전력 및 낮은 전력 변환 효율의 개선 방안을 제안한다. 제안 회로는 높은 대기전력 및 낮은 전력 변환 효율의 주 원인인 스위치 초기 구동 경로에서 발생하는 손실을 줄이기 위해 DC-Blocking 캐패시터를 삽입하여, 최소 3%이상의 전력 변환 효율 상승 및 대기전력 저감 효과를 얻을 수 있다.

2. 제안 자려발진 플라이백 컨버터

2.1 기존 자려발진 플라이백 컨버터 분석

그림 1은 기존 자려발진 플라이백 컨버터로써 센싱 저항, R_S 를 이용해 전류의 침투치를 제어하게 되므로 BCM(Boundary Conduction Mode)동작을 하며, 출력 부하변동에 따라 주파수 가변을 통해 출력 전압이 제어 된다. 출력전압 V_O 는 오차 증폭기에 의해 정밀하게 제어되는 전압을 얻을 수 있으며, V_{O3} 는 트랜스포머의 턴 비에 의한 상호 조절을 통해 제어가 된다. 스위치의 턴 오프는 R_S 와 R_F 전압의 합이 쌍극자 트랜지스터, Q의 문턱전압 이상이 되었을 때 스위치의 게이트와 소스의 전압 감소에 의해 턴 오프가 된다.^[4]

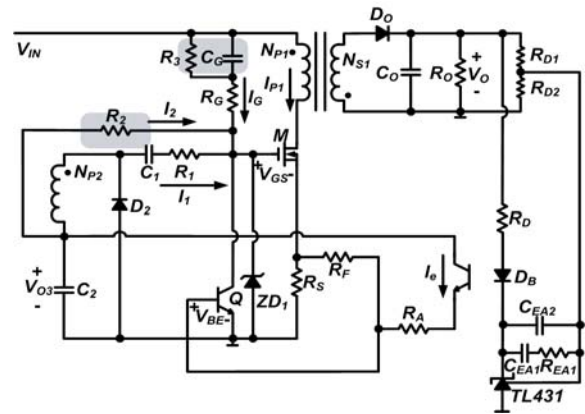


그림 2 제안 자려발진 플라이백 컨버터
Fig. 2 Proposed Self-Oscillating Flyback Converter

제어용 IC의 유무 이외에 기본적인 동작은 제어용 IC를 사용한 BCM 동작을 하는 플라이백 컨버터와 동일하며, 초기 스위치 턴 온을 위한 전류는 초기 구동 저항, R_G 를 통해 공급된다. 하지만 R_G 에 V_{IN} 전압이 지속적으로 걸리게 됨에 따라 전력손실이 발생되고, 이로 인해 2010년부터 강화되는 1W이하의 대기전력 기준을 만족시키기 어렵다.

2.2 제안 자려발진 플라이백 컨버터

상기한 바와 같이 기존의 자려발진 플라이백 컨버터는 스위치의 초기 구동 경로에서 발생하는 지속적인 전력 손실로 인해 대기전력을 1W이하로 유지하기 어려운 구조로 이루어져 있다. 따라서 본 논문에서는 대기전력을 1W이하로 저감 가능한 구조를 제안하고, 이를 실험적으로 검증한다.

2.2.1 제안 자려발진 플라이백 컨버터 구조

본 논문은 기존의 자려발진 플라이백 컨버터의 구조적 변경을 통해 대기전력 저감 방안을 제안한다. 기존의 자려발진 플라이백 컨버터에서 대기전력이 1W이상으로 나타나는 근본적인 원인은 스위치의 초기 구동을 위한 초기 구동 저항, R_G 에 의해 $P_{RG} = V_{IN}^2 / R_G$ 만큼의 전력손실이 지속적으로 발생하기 때문이다.

제안 회로는 대기전력 저감 및 시스템의 전반적 효율 증가를 위해 그림2와 같이 기존의 R_G 경로에 DC-Blocking 캐패시터, C_G 를 삽입하여 스위치의 초기 구동 시에만 R_G 경로로 전류가 흐르게 제한했다. 입력 전압은 R_G 경로를 통해 스위치의 턴 온 동작이 일어나는 과도상태 이후 정상상태 동작 시 C_G 에 걸리게 된다. DC-Blocking 캐패시터, C_G 를 삽입하게 될 경우 기

존 회로와의 동일한 동작 특성 보장을 위해 입력전원을 차단하였을 경우 C_G 에 충전되어 있던 입력전압의 방전 경로와 정상상태 동작 시 스위치로 공급되던 전류 감소에 따른 전류 보상 경로의 확보가 필요하다. 입력전원 차단시 C_G 에 충전되어 있던 전압의 방전 경로를 위해 C_G 에 병렬로 저항 R_3 를 삽입하였으며, 정상상태 동작 시 스위치로의 전류 공급을 위해 약 10V 정도의 낮은 전압으로 출력에 의해 일정전압이 유지가 되는 보조전원 V_{O3} 를 이용하여 R_2 삽입을 통해 새로운 경로를 형성하였다.

2.2.2 제안 자러발진 플라이백 컨버터의 동작 특성

기존의 컨버터에서 스위치의 턴 온을 위해 I_G+I_1 의 전류가 스위치로 공급이 되었다면, 제안된 컨버터의 경우 R_2 에 의해 새로운 경로가 추가 되므로 $I_G+I_1+I_2$ 의 전류가 스위치로 공급이 된다. 하지만 실질적으로 R_G 경로에 DC-Blocking 캐패시터, C_G 가 삽입됨으로써 I_G 는 마이크로 단위의 매우 작은 전류 값을 가진다. 입력전압, V_{IN} 은 $90V_{rms} \sim 264V_{rms}$ 의 전압이 입력필터를 거쳐 캐패시터에 충전된 전압으로, $127V_{DC} \sim 374V_{DC}$ 의 넓은 전압 범위를 가지게 된다. 넓은 입력전압에서도 원활한 스위치 구동을 보장하기 위해 최소 입력전압 $127V_{DC}$ 를 기준으로 스위치 구동저항 값을 선정해야 한다. 기존 컨버터의 경우 스위치로 공급되는 전류 I_G 가 입력 전압의 변동에 따라 변하게 되므로, 최대 입력 전압인 $374V_{DC}$ 에서는 스위치 구동 저항에서 상대적으로 큰 전력손실이 발생 된다.

제안된 컨버터의 경우 정상상태에서의 스위치 구동은 R_2 경로를 통해 이루어지게 되며, 스위치 구동을 위한 전압 V_{O3} 는 제어가 되는 출력전압 V_O 와의 상호 조절을 통해 입력 변동과 무관하게 일정전압 유지하게 되므로, 시스템의 전반적 효율 및 대기전력 상황에서 우수한 효율 개선 효과를 얻을 수 있다.

2.2.3 주요 동작 원리

한 주기 동안 2차측에서 포토커플러를 통해 1차측으로 넘어온 전류는 정상상태임을 가정하여 해석의 편의를 위해 다음과 같이 전류원으로 표현하였다.

2.2.3.1 스위치 온/오프

A. 스위치 온

스위치의 턴 온 동작은 기본적으로 제어용 IC를 사용한 플라이백 컨버터와 동일하다. 턴 온 이전에는 스

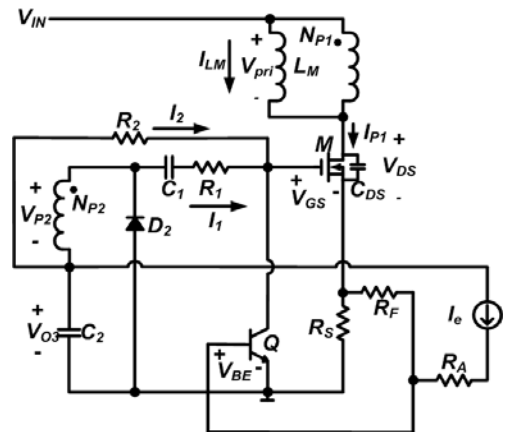


그림 3 스위치 온/오프 설명을 위한 1차측 회로도
Fig. 3 A circuit diagram of primary side for explanation of Switch On/Off operation

위치 M의 드레인과 소스단의 양단전압, V_{DS} 에 입력전압과 턴 비로 넘어온 2차측 출력전압과의 합인 $V_{IN}+nV_O$ 전압이 걸려 있는 상태이며, 트랜스포머의 1차측 전압 V_{pri} 는 2차측의 출력전압이 턴 비로 넘어온 전압인 $-nV_O$ 가 걸려 있는 상황이다. 다음과 같은 상황에서 1차측에서 2차측으로의 전력 전달이 끝나게 되면 스위치의 드레인과 소스단의 기생 캐패시터, C_{DS} 와 트랜스포머의 자화 인덕턴스, L_M 과의 공진에 의해 V_{pri} 전압이 0이상이었을 때 보조전원을 위한 V_{NP2} 의 전압이 0이상이면 스위치가 턴 온이 되게 된다.

B. 스위치 오프

스위치 턴 오프 동작은 Npn 트랜지스터의 베이스와 에미터단의 전압 V_{BE} 가 문턱전압 $V_{BE(ON)}$ 이상이 되었을 경우 스위치의 게이트와 소스단의 전압, V_{GS} 가 Npn 트랜지스터의 콜렉터단을 통해 감소하게 된다. V_{GS} 가 일정레벨 이하로 감소하였을 경우 Positive Effect에 의해 매우 빠르게 턴 오프 동작이 이루어지게 된다. V_{BE} 에 걸리는 전압은 식(1)과 같다.

Positive Effect는 그림 4로 매우 간단히 설명할 수 있다. $V_{BE} > V_{BE(ON)}$ 일 때 V_{GS} 는 Npn 트랜지스터의 콜렉터단을 통해 점점 감소하게 된다. 즉, V_{GS} 가 V_{GS1} 에서 V_{GS2} , V_{GS3} 으로 감소함에 따라 V_{DS} 전압 또한 V_{DS1} 에서 V_{DS2} , V_{DS3} 로 빠르게 증가하게 되는 것이 자러발진에서 이용되는 Positive Effect가 되겠다.

$$V_{BE} = I_e(R_F + R_S) + I_{P1} \cdot R_S \tag{1}$$

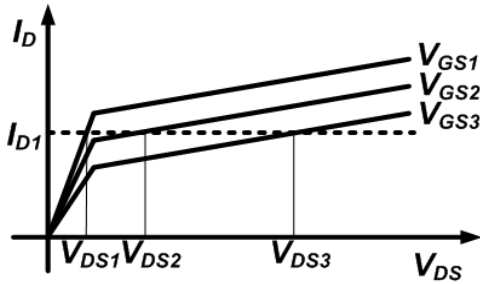


그림 4 MOSFET의 전류 전압 특성 곡선 및 동작점 변화
 Fig. 4 Family of I_D versus V_{DS} curves for an n-channel depletion mode MOSFET

2.2.3.2 Burst Mode Operation

일반적으로 동작 주파수 가변을 통해 출력전압이 제어 되는 회로에서 큰 출력 부하로 인해 출력 전압이 감소하였을 경우 1차측에서 2차측으로 더 많은 에너지를 넘기기 위해 동작 주파수가 감소하고, 출력 전압이 증가하였을 경우 동작 주파수가 증가하는 것이 기본 제어 원리이다.

자려발진 컨버터는 V_{BE} 전압이 베이스와 에미터단에 걸리는 문턱전압, $V_{BE(ON)}$ 이상으로 상승하여 V_{GS} 의 전압이 일정레벨 이하로 감소하였을 경우 Positive Effect로 인해 턴 오프가 되어 동작 주파수를 결정하게 되는데 경 부하시 상대적 출력전압 상승으로 인해 TL431의 캐소드측의 전압, V_K 가 감소하게 되고, 포토커플러의 콜렉터단에 흐르는 전류, I_e 는 증가하게 된다. 그로인해 그림 5에서 보는 바와 같이 $t_1 \sim t_2$ 구간에서 부하가 컸던 t_1 이전 보다 동작 주파가 증가하게 된다. t_2 이후 구간은 Burst 동작이 이루어 지게 되는데 부하가 특정 레벨 이하로 감소하였을 경우 I_e 에 의해 R_F , R_S 에 걸리는 전압 V_{BE} 를 문턱전압 $V_{BE(ON)}$ 이상이 되도록 R_S , R_F 를 조절함에 따라 Burst 동작점 조절이 가능하다.

2.2.4 주요 소자 설계

자려발진 컨버터의 설계에 있어 제어용 IC를 사용하였을 경우와 달리 그림 2의 회로도에서 보는 바와 같이 R_S , R_F , R_A , R_I , C_1 이 추가되는 주요 소자이다. 자려발진 컨버터의 경우 제어용 IC를 사용했을 때와 달리 하나의 소자 값 변화가 시스템의 전반적 동작에 영향을 미치기 때문에 정확한 설계를 하기 어렵다. 아래에 기술된 설계 방안은 근사값을 찾는 것이 주요 목적이다.

A. Sensing Resistor, R_S

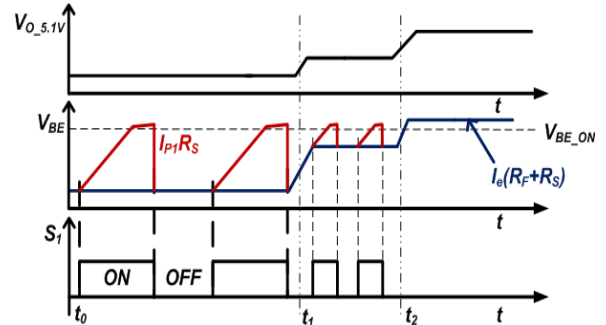


그림 5 출력 전압 변동에 따른 동작 주파수 가변
 Fig. 5 principle of variable operating frequency by variable output voltage

센싱 저항, R_S 값의 선정에 있어 가장 중요한 요소는 R_S 에서 소모하는 전력이 되겠다. 본 설계에서는 R_S 에서 소모하는 최대 전력을 0.1%이하로 설정하였다.

34.4W의 출력이 요구되는 가운데 컨버터의 효율을 80%로 가정시 입력 파워는 43W이며, $I_{ip}^{pk}=1.3A$, 입력력 관계식을 고려하여 $D_{max}=0.4$ 가 된다. 다음의 값을 식(2)에 대입하게 되면 약 0.2Ω의 센싱 저항 값을 얻을 수 있다.

$$R_S = \frac{0.001 \times P_{IN}^{MAX}}{(I_{ip}^{pk} \sqrt{D_{max}/3})^2} \quad (2)$$

B. R_F

R_F 는 R_S 와 함께 스위치의 턴 오프 동작에 관여하는 소자로서 V_{BE} 의 전압 레벨을 결정짓는 중요한 요소이다. 정상상태에서의 안정적 동작 보장을 위해 I_e^{max} 에 의해 R_S 와 R_F 에 걸리는 전압의 합이 $V_{BE(ON)}$ 보다 작아야 하며, 설계된 값에 맞추어 턴 오프 동작이 일어나도록 I_e^{max} 에 의해 R_S 와 R_F 에 걸리는 전압과 $I_{ip}^{pk(max)}$ 에 의해 R_S 에 걸리는 전압의 합이 $V_{BE(ON)}$ 이상이 되어야 한다.

I_e^{max} 는 500μA, $I_{ip}^{pk(max)}$ 가 1.3A일 때 식(3),(4)에 의해 R_F 는 880Ω보다 크고, 1.4kΩ보다 작아야 한다.

$$I_e^{max}(R_F + R_S) \leq V_{BE(ON)} \quad (3)$$

$$I_e^{max}(R_F + R_S) + I_{ip}^{pk(max)} \cdot R_S > V_{BE(ON)} \quad (4)$$

C. R_A

R_A 의 역할은 Npn 트랜지스터, Q가 턴 온 시 순간적으로 흐르는 과전류를 방지하기 위해 삽입된 저항으로 포토커플러의 2차측에 흐르는 최대 전류가 1차측으로 넘어 올 때 충분히 공급 가능한 범위 즉 예상되는

I_e 전류의 최대값 이상으로 선정한다.

V_{O3} 는 5.1V로 제어되는 출력단과의 턴비에 의해 약 10V의 전압이 걸리게 되며, I_e^{max} 는 앞에서 언급했던 바와 같이 500 μ A로 R_A 는 식(5)에 의해 18.6k Ω 보다 작아야 한다.

$$I_e^{max} < \frac{V_{O3} - V_{BE(ON)}}{R_A} \quad (5)$$

D. R_1, C_1

R_1 와 C_1 의 가장 중요한 역할은 Burst 동작점을 결정짓는 것이다. C_1 의 값은 선정된 주 스위치 M의 입력 캐패시턴스 C_{ISS} 를 기준으로 선정을 하며 일반적으로 C_{ISS} 의 4배 가량을 선택한다. C_1 은 정상상태 동작시 DC-Blocking 캐패시터가 아닌 전압 분배기로 동작하는 것이 특징이다. 기본적으로 R_1 은 스위치의 게이트 단과 소스단의 과전압 보호하기 위해 삽입된 제너 다이오드에서 소모되는 전력을 제한해 주는 범위 내에서 Burst 동작점 조절을 위해 실험을 통해 가변하여 원하는 값을 얻을 수 있다.

FQPF5N60C의 경우 입력 캐패시턴스의 최대값이 730pF이므로 C_1 은 3.3nF으로 선정하였다.

$$R_1 = \frac{V_{IN}^{max}(N_{P2}/N_{P1}) - V_{ZD1}}{P_{ZD1}} \cdot V_{ZD1} \quad (6)$$

2.3 보호회로 구현

일반적으로 PWM-IC를 사용하는 경우 기본적으로 출력단의 과전압 또는 단락에 따른 보호회로가 IC내부에 구현 되어있다. 하지만 자러발진 방식을 이용할 경우 별도의 IC를 사용하지 않기 때문에 신뢰성 확보를 위해 보호회로의 구현이 반드시 필요하다.

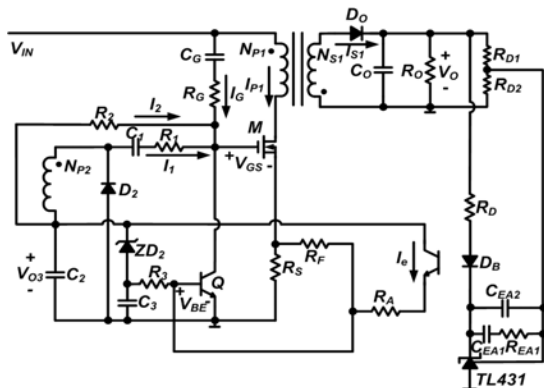


그림 6 출력단 과전압 보호회로
Fig. 6 Over Voltage Protection Circuit

표 1 OVP상황시 예상되는 출력 및 보조전원 측 전압
Table 1 Forecasted the auxiliary output voltage in OVP situation

V_O	V_{O3}
6.5V	13V

2.3.1 출력단 과전압 보호(OVP)

그림 6은 각 출력 전압 및 보조전원의 과전압 상황에 대한 보호회로이다. 포토다이오드의 단락 상황에서 포토커플러의 2차측으로 넘어오는 전류 I_e 는 0이 된다. I_e 의 전류가 0이 되게 됨으로써 스위치 오프 동작이 단순히 I_{P1} 에 의해 R_S 에 걸리는 전압만으로 이루어지기 때문에 동작 주파수는 최소 동작 주파수로 스위칭 동작이 이루어지며, 동작 시비율 역시 증가하게 된다. 결론적으로 1차측에서 2차측으로 최대 전력 전달이 이루어져 출력전압이 상승하게 된다. 출력단에 과전압이 걸리게 될 경우 전압이 일정 레벨이상 상승하는 것을 막기 위해 다음과 같이 13V 제너 다이오드 ZD_2 와 일정 시간 전압 유지를 위한 캐패시터 C_3 및 Npn 트랜지스터의 베이스단으로 안정적 전류 공급을 위한 R_3 를 추가로 삽입하였다. V_{O3} 는 정상 상태 동작시 5.1V의 출력을 갖는 V_O 와 $V_O:V_{O3}=3:6$ 의 턴비에 의해 약 10.2V의 전압을 가지게 된다. 하지만 과전압 상황 발생시 5.1V출력단 V_O 의 상승에 따라 V_{O3} 또한 상승하게 되는데 이때 13V 제너 다이오드 ZD_2 에 의해 13V이상으로 보조전원의 전압 상승이 제한되고, C_2 로 공급되던 전류는 ZD_2 를 통해 C_3 및 베이스단으로 흐르게 된다. 베이스단의 전압상승으로 V_{GS} 의 방전 경로가 형성되고 공급되는 전류를 차단시켜 스위칭을 제한하게 된다. 결과적으로 과전압 상황 발생시 출력 V_O 는 13V로 제한된 V_{O3} 의 전압이 $V_O:V_{O3}=3:6$ 턴비로 넘어간 전압 6.5V가 보이게 된다.

$$V_O = V_{O3} \times \frac{N_{S1}}{N_{P1}} \quad (7)$$

2.3.2 출력단 단락 보호(SCP)

그림 7은 5.1V출력단 V_O 단락시 2차측의 과전류 상황에 대한 보호회로이다. V_O 단락시 이상적으로 V_O 은 0이 되겠으며 출력전압과의 턴비에 의해 형성되는 보조전원, V_{O3} 의 전압은 감소하게 된다. I_e 전류는 이상적으로 0 즉, 포토커플러의 2차측이 개방된 것처럼 보이게 되어 스위치 턴 오프 동작이 단순히 I_{P1} 에 의해 R_S 에 걸리는 전압만으로 이루어지기 때문에 동작 주파수는 최소 동작 주파수로 스위칭 동작이 이루어지고, 동작

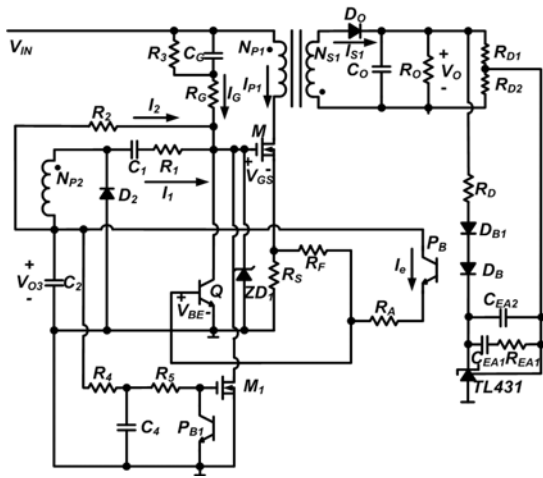


그림 7 출력단 단락 보호회로
Fig. 7 Short Circuit Protection circuit

시비율 역시 증가하게 된다. 결론적으로 1차측에서 2차측으로 최대 전력 전달이 이루어지게 된다. 이와 같이 최대 전력 전달이 이루어지는 상황에서 출력단이 단락이 되어 과전류가 발생하게 된다. 단락상황이 수초간 발생시 V_0 출력 단의 과전류로 다이오드 D_0 에 허용 전류 이상의 전류가 흐르게 되어 D_0 가 파괴 된다. 출력단의 단락 상황시 V_0 단의 과전류 현상을 방지하기 위해 시스템의 동작에 영향을 미치지 않으면서 포토커플러의 개방상황을 검출하기 위해 P_{B1} 을 삽입하였다. 정상상태 동작시 R_5 에 의해 V_{PB1} 의 레벨은 N-Channel Mosfet, M1을 턴 온 전압 이하가 되어 전체 시스템 동작에 미치는 영향은 없다. 하지만 단락상황 발생시 V_{PB1} 의 전압은 V_{O3} 가 되어 새로이 추가된 M_1 을 턴 온 시키게 된다. 턴 온된 M_1 에 의해 V_{O3} 의 전압의 방전 경로가 형성되고 전압 레벨은 감소하게 된다. V_{O3} 의 전압은 주 스위치 M의 턴 온 전압 이하로 감소하게 되어 Latch Shut Down이 일어난다.

제안된 자력발진 컨버터에서 대기전력 및 시스템의 전반적 효율 상승을 위해 초기 구동을 위한 경로에 C_G 를 삽입하였는데 이로 인해 입력 차단을 통해 시스템을 종료 시켰을 경우 부하가 존재하는 가운데 시스템이 종료되므로 C_G 에 충전된 전압은 R_3 및 부하 측의 경로를 통해 방전이 된다. 하지만 단락 상황이 발생하였을 경우 입력은 계속 공급되는 가운데 시스템이 종료되므로 V_{CG} 는 V_{IN} 의 전압을 계속 유지하는 상황이 된다. 그 후 사용자에게 의해 입력 전원이 차단되면 부하가 없는 무 부하 상황에서 종료되게 되므로 V_{CG} 의 전압은 단순히 R_3 에 의해서만 방전이 되므로 재 동작을 위해서 V_{CG} 의 전압레벨이 충분히 낮아 질때까지

시간이 필요하게 된다.

2.4 제안 자력발진 플라이백 컨버터 실험 결과

본 논문에서 제안한 자력발진 플라이백 컨버터의 대기전력 저감효과에 대한 이론적 분석의 타당성을 검증하기 위해 35W급 AC/DC 전원 시스템을 구성하여 DC-Blocking 캐패시터 C_G 의 유무에 따라 기본적 동작 및 대기전력, 전력변환 효율 측정 실험을 실시한다.

2.4.1 실험 조건

- V_{in} : 90V_{rms} ~ 264V_{rms}
- V_{OUT} : V_{O1} =5.1V (0.06A ~ 1.75A)
 V_{O2} =15V (0.3A ~ 1.7A)
- Transformer : $N_{P1}:N_{S1}:N_{S2}:N_{P2}$ =44:3:8:6 (EER3016)
 L_M =930mH
- Switch M : FQPF5N60C
- R_S =0.2Ω, R_F =1kΩ, R_A =15kΩ, R_1 =1kΩ, C_1 =3.3nF

2.4.2 대기전력 및 정상상태 파형 비교

표 2와 같이 230V_{rms}의 입력에서 5.1V의 출력단 부하가 60mA, 15V의 출력단 부하가 0A인 조건에서 기존 및 제안된 방식의 대기전력의 비교를 위해 실험을 실시했다. 그림 8은 제안된 회로의 컨버터 1차측 트랜스 전류, 스위치의 게이트 전압 및 드레인 소스 전압 파형으로 Bust동작이 이루어지는 것을 확인하였다.

기존 컨버터의 대기전력은 1.745W, 제안된 컨버터의 대기전력은 0.688W로 DC-Blocking 캐패시터 C_G 를 삽입하고, V_{O3} 를 이용하여 새로운 R_2 경로를 만들어 주었을 때 약 1W이상의 대기전력 저감 효과를 얻을 수 있음을 확인하였다.

그림 9는 90V_{rms} 최소부하, 264V_{rms} 최대부하시 기존과 제안된 컨버터의 1차측 트랜스 전류, 스위치의 게이트 전압 및 드레인 소스 전압 파형을 나타낸 것으로 DC-Blocking 캐패시터가 삽입된 제안된 컨버터의 정상상태 동작과 기존 컨버터의 모든 파형이 동일함을 확인하였다. 즉, 제안된 컨버터의 구조적 변경은 시스템의 동작 특성에 영향을 미치지 않는 가운데 대기전력을 크게 저감시키는 효과가 있다.

표 2 대기전력 측정 조건

Table 2 Standby power measurement specification

Spec.		
Input Voltage	230V _{rms}	0.9W_MAX (Input Power)
Output Current	+5.1V/60mA	

실험 조건 : $V_{IN}=230V_{rms}$, $I_{O1,5.1V}=0.06mA$, $I_{O2,15V}=0A$

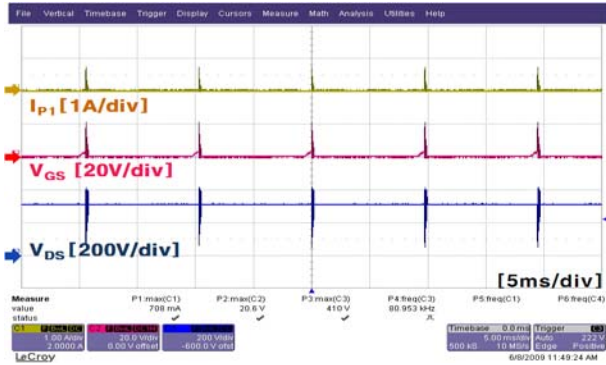
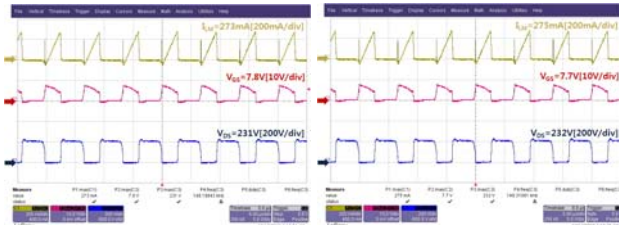


그림 8 대기 전력 측정 시 제안된 회로의 주요부 파형
Fig. 8 Standby power measurement, Operating waveform

실험 조건 : $V_{IN}=90V_{rms}$, 최소부하($I_{O1,5.1V}=0.06A$, $I_{O2,15V}=0.3A$)



실험 조건 : $V_{IN}=264V_{rms}$, 최대부하($I_{O1,5.1V}=1.75A$, $I_{O2,15V}=1.7A$)

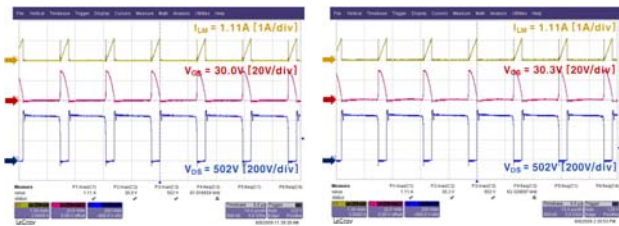


그림 9 90V_{rms} 최소부하, 264V_{rms} 최대 부하시 주요부 파형 (기존, 제안)
Fig. 9 90V_{rms} Minimum Load, 264V_{rms} Full Load, Operating waveform (Conventional, Proposed)

표 3 각 부하별 출력 전압 및 C_G 유무에 따른 전력 변환 효율
Table 3 The power potential conversion efficiency which follows in each load by output voltage and C_G presence

5.1V (Master)	15V (Slave)	Efficiency, %	
		C_G 유	C_G 무
I_{O1}	I_{O2}		
1.75A	1.7A	84.61	81.73
1.3A	1.3A	83.88	80.47
0.9A	0.9A	82.81	78.23
0.5A	0.5A	81.61	73.18
0.3A	0.3A	79.73	67.04
0.06A	0.3A	79.04	63.07

실험 조건 : $V_{IN}=264V_{rms}$, 60분간 동작 후 측정.

2.4.3 부하에 따른 효율 비교

기존과 제안된 자러발진 플라이백 컨버터의 효율을 측정하였다. 표 3은 5.1V, 15V의 출력단의 각 부하별 출력 전압 및 C_G 유무에 따른 전력 변환 효율을 측정한 결과로써 제안된 컨버터의 경우 264V_{rms} 입력에서 60분 동안의 동작시킨 후 최대 84.61% 최소 79.04%, 기존 컨버터의 경우 최대 81.73% 최소 63.07%로 C_G 를 삽입하고 전류 공급을 위한 새로운 경로를 만들어 줌에 따라 기존의 컨버터 보다 최대 15.97%, 최소 2.88%의 효율 상승효과를 얻을 수 있었다.

3. 결 론

본 논문에서는 2010년 이후에 강화되는 대기전력 규제를 만족시키기 위한 자러발진 플라이백 컨버터의 새로운 구조를 제안하였다. 제안된 자러발진 플라이백 컨버터는 기존의 자러발진 플라이백 컨버터의 초기 구동 저항에 DC-Blocking 캐패시터를 삽입하고, 정상상태에서 초기 구동 저항을 통해 스위치로 공급되던 전류를 대신할 새로운 경로를 만들어 줌으로써 기존과 동일한 동작을 보장하고, 전 부하 영역에서의 효율 상승과 대기전력을 1W 이하로 저감 가능하게 되었다.

따라서 본 논문에서 제안한 자러발진 플라이백 컨버터는 대기전력이 1W이하로 강화되는 2010년 이후에도 제어용 IC를 사용한 플라이백 컨버터에 비해 가격경쟁력을 가진 컨버터로써 사용될 수 있을 것이다.

본 연구는 삼성전기, 2009년도 국민대학교 교내 연구비 지원과 지식경제부 및 정보통신연구진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음 (IITA -2009 -C1090-0904-0002)

참 고 문 헌

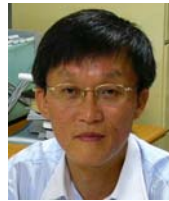
- [1] International Energy Agency, "Things that go blip in the night", Organisation for Economic Co-operation and Development, 2001.
- [2] 김희준, "스위칭 전원의 기본 설계", 서인당, 2002. 1.
- [3] Brian T. Irving and Milan M. Jovanovic, "Analysis and Design of Self-Oscillating Flyback Converter", *IEEE Applied Power Electronics Conf. (APEC) Proc.*, pp. 897-903, March 2002.
- [4] K. Billings, "Switchmode power supply handbook", *New York, N.Y.:McGraw-Hill, Inc.*, 1989.

저 자 소 개



윤영남(尹榮男)

1983년 10월 20일생. 2009년 국민대 공과대학 전자정보통신공학부 졸업, 2009년 3월~현재 국민대 대학원 전자공학과 석사과정.



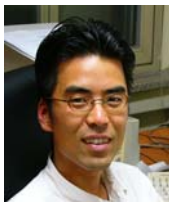
홍성수(洪成洙)

1961년 1월 25일생. 1984년 서울대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1992년 동대학원 전기 및 전자공학과 졸업(공학박). 1984년~1999년 현대전자(주) 정보통신연구소 책임연구원. 1999년~현재 국민대 전자정보통신공학부 부교수.



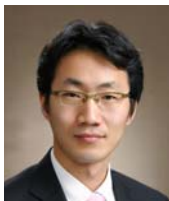
장두희(張斗熙)

1982년 2월 13일생. 2007년 국민대 공과대학 기계자동차공학부 졸업. 2009년 국민대 대학원 전자공학과 졸업(석사). 2009년 3월~현재 국민대 전자공학과 박사과정.



노정욱(盧政煜)

1971년 9월 10일생. 1993년 한국과학기술원 전기 및 전자공학과 졸업. 1995년 동대학원 전기 및 전자공학과 졸업(석사). 2000년 동 대학원 전기 및 전자공학과 졸업(공학박). 2000년~2004년 삼성전자(주) 영상 디스플레이 사업부 책임연구원. 2004년~현재 국민대 전자정보통신공학부 부교수. 당 학회 국문지 편집위원.



한상규(韓翔圭)

1973년 12월 13일생. 1999년 2월 부산대 전기공학과 졸업. 2001년 2월 한국과학기술원 전자전산학과 졸업(석사). 2005년 2월 동 대학원 전자전산학과 졸업(공학박). 2005년 3월~2005년 8월 한국과학기술원 정보전자연구소 박사후연구원. 2005년 9월~현재 국민대 전자정보통신공학부 조교수.



김종덕(金鍾德)

1975년 6월 8일생. 1998년 수원대 전기공학과 졸업. 2000년 성균관대 대학원 전기 및 전자공학과 졸업(석사). 2000년~2005년 한국항공우주산업(주) 우주개발센터 선임연구원. 2005년~현재 삼성전기(주) 파워산업팀 책임연구원.