

낮은 바렉터 제어 전압을 이용한 광대역 주파수 합성기 설계

Design of a Wideband Frequency Synthesizer with Low Varactor Control Voltage

원 득 호 · 최 광 석 · 윤 상 원

Duck-Ho Won · Kwang-Seok Choi · Sang-Won Yun

요 약

본 논문에서는 클랩형 전압 제어 발진기 회로를 바탕으로 UHF 대역에서 광대역 주파수 합성기를 설계하는 방법을 제시하였다. 전압 제어 발진기의 동작 조건 중 부성 저항 회로와 부하 회로의 위상 변화 특성을 해석하여 동작 범위를 증가시킬 수 있는 방법을 제안하였다. 이러한 방법을 적용하여 광대역 전압 제어 발진기를 설계하고, PLL 기반의 광대역 주파수 합성기를 설계하고 제작하였다. 제작된 주파수 합성기는 0~5 V의 바렉터 제어 전압에서 740~1,530 MHz의 발진 주파수 범위를 갖고, 2~-6 dBm의 출력 전력을 얻었다. 또한 위상 잡음은 10 kHz에서 -77 dBc/Hz, 100 kHz에서 -108 dBc/Hz로 측정되었다.

Abstract

In this paper, with using the clapp type VCO(Voltage Controlled Oscillator) configuration a wideband frequency synthesizer in UHF band is proposed. In order to design a wideband frequency synthesizer, the variation of phase in the negative resistance circuit as well as the load circuit was analyzed. Based on this result we propose a method to widen the operation range of the VCO. A frequency synthesizer using the proposed wideband VCO was designed and fabricated. It is shown that the synthesizer has the operating frequency range of 740~1,530 MHz by 0~5 V varactor tuning voltage, and it had the output power of 2~-6 dBm. Moreover, the phase noise measured as -77 dBc/Hz at 10 kHz offset, and as -108 dBc/Hz at 100 kHz offset from the oscillation frequency.

Key words : Clapp Type VCO, Varactor, Wideband, Tuning Voltage, Phase

I. 서 론

오늘날의 이동 통신 기술은 단순한 정보 전달에서 벗어나 디지털 기술과 정보 통신 기술의 융합으로 여러 분야에서 급속하게 발전하고 있다. 이에 따라 송수신 시스템에 사용되는 부품들은 여러 기능을 집적할 수 있도록 고성능화, 광대역화, 초소형화의 방향으로 발전해 가고 있다. 송수신 시스템에서 핵심 부품중 하나인 주파수 합성기도 예외가 될 수 없

다. 특히 이동 통신 기기에 사용되는 주파수 합성기는 낮은 공급 전압으로 광대역에서 동작하는 방향으로 발전하고 있다.

현재 광대역에서 동작하는 주파수 합성기는 15 V 이상의 높은 바렉터 제어 전압을 사용한다. 이 경우 낮은 공급 전압을 이용하는 이동 통신 부품으로 사용하기 위해서는 DC-DC 변환기나 능동 루프 필터가 필요하다. 이에 따라 주파수 합성기의 크기가 늘어나고 위상 잡음 특성이 나빠지는 단점이 있다.

「본 연구는 지식경제부의 차세대 신기술개발 사업의 지원을 받아, 수행하는 차세대 무선통신용 트랜시버 시스템개발사업의 일환으로 수행되었습니다.」

서강대학교 전자공학과(Department of Electronic Engineering, Sogang University)

· 논문 번호 : 20091102-128

· 교신저자 : 윤상원(e-mail : swyun@sogang.ac.kr)

· 수정완료일자 : 2009년 12월 23일

본 논문에서는 DC-DC 변환기나 능동 루프 필터를 사용하지 않고, 0~5 V의 바랙터 제어 전압에서 740~1,530 MHz로 가변 범위가 70 %인 광대역에서 동작하는 전압 제어 발진기를 기반으로 주파수 합성기를 설계 및 제작하였다. 효율적인 설계를 위해 발진기를 부성 저항 회로와 부하 회로로 나누어 각 회로가 갖는 반사계수의 위상 변화 특성에 대해 조사하여 발진 회로를 설계하는 방법을 사용하였다.

II. 전압 제어 발진기의 설계 이론

주파수 합성기를 설계하기 위해서 먼저 전압 제어 발진기의 설계가 필요하다. 발진기 설계 시 발진 주파수, 출력 전력, 고조파의 크기를 정확히 알기 위해서는 회로의 비선형 해석이 필요하다. 그러나 부성 저항 발진기 이론에서 발진 주파수는 부성 저항 회로가 갖는 반사계수의 위상 변화 특성을 선형적으로 해석하여 간단히 예측할 수 있다^[1].

본 논문에서는 간단한 구조를 갖고 소형화의 장점이 있는 클랩형 전압 제어 발진기를 부성 저항 발진기로 해석하여, 부성 저항 회로와 부하 회로로 나누고, 각 회로가 갖는 반사계수의 위상을 이용하여 발진 주파수를 예측하였고, 부성 저항 회로측 반사계수의 위상 변화를 감소시키는 방법을 사용하여 발진 범위를 증가시켰다.

그림 1은 간략화 된 부성 저항 발진기를 나타낸다. Z_{in} 은 발진기에서 트랜지스터가 포함된 부분인 부성 저항 회로의 임피던스를 의미하고, Z_L 은 부하 회로의 임피던스를 의미한다.

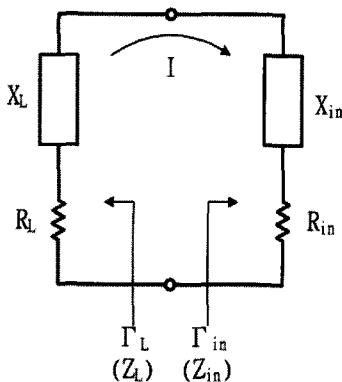


그림 1. 부성 저항 발진기 회로도
Fig. 1. Circuit for a negative-resistance oscillator.

그림 1의 발진기는 식 (1)을 만족하는 주파수에서 동작한다.

$$\begin{aligned} Z_L &= -Z_{in} \\ R_L + R_{in} &= 0 \\ X_L + X_{in} &= 0 \end{aligned} \quad (1)$$

R_L 은 부하 회로의 저항 값으로 양의 값을 갖게 되므로, R_{in} 은 음의 값을 가져야 한다. 이와 동일하게 리액턴스를 나타내는 X_L 과 X_{in} 도 서로 다른 부호를 가져야 한다. 따라서 X_L 이 인덕턴스의 특성을 나타내면 X_{in} 은 커패시턴스의 특성을 가져야 하고, 반대의 경우도 가능하다^[2].

식 (1)을 반사 계수의 식으로 바꾸어 주면, 식 (2)와 같다. 이를 만족하려면 부성 저항 회로의 반사계수는 0 dB보다 커야 한다. 그리고 부성 저항 회로와 부하 회로측 반사계수의 위상은 서로 크기는 같지만 부호는 반대가 되어야 한다.

$$\begin{aligned} \Gamma_L &= \frac{Z_L - Z_0}{Z_L + Z_0} = \frac{-Z_{in} - Z_0}{-Z_{in} + Z_0} \\ &= \frac{Z_{in} + Z_0}{Z_{in} - Z_0} = \frac{1}{\Gamma_{in}} \\ \Gamma_L \cdot \Gamma_{in} &= 1 \end{aligned} \quad (2)$$

그림 1을 클랩형 전압 제어 발진기에 적용하면 그림 2와 같이 트랜지스터와 케환 회로로 구성된 부분을 부성 저항 회로로, 바랙터와 인덕터로 구성된 부분을 부하 회로로 나타낼 수 있다.

그림 2의 회로가 광대역 발진기로 동작하려면 발진을 원하는 대역에서, 결합 커패시터(C_{COUP})의 왼쪽 노드에서 바라본 부성 저항 회로측 반사계수의 크기는 0 dB보다 커야 하고, 위상은 주파수에 따른 변화

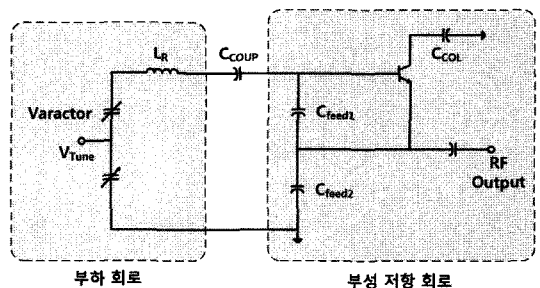


그림 2. 클랩형 전압 제어 발진기 회로도
Fig. 2. Circuit for a clapp VCO.

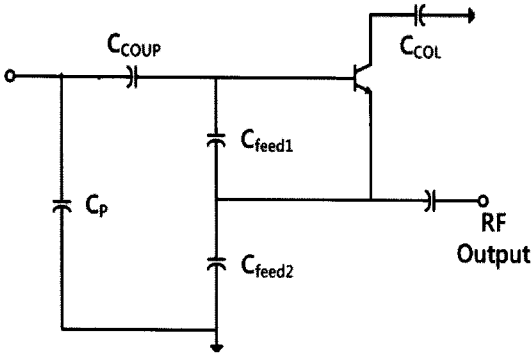


그림 3. 병렬 커패시터를 연결한 부성 저항 회로
Fig. 3. Negative-resistance circuit with shunt capacitor.

가 작을수록 유리하다. 또한 결합 커패시터의 왼쪽 노드에서 바라본 부하 회로는 바랙터 제어 전압 (V_{Tune})이 변함에 따라 반사계수의 위상이 변하게 되는데, 이 변화는 클수록 유리하다^{[3][4]}.

부성 저항 회로와 부하 회로는 결합 커패시터로 연결된다. 이 커패시터의 값이 클수록 부하 회로측 반사계수의 위상 변화 특성이 감소 없이 부성 저항 회로로 전달되어 광대역 전압 제어 발진기에 유리하다. 그러나 결합 커패시터의 값이 커지게 되면 주파수 변화에 따른 부성 저항 회로측 반사계수의 위상 변화가 커지게 되는 단점이 있다. 이는 그림 3과 같이 부성 저항 회로에 병렬로 커패시터(C_P)를 연결하여 보상해 줄 수 있다. 식 (3)은 병렬 커패시터의 영향을 나타낸다.

$$\frac{1}{j\omega C_{NEG}} = \frac{1}{j\omega C} \parallel \frac{1}{j\omega C_P} = \frac{1}{j\omega(C + C_P)}$$

$$j\omega L_{NEG} = j\omega L \parallel \frac{1}{j\omega C_P} = \frac{j\omega L}{(1 - \omega^2 LC_P)} \quad (3)$$

식 (3)에서 C 는 병렬 커패시터가 연결되지 않았을 때, 부성 저항 회로가 커패시턴스 특성을 보일 경우 그 값을 나타내고, L 은 인덕턴스 특성을 보이는 경우에 그 값을 나타낸다. C_{NEG} 와 L_{NEG} 는 각각 병렬 커패시터가 연결된 부성 저항 회로의 커패시턴스와 인덕턴스 값을 나타낸다.

부성 저항 회로가 커패시턴스의 특성을 나타낼 경우, $C \gg C_P$ 이면 C_P 의 값은 C_{NEG} 에 영향이 거의 없지만, C_P 의 값이 증가하면, C_{NEG} 도 증가하게 된다. 부성 저항 회로가 인덕턴스의 특성을 나타낼 경우는

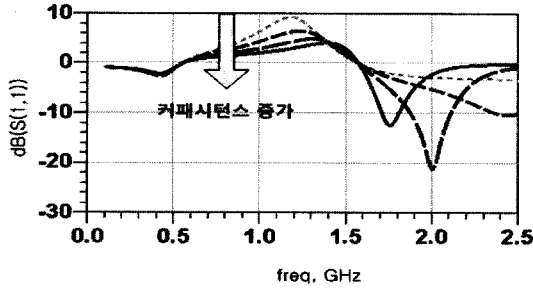
전체의 L_{NEG} 는 $1/(1 - \omega^2 LC_P)$ 의 값에 영향을 받는다. $1 \gg \omega^2 LC_P$ 이면 C_P 의 변화는 L_{NEG} 에 거의 영향이 없다. 식 (3)에 의하면 UHF 대역에서 설계된 부성 저항 회로의 L 이 수 nH의 값을 갖는 경우, C_P 의 값이 수 천 pF 이상으로 크지 않다면, L_{NEG} 의 변화는 거의 없다.

따라서 결합 커패시터 값이 커지면서 발생하는 부성 저항 회로측 반사계수의 위상 변화를 병렬 커패시터로 보상해 주기 위해서는 부성 저항 회로가 다음 조건을 만족하여야 한다. 설계하려는 발진기의 동작 영역 중 낮은 주파수 대역에서는 작은 값의 커패시턴스의 특성을 보여야 하고, 높은 주파수 대역은 큰 값의 커패시턴스의 특성을 보이거나 인덕턴스의 특성을 보여야 한다. 이 경우 병렬 커패시터는 낮은 주파수 대역에서 부성 저항 회로의 커패시턴스와 더해져서 큰 값의 커패시턴스로 보이게 해주고, 높은 주파수 대역에서는 거의 영향이 없다. 결과적으로 전체 발진기의 동작 영역에서 부성 저항 회로측 반사계수의 위상 변화량이 작아지게 된다.

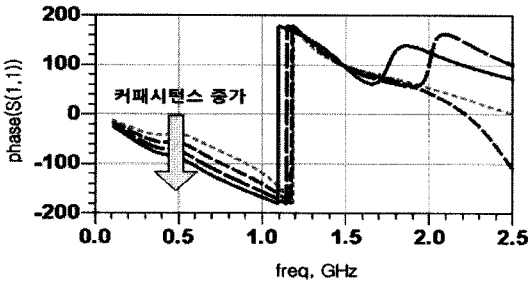
III. 주파수 합성기 설계

광대역 주파수 합성기를 제작하기 위해 시뮬레이션 프로그램 ADS2006을 이용하여 750~1,500 MHz 대역에서 전압 제어 발진기를 설계하였다. NEC사의 NE68159 BJT를 사용하여 그림 3의 병렬 커패시터가 연결된 부성 저항 회로와, Skyworks사의 SMV1249 바랙터를 사용하여 그림 2의 부하 회로를 구성하였다. 설계된 부성 저항 회로 시뮬레이션 결과는 그림 4와 같다.

그림 4의 (a)와 같이 반사계수는 600~1,600 MHz에서 0 dB보다 크지만, 병렬 커패시터(C_P)의 값이 증가할수록 크기가 줄어든다. 위상의 경우는 (b)와 같이 설계 대역인 750~1,500 MHz에서 병렬 커패시터의 값이 증가함에 따라, $-60 \sim 100^\circ$ 로 변화량이 200° 에서, $-140 \sim 100^\circ$ 로 변화되어 120° 로 줄어드는 것을 확인할 수 있다. 또한 750 MHz 대역에서는 병렬 커패시터가 위상에 미치는 영향이 크지만, 1.1~1.5 GHz 대역에서는 그 영향이 감소하거나 거의 없는 것을 확인할 수 있다. 본 논문에서는 광대역 주파수 합성기에 적합한 부성 저항 회로를 구성하기 위해, 반사계수가 0 dB보다 큰 값을 유지하면서 위상 변화



(a) 반사 손실
(a) Return loss



(b) 위상
(b) Phase

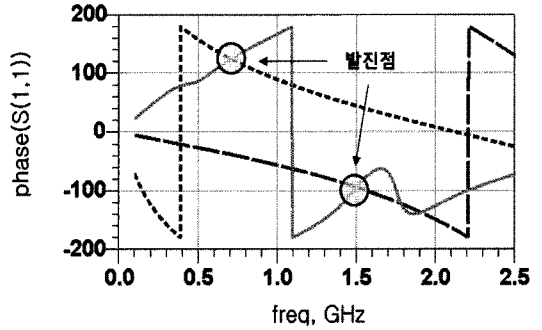
그림 4. 부정 저항 회로 시뮬레이션 결과
Fig. 4. Simulation result of the negative resistance circuit.

량을 최대한 작게 하는 병렬 커패시터를 선택하였다.

설계된 부정 저항 회로와 부하 회로의 반사계수의 위상 특성을 시뮬레이션한 결과는 그림 5와 같다. 설계된 회로의 발진 주파수를 예상하기 위해, 편의상 부정 저항 회로의 위상 특성은 부호를 바꾸어 그림 5에 나타내었다^[3].

시뮬레이션 결과, 바랙터 제어 전압(V_{Tune})이 0~5 V로 변함에 따라 부하 회로의 위상이 변하는 것을 볼 수 있는데, 부정 저항 회로와 부하 회로의 위상이 일치하는 지점이 발진 주파수가 된다. 바랙터 제어 전압이 0 V에서 발진 주파수는 700 MHz, 5 V에서 1,500 MHz 정도로 예상된다. 1,800 MHz, 1,900 MHz 에서도 두 회로의 위상이 일치하여 발진이 가능해보이지만, 그림 4에서 나타난 것처럼 반사계수는 600~1,600 MHz에서만 0 dB 이상이므로 이외의 대역에서는 발진이 일어나지 않는다.

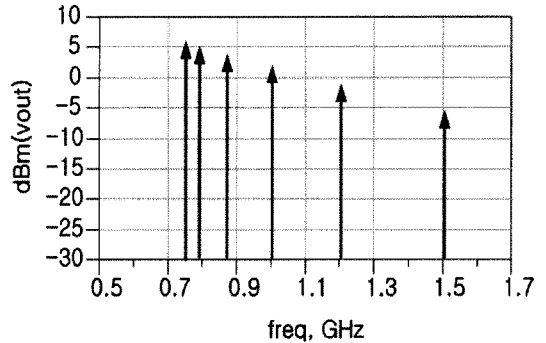
부정 저항 회로와 부하회로를 연결하여 설계된 광대역 전압 제어 발진기는 비선형 해석 기법인



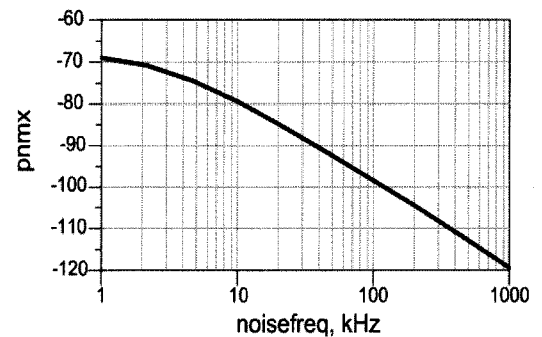
부하 회로
부정 저항 회로

그림 5. 부정 저항 회로와 부하 회로의 위상 변화 특성

Fig. 5. The phase variation looking into the negative resistance circuit and load circuit.



(a) 발진 주파수
(a) Oscillation frequency



(b) 위상 잡음(@1,140 MHz)
(b) Phase noise(@1,140 MHz)

그림 6. 광대역 전압 제어 발진기 특성
Fig. 6. Simulation result of a wideband VCO.

ADS의 Harmonic Balance를 사용하여 시뮬레이션 하였다. 그 결과는 그림 6과 같다. 그림 6(a)는 바랙터 제어 전압을 0 V에서 5 V까지 1 V 단위로 증가시킨 경

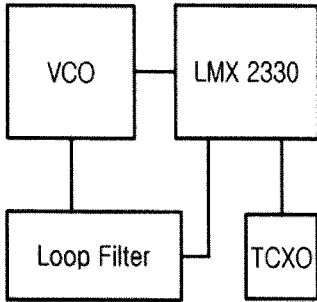


그림 7. 주파수 합성기 블록도
Fig. 7. Block diagram of a frequency synthesizer.

우의 발진 주파수와 출력 전력을 나타내고, 그림 6(b)는 중심 주파수인 1,140 MHz에서의 위상 잡음 특성이다.

설계된 회로는 750~1,510 MHz 대역에서 발진하고, 출력 전력은 5~-5 dBm, 1,140 MHz에서 시뮬레이션한 위상 잡음은 10 kHz 오프셋에서 -80 dBc/Hz이고, 100 kHz 오프셋에서 -99 dBc/Hz의 결과를 보였다.

광대역 전압 제어 발진기에 PLL(Phase-Locked Loop)을 이용하여 그림 7과 같은 구조로 주파수 합성기를 설계하였다. PLL IC는 National Semiconductor사의 LMX2330을 사용하였고, 루프 필터는 3차 수동형을, TCXO(Temperature Compensation Crystal Oscillator)는 13 MHz로 동작하는 것을 사용하였다. 설계된 루프 필터의 대역폭은 200 Hz이고, 주파수 합성기의 채널 간격은 20 kHz이다.

IV. 주파수 합성기 제작 및 측정

설계된 광대역 주파수 합성기는 두께가 0.8 T인 FR-4 기판을 사용하여 그림 8과 같이 제작하였고, Agilent사의 8565EC spectrum analyzer를 사용하여 특성을 측정하였다.

제작된 주파수 합성기는 5 V의 입력 전압으로 18 mA의 전류를 사용한다. 이 때 주파수 조절 범위는 그림 9와 같이 740~1,530 MHz로 70 %의 가변 범위를 갖고, 출력 전력은 2~-6 dBm으로 측정되었다. 그림 9(a)는 바렉터 제어 전압을 0 V에서 5 V까지 1 V 단위로 증가시킨 경우의 발진 주파수와 출력 전력을 나타내고, 그림 9(b)는 중심 주파수인 1,145 MHz에서의 위상 잡음 결과이다. 이 때 바렉터 제어 전압

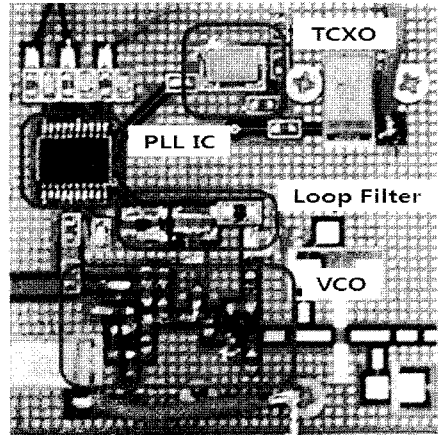
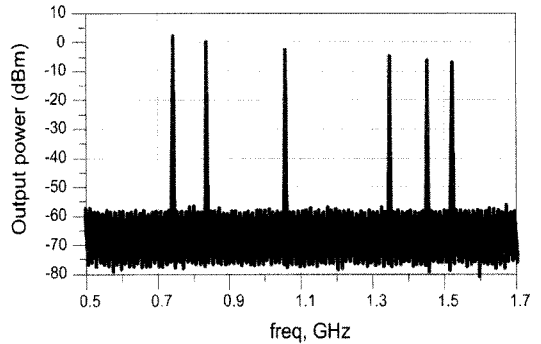
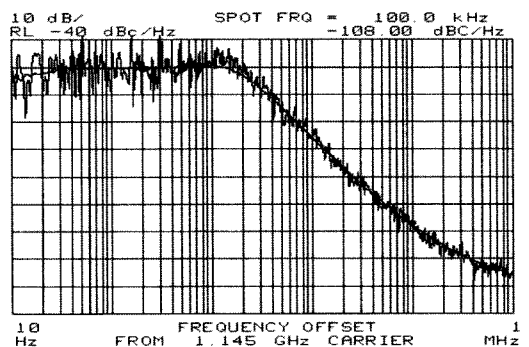


그림 8. 제작된 주파수 합성기
Fig. 8. Fabricated frequency synthesizer.



(a) 동작 범위
(a) Operating range



(b) 위상 잡음
(b) Phase noise

그림 9. 주파수 합성기 측정 결과
Fig. 9. Measured result of a frequency synthesizer.

은 2.4 V이다.

1,145 MHz에서 측정된 위상 잡음은 -77 dBc/Hz @ 10 kHz, -108 dBc/Hz @ 100 kHz이고, 전체 대역

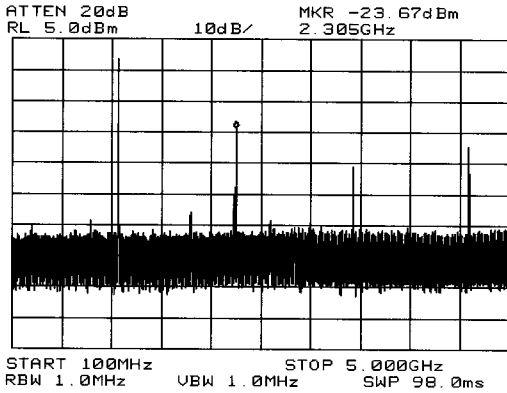


그림 10. 주파수 합성기의 고조파 특성
Fig. 10. Harmonic characteristics of frequency synthesizer.

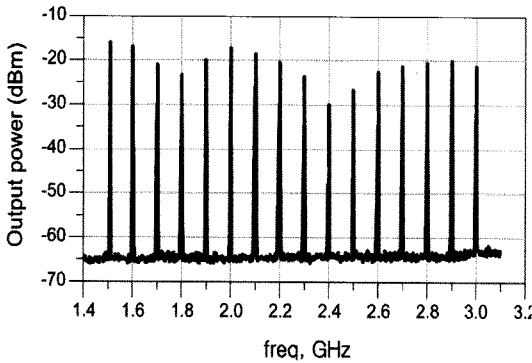


그림 11. 제작된 주파수 합성기의 2차 고조파 특성
Fig. 11. 2nd harmonic characteristics of frequency synthesizer.

에서 $-105 \sim -109$ dBc/Hz @ 100 kHz의 성능을 보였다.

그림 10은 주파수 합성기가 중심 주파수인 1,150 MHz에서 동작하는 경우 고조파 측정 결과를 나타낸다. 2차 고조파의 출력 전력은 -23.7 dBm을 나타내고, 고조파 억압 특성은 20 dBc이다. 동작 영역 전체

에서의 고조파 억압 특성을 알아보기 위해 그림 11과 같이 100 MHz 단위로 2차 고조파의 출력 전력을 측정하였다. 측정 결과, 동작 영역 전체에서 -15 dBm 이하의 특성을 보였고, 억압 특성은 전체 대역에서 15 dBc 이상으로 측정되었다.

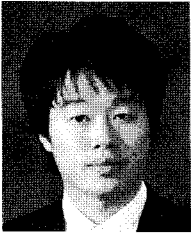
V. 결 론

본 논문에서는 이동 통신 기기에 사용할 수 있도록 0~5 V의 낮은 바렉터 제어 전압에서 70%의 가변 범위를 갖는 광대역 주파수 합성기를 설계하였다. 부성 저항 발진기 이론을 이용하여 클램핑 전압 제어 발진기가 광대역에서 동작할 수 있는 부성 저항 회로와 부하 회로의 반사계수의 위상 변화 조건을 찾고, 이를 적용하였다. 제작된 주파수 합성기는 0~5 V의 전압으로 바렉터를 제어하여, 740~1,530 MHz에서 동작하고, 출력 전력은 $2 \sim -6$ dBm, 1,145 MHz에서 측정된 위상 잡음은 -77 dBc/Hz @ 10 kHz, -108 dBc/Hz @ 100 kHz, 전체 대역에서 $-105 \sim -109$ dBc/Hz @ 100 kHz의 특성을 갖는다.

참 고 문 헌

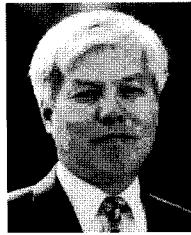
- [1] 김민수, 능동 커패시터를 이용한 2 GHz 대역 주파수 합성기 설계, 서강대학교, pp. 4-5, 2004년.
- [2] David M Pozar, *Microwave Engineering*, John Wiley, pp. 585-587, 2005.
- [3] Peter Shveshkeyev, "A wideband VCO for set-top applications", *Microwave Journal*, vol. 42, no. 4, pp. 74-88, Apr. 1999.
- [4] Andrei Grebennikov, *RF and Microwave Transistor Oscillator Design*, John Wiley, pp. 351-356, 2007.

원 득 호



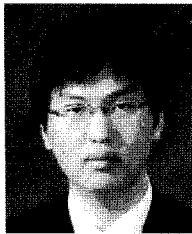
2008년 2월: 서강대학교 전자공학과 (공학사)
2008년 2월~현재: 서강대학교 전자공학과 석사과정
[주 관심분야] 초고주파 회로 설계, 전압 제어 발진기 설계

윤 상 원



1977년 2월: 서울대학교 전자공학과 (공학사)
1979년 2월: 서울대학교 전자공학과 (공학석사)
1984년 5월: 미국 Texas 주립대학교 전기공학과 (공학박사)
1984년 9월~현재: 서강대학교 전자공학과 교수
[주 관심분야] 초고주파 및 밀리미터파 회로설계, RF 시스템

최 광 석



2008년 2월: 서강대학교 전자공학과 (공학사)
2008년 2월~현재: 서강대학교 전자공학과 석사과정
[주 관심분야] 초고주파 회로설계, 전압제어 발진기 설계