

5.2 GHz 대역에서 동작하는 기억 기능 특성을 갖는 궤환 회로를 이용한 변환 이득 저잡음 증폭기 설계

Design of Variable Gain Low Noise Amplifier with Memory Effects Feedback for 5.2 GHz Band

이 원 태 · 정 지 채

Won-Tae Lee · Ji-Chai Jeong

요 약

본 논문에서는 5.2 GHz에서 입력 신호의 크기에 따라 효율적으로 동작하는 저잡음 증폭기를 0.18 um CMOS 공정을 이용하여 설계하였다. 제안된 회로는 궤환 회로와 2단 저잡음 증폭기로 구성되어 있으며, 궤환 회로의 경우 7개의 함수 블록으로 구성되어 있다. 본 논문에서는 변화되는 신호 전압을 감지하는 것과 이전 상태를 기억하는 저장 회로에 초점을 두어 불필요한 전력 소비를 제거하였다. 기억 기능 특성을 갖는 궤환 회로의 출력 값을 이용하여 통제되는 저잡음 증폭기는 11.39 dB에서 22.74 dB까지 변화며, 최고 이득 모드일 때 잡음 지수가 최적화 되도록 설계되었다. 변환 저잡음 증폭기는 1.8 V의 공급 전압에 대해서 5.68~6.75 mW를 소비한다.

Abstract

This paper presents a novel gain control system composed of a feedback circuit, Two stage Low Noise Amplifier (LNA) using 0.18 um CMOS technology for 5.2 GHz. The feedback circuit consists of the seven function blocks: peak detector, comparator, ADC, IVE(Initial Voltage Elimination) circuit, switch, storage, and current controller. We focus on detecting signal and designing storage circuit that store the previous state. The power consumption of the feedback circuit in the system can be reduced without sacrificing the gain by inserting the storage circuit. The adaptive front-end system with the feedback circuit exhibits 11.39~22.74 dB gain, and has excellent noise performance at high gain mode. Variable gain LNA consumes 5.68~6.75 mW from a 1.8 V supply voltage.

Key words : Feedback, IVE Circuit, ADC, Storage, LNA

I. 서 론

최근 증가하는 휴대용 단말기에 대한 소비자들의 요구를 충족시키기 위해, 휴대용 단말기 크기는 줄어드는 동시에 휴대 장비의 지속성을 보장하기 위한 전자제품들은 소비 전력을 최소로 하는 방향으로 기

술이 개발되고 있다. 고속 또는 대용량의 데이터를 전송할 수 있는 WLAN(Wireless Local Area Network) 대역은 일상생활에서 필수불가결한 요소가 되고 있다^[1]. WLAN 대역 수신단에서 중요한 요소인 저잡음 증폭기의 효율뿐만 아니라 전체 시스템의 효율을 증가시키는 방법에 대하여 연구가 수행되고 있다^[2].

「This research was supported in part by Brain Korea 21 project in 2009, WCU(World Class University) program through the Korea Science and Engineering Foundation funded by the Ministry of Education, Science and Technology(R31-2008-000-10008-0), and IDEC(IC Design Education Center) for CAD tools.」

고려대학교 전자통신공학과(Department of Computer and Radio Communication Engineering, Korea University)

· 논문 번호 : 20091012-118

· 교신저자 : 정지채(e-mail : jcj@korea.ac.kr)

· 수정완료일자 : 2009년 12월 16일

전송 매질의 불규칙적인 전송 특성에 의해 발생하는 신호의 손상 현상인 페이딩(fading) 현상 등의 채널 장애로 인해 발생하는 현상은 시스템의 주된 장애 요인이 된다. 따라서 이러한 전자파 환경에 따라서 입력 신호의 크기가 변하기 때문에 이를 효과적으로 통제하는 것이 필요하다.

입력 신호의 크기에 따라 이득이 변하는 시스템을 제한함으로써 해서 전자파 환경의 영향을 최소화하였다. 본 논문에서 제안하는 기억 기능을 활용하여 자동적으로 이득을 보상하는 시스템을 제안했으며, 변환 이득을 가지는 저잡음 증폭기의 구조는 공통 소스 접지형으로 2단으로 구성되어 있다. 첫 번째 저잡음 증폭기의 경우 이득과 잡음 지수의 상관관계를 이용하여 첫 번째 저잡음 증폭기의 잡음 지수가 전체 시스템의 잡음 지수의 값을 대변할 수 있게 설계를 하였다. 두 번째 저잡음 증폭기의 경우 궤환 회로의 신호에 따라서 이득이 변화하도록 하였다^{[2],[3]}.

궤환 회로는 최고값 검출기, 비교기(comparator), ADC(analog to digital converter), 초기 전압 제거 회로(initial voltage elimination circuit), 스위치, 저장 회로, 전류 통제기(current controller)로 구성되어 있다. 최고값 검출기는 검출하는 신호의 최고값을 검출하는 역할을 하며, 검출된 신호의 크기를 비교기, ADC, 그리고 초기 전압 제거 회로를 이용하여 저잡음 증폭기의 이득을 통제하였다. 초기 전압 제거 회로는 초기 전압에 의해 ADC가 오작동이 발생하는 것을 방지하기 위해서 삽입했다. 비교기는 검출 모드(detection mode) 3에서 최대 전압이 검출되었을 때 스위치를 off 시켜서 저장 회로에 저장되어 있는 전 상태(previous state)를 출력으로 내보내고, 그렇지 않은

검출 모드 1/2에서는 저잡음 증폭기의 이득이 증가하는 방향으로 이득 모드를 증가시킨다. 만약 전 상태를 기억하고 있지 않고 있으면 저잡음 증폭기의 이득이 증가하는 방향으로 증가하여 불필요한 전력을 소비할 뿐만 아니라, 믹서의 선형 특성을 나쁘게 하는 요인이 된다^[3].

II. 변환 이득 저잡음 증폭기 설계

수신되는 신호의 크기는 송신하는 안테나와의 위치와 시간, 통신 환경 등에 따라 변화하므로 기저 대역(baseband)에 일정한 크기의 신호를 주기 위해서는 수신되는 신호의 크기에 따라 변환 이득을 갖는 회로가 필요하며, 제안된 변환 이득 특성을 갖는 저잡음 증폭기는 기저 대역의 신호의 크기에 따라 이득을 변화시키면서 기저 대역에서 동작하는 변환 이득 증폭기(variable gain amplifier) 회로의 변환 이득 부담을 줄여줄 뿐만 아니라 믹서의 입력 허용 범위(dynamic range) 내에서 신호가 존재함으로써 비선형 효과를 줄일 수 있다. 그림 1은 저잡음 증폭기를 기저 대역의 신호의 크기에 따라서 자동적으로 변환시키기 위해 제안된 수신기 구조이며, 그림 2은 저잡음 증폭기의 이득을 통제하기 위한 궤환 회로를 나타낸다.

2-1 궤환 회로 설계

제안된 궤환 회로는 첨두값 검출기, 비교기, ADC, 초기 전압 제거 회로, 스위치, 저장 회로, 전류 통제기(current controller)로 구성되어 있다. 기능별로 나눠서 전력효율을 고려했을 뿐만 아니라, 각각의 회로를 하나의 시스템으로 구성하였을 때 전체 시스템의 효율을 개선시키고자 하였다.

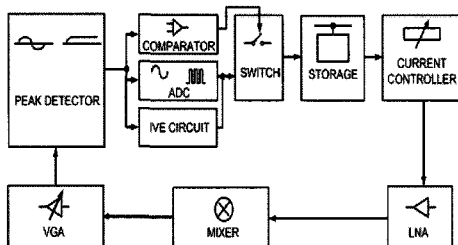


그림 1. 기억 기능을 활용하여 자동적으로 이득을 보상하는 시스템 블록도
Fig. 1. Block diagram of the proposed system using memory circuits.

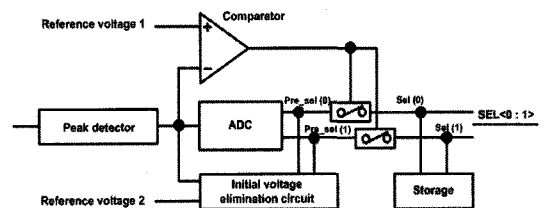


그림 2. 저잡음 증폭기의 이득을 통제하기 위한 궤환 회로
Fig. 2. Feedback circuit for controlling the gain mode of the LNA.

정현파 전압(sinusoidal voltage)의 첨두값 검출기(envelope detector)는 정현파 신호의 피크에 비례하여 출력 전압을 발생하는 장치이다. Diode-connected transistor, 버퍼, PMOS를 이용하여 V_{peak} 전압을 감지하는 회로를 그림 3과 같이 제안하였다. 빠른 응답 성능을 가진 정현파 전압의 크기를 검출하기 위해 검출기는 넓은 선형 동작 범위를 필요로 한다. 정현파 전압 V_i 이 C_1 에 저장되어 있는 V_{peak} 전압보다 커지게 되면, 버퍼의 출력은 “Low”가 되어 PMOS가 구동되어 V_{peak} 전압 값을 올리게 된다. 만약, V_{peak} 전압이 V_i 보다 크면, 여분의 전하는 방전 회로를 통해서 방전된다.

비교기(SW하기 위한 비교기)의 양(+) 입력에는 기준 전압 1(reference voltage 1)을 음(-) 입력에는 첨두값 검출기의 출력 전압을 인가하여 두 개의 신호를 비교한다. 양입력이 음입력보다 더 클 경우 “high”의 값이 출력되며, 반대로 더 낮을 경우에는 “low”의 값을 출력한다. 이러한 원리에 의해서 입력 신호가 기준 전압 신호보다 큰 신호가 들어오면 비교기(SW하기 위한 비교기)의 출력을 “low”의 값을 출력해서 스위치를 off 시켜서 저장 회로의 값이 전 상태를 유지하도록 하였다.

아날로그 입력 신호와 기준 전압의 비교 동작을 수행하여 아날로그 신호를 디지털 코드로 변환하는 회로를 ADC라고 한다. ADC 구조 중 고속 변환을 할 수 있는 플래시 ADC를 이용하여 케환 회로를 구성하였다^[4]. 참고 신호는 분압하는 저항들 사이에 연결되어 첨두값 검출기의 출력 신호와 비교하여 온도계 코드(thermometer code)를 출력시킨다. 이렇게 출

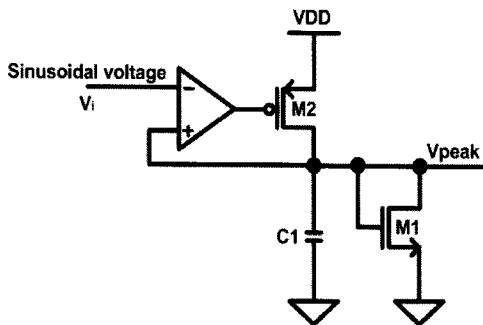


그림 3. 첨두값 검출기 회로
Fig. 3. Envelope detector circuit.

력되는 부호를 온도계 코드(thermometer code)라 하며, 디코더를 이용하여 이진코드로 변환하였다. 그림 4은 입력 전압에 따른 이진 코드값을 나타낸다. ADC에 존재하는 비교기는 bang-bang 동작을 피하기 위하여 비교기가 히스테리시스 특성을 가지도록 하였다.

초기 전압 제거 회로는 비교기와 시간 지연 회로으로 구성되어 있으며, 그림 5와 같이 구성하였다. 비교기는 기준 전압 2(voltage reference 2)을 가장 낮은 기준 검출 모드 1보다 낮게 잡아서 시간 지연 회로의 출력 초기 값을 low값을 가지게 하며, 최고값이 나오기 전까지의 시간은 지연 시간보다 약간 길게 하였다. 검출기의 출력 값이 기준 전압보다 증가하였을 때 pre_sel(1)과 pre_sel(2)가 “high”의 값을 갖는 시간을 지연 시간만큼 늦게 함으로써 ADC의 출력 값이 비정상적으로 동작하는 것을 방지하는 역할을 한다.

저장 회로는 그림 6과 같이 기본 기억 단위인 래치(latch)를 이용하여 구성하였다. 일반적으로 래치는 두 개의 상호 접속된 논리 반전기로 구성되어 있으며, 두 상보(complementary) 출력을 갖는 쌍안정(bistable) 회로라고 말할 수 있다. 래치는 한 비트를

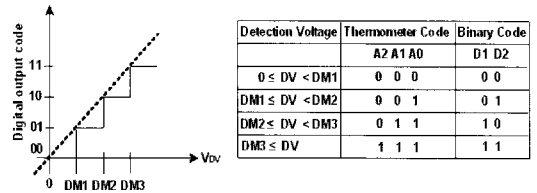


그림 4. 입력 전압에 따른 온도계 코드에서 이진 코드로 변환 관계도

Fig. 4. Code transitions from thermometer code to binary code according to input voltage.

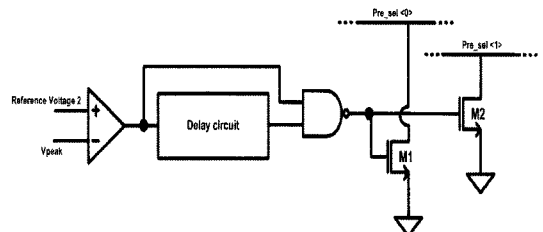


그림 5. 초기 전압 제거 회로
Fig. 5. Initial volage elimination circuit.

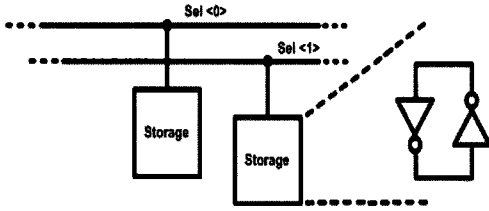


그림 6. 저장 회로
Fig. 6. Storage circuit.

기억하기 때문에 두 개의 비트를 통제하는 궤환 회로에서는 2개의 래치를 사용하였으며, 저장 회로의 출력값과 sel (0)/(1)의 값 사이에서 충돌현상이 발생했을 때 원하는 동작을 할 수 있도록 트랜지스터의 크기를 결정했다.

전류 통제는 sel (0)과 sel (1)의 정보를 이용하여 디지털로 코드화된 데이터를 해독하여 그에 대응하는 신호로 바꿔주는 디코더 회로이며, 이 회로를 사용하여 sel (0)과 sel (1)를 효과적으로 통제하였다. 이렇게 변환된 신호는 변환 이득 저잡음 증폭기의 이득이 변환시키는 역할을 한다. 그림 7은 변환 이득 저잡음 증폭기와 전류 통제를 연결 관계를 나타낸다. 이러한 원리로 궤환 회로는 저잡음 증폭기의 이득을 통제한다.

궤환 회로의 주요한 기능은 저잡음 증폭기의 이득을 조정하는 것으로, 검출하는 신호의 크기에 따라 저잡음 증폭기의 이득을 조절하며, 저장 회로는 전 상태를 기억함으로써 불필요하게 이득이 증가하

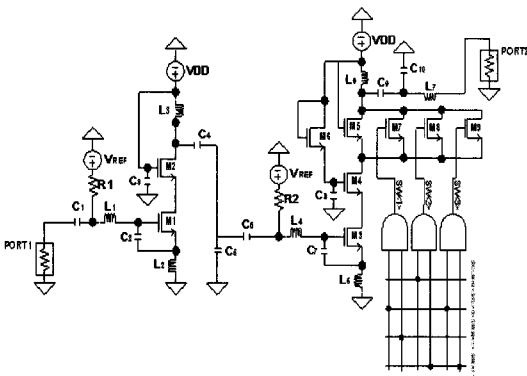


그림 7. 2단 저잡음 증폭기와 전류 통제 회로
Fig. 7. Circuits of 2-stage low noise amplifier and current controller.

는 것을 피하게 하는 역할을 하기 때문에 불필요하게 저잡음 증폭기의 이득을 증가시키는 것을 방지하게 하여 불필요한 전력 소비를 방지하는 역할을 한다.

2-2 저잡음 증폭기 설계

저잡음 증폭기는 수신단의 제일 앞에 위치하여 원하는 신호를 증폭시키되 잡음의 증폭을 최대한 억제시키는 역할을 하며^[5], 입력 신호의 크기에 따라서 자동적으로 이득을 선택하는 회로를 그림 7과 같이 제안하였다. 제안된 이득 변환 저잡음 증폭기의 구조는 그림 7에서 볼 수 있는 것과 같이 기본적으로 캐스코드 구조의 저잡음 증폭기이다. 기본적인 캐스코드 구조의 입력 임피던스를 살펴보면 식 (1)과 같이 나타내어질 수 있다^[5].

$$Z_i = j\omega(L_s + L_g) + \frac{1}{j\omega C_{gs}} + \frac{g_m L_s}{C_{gs}} \quad (1)$$

위 식을 살펴보면 트랜지스터의 트랜스컨덕턴스가 고정된 상태에서 소스 인덕터 L_s 를 이용하면 입력 임피던스에서 요구하는 실수부를 만들 수 있으며, 게이트 인덕터 L_g 를 이용하여 입력 임피던스의 허수부를 제거할 수 있다. 기본적인 캐스코드 구조에 게이트와 소스 사이에 추가적인 캐패시터를 연결하게 되면 최적의 잡음 반사계수 G_{min} 과 S_{11} 가 스미스 차트 상에서 한 곳에 모이는 현상이 나타나기 때문에 이득과 잡음 정합을 동시에 달성할 수 있다^[6]. 일반적으로 MOS의 주요 잡음 전력원으로는 드레인 전류 잡음(channel current noise)과 게이트 잡음(induced gate noise)으로 이루어져 있으며, 각각의 전력 밀도는 다음과 같이 주어진다.

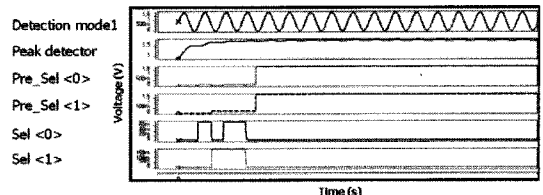


그림 8. 검출된 신호 크기에 따른 궤환 회로의 출력 파형
Fig. 8. Output waveform as processed by feedback circuit according to detection signal.

5.2 GHz 대역에서 동작하는 기억 기능 특성을 갖는 케환 회로를 이용한 변환 이득 저잡음 증폭기 설계

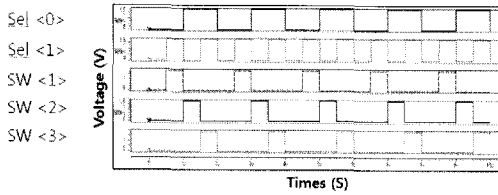


그림 9. 케환 출력 파형에 따른 동작 트랜지스터 선택 파형

Fig. 9. Waveform of selecting transistor according to different output of the feedback.

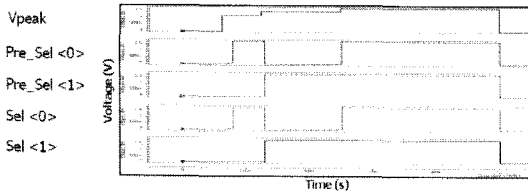


그림 10. 검출 모드에 따른 저장 회로 동작 파형

Fig. 10. Waveform of storage circuit according to different detection mode.

$$\overline{i_{nd}^2} = 4kT\gamma g_{do} \quad (2)$$

$$\overline{i_{ng}^2} = 4kT\delta g_g \quad (3)$$

식 (2), (3)에서 k 는 볼츠만 상수이고, T 는 절대온도이며, g_{do} 는 트랜지스터의 영바이어스 드레인 컨덕턴스 (zero-bias drain conductance)로 $V_{DS}=0$ V일 때 드레인과 소스 사이의 컨덕턴스를 나타낸다. γ 는 드레인 전류의 잡음 계수로 long channel의 경우 γ 값은 2/3이고, δ 는 게이트 잡음계수이며, long channel의 경우 4/3이고, 게이트 잡음과 관련된 파라미터 $g_g = w^2 C_{gs}^2 / 5g_{do}$ 이다. 이 두 가지 잡음원을 고려하여 잡음 지수(noise factor)를 구할 수 있으며^[3], 잡음 지수가 최고가 되는 값을 찾을 수 있다. 따라서 특정 소모 전력과 입력 임피던스에 대해 증폭기의 잡음 지수를 최소화할 수 있는 트랜지스터의 최적의 크기가 존재한다^{[3],[5]}.

본 논문에서 제안한 저잡음 증폭기는 충분한 이득을 확보하여 안정적 수신 특성과 적절한 잡음 지수를 얻기 위해 단일 출력을 갖는 2단 저잡음 증폭기로 구성되어 있으며, 저잡음 증폭기는 캐스코드를 기본 구조로 해서 소스에 인덕터를 추가하는 방법으

로 설계하였다^[5]. 첫째 단 저잡음 증폭기의 경우, 기존의 이득 변환 저잡음 증폭기에서 이득이 변화하면서 나타나는 반사계수와 잡음 지수가 심하게 악화되는 현상을 줄이기 위해 사용했으며^[6], 둘째 단 저잡음 증폭기는 이득을 조절하기 위하여 사용하였다. Friis 공식에 의하면 첫째 단에서 일정 이득이 나오면, 전체 시스템에서의 잡음 지수값은 첫째 단의 잡음 지수 값을 따른다. Friis 공식을 고려하여 첫째 단 저잡음 증폭기는 제안된 전력조건하에서 잡음을 최적화시키는 방법(power-constrained noise optimization technique)^[6]을 사용하였다.

변환 이득 증폭기에서 이득을 조절을 하는 방법은 크게 디지털 조정 신호를 이용하여 이산적으로 이득을 통제하는 방법^{[8],[9]}과 아날로그 신호를 이용한 연속적으로 이득을 조정^[10]하는 방법으로 나눌 수 있다. 본 논문에서는 정확한 이득을 통제가 가능하도록 디지털 신호를 이용하여 조정하는 방법을 사용하였다. 둘째 단의 저잡음 증폭기는 케환 블록에서 발생하는 신호에 의해서 이득을 조절할 수 있도록 이루어져 있다. 제안된 변환 이득 저잡음 증폭기는 캐스코드 구조를 기본구조로 사용하여 설계하였다. M5, M7, M8, M9 트랜지스터들은 케환 회로의 Sel (0)과 Sel (1)의 값에 따라 선형적인 변환 이득 특성을 얻기 위해 사용되었다. 선형적인 변환 이득 특성을 얻기 위해 사용한 트랜지스터들에 흐르는 전류를 I_1, I_2, I_3, I_4 라고 할 수 있고, 다음과 같은 관계가 있다.

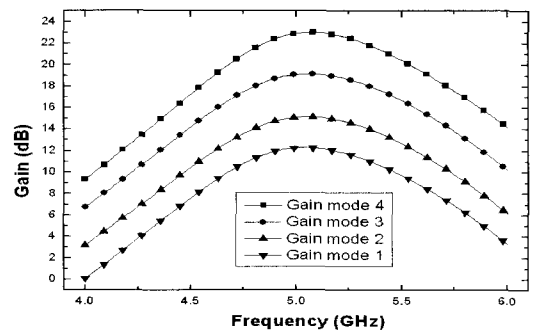


그림 11. 4가지 모드에 대한 변환 이득 저잡음 증폭기의 S_{21} 시뮬레이션 결과

Fig. 11. Simulation results of S_{21} in the variable gain LNA at 4 gain modes.

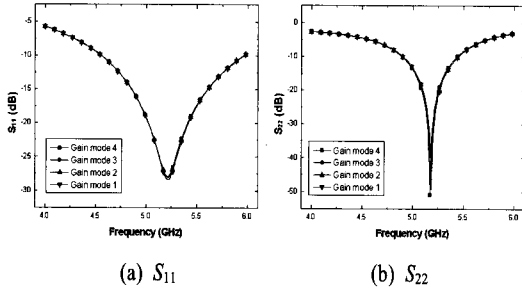


그림 12. 2단 저잡음 증폭기의 입·출력 반사계수 (S_{11} , S_{22})
 Fig. 12. Input and output reflection coefficient(S_{11} and S_{22}) of the 2 stage LNA.

$$Gain\ mode\ 1 = I_1(W_5/L_5) \quad (4)$$

$$Gain\ mode\ 2 = I_1(W_5/L_5) + I_2(W_7/W_7) \quad (5)$$

$$Gain\ mode\ 3 = I_1(W_5/L_5) + I_3(W_8/L_8) \quad (6)$$

$$Gain\ mode\ 4 = I_1(W_5/L_5) + I_4(W_9/W_9) \quad (7)$$

변환 이득을 갖는 저잡음 증폭기는 다양한 조건 하에서 최상의 효율이 나올 수 있도록 잡음 지수, 이득의 변화, 선형성, 전력 소비, 칩 크기 등의 상충 관계(trade-off)를 분석하여 최상의 트랜지스터의 크기를 찾아냈다. M4의 경우 입력과 출력의 아이솔레이션을 높이기 위해서 사용하였다.

III. 시뮬레이션 결과

회로의 시뮬레이션은 케환 회로의 경우 HSPICE를 이용하였으며, 2단 증폭기의 경우 Cadence spectre를 이용하여 유용성을 검증하였다. 첨두치 검출기에 임의의 신호를 인가했을 때 변환 이득 저잡음 증폭

기의 변화를 관찰하였다. 그림 8, 9는 베이스 밴드에서 검출한 신호의 크기에 따른 케환 블록의 출력 파형을 보여주는 시뮬레이션 결과이다. $sel(0)$ 과 $sel(1)$ 의 신호를 통제하는데 있어 그림 7과 같이 디코더를 사용함으로써 효과적으로 변환 이득을 갖는 저잡음 증폭기를 통제하도록 하였다. 그림 10은 입력에서 검출 모드 3이 검출되었을 때 저장 회로에 의해 기억 효과가 나타나는 것을 보여준다. 저잡음 증폭기에 공급된 전원은 1.8 V를 사용하였으며, 그림 11은 저잡음 증폭기의 모드에 따른 이득 값을 나타낸다. 이득은 22.74 dB에서 11.39 dB까지 변하는 것을 알 수 있으며, 그림 12를 보면 5.2 GHz에서 반사손실은 10 dB 이하의 특성을 나타낸다. 그림 13은 잡음 지수 특성을 나타낸다. 잡음 지수는 3 dB 이하의 특성을 보여준다. 표 1은 제안된 변환 전압 이득을 갖는 저잡음 증폭기의 성능을 정리했다. 표 1에서의 전력 소모는 가변 이득 저잡음 증폭기만을 고려된 것으로 모드의 변화에 관계없이 일정한 전력을 소모한다. 변환 이득 저잡음 증폭기의 이득이 증가할수록 선형성은 중요한 변수가 되기 때문에 표 1에서 볼 수 있는 것처럼 주어진 주파수에서 적절한 선형성이 나오도록 설계를 하였다. 표 2는 최근에 발표된 변환 이득 저잡음 증폭기에 대한 성능과 제안한 저잡음 증폭기 시스템이 제공하는 최악의 성능과 비교하였다. 표 1을 보면 최대 이득(22.74 dB)일 때 2.4 dB의 잡음 지수를 가지고, 최소 이득(11.39 dB)일 때 3 dB의 잡음 지수를 갖는다. 이는 큰 신호보다는 작은 신호에서 잡음의 영향을 더 받기 때문에 작은 신호에서 작은 잡음 지수의 값을 제공함으로써 전체 시스템의 잡음 지수를 향상시킨다.

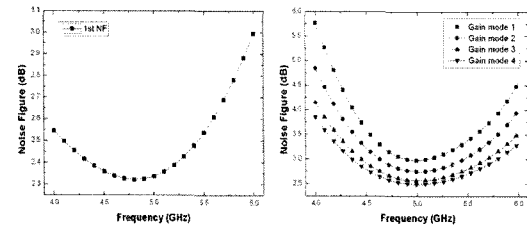
표 1. 변환 이득을 갖는 2단 저잡음 증폭기 특성

Table 1. Summary of the characteristics for the two stage LNA with variable gain.

| Mode | Tech. | Freq. [Hz] | NF[dB] | Gain[dB] | IP3[dBm] [VG LNA] | P.cons[mW] [VG LNA] |
|-------------|---------|------------|--------|----------|----------------------|------------------------|
| Gain Mode 1 | 0.18 um | 5.2 G | 3 dB | 11.39 | -2.18 dBm | 5.68 |
| Gain Mode 2 | | | 2.8 dB | 14.87 | 0.19 dBm | 6.16 |
| Gain Mode 3 | | | 2.6 dB | 18.87 | 4.1 dBm | 6.58 |
| Gain Mode 4 | | | 2.4 dB | 22.74 | 1.5 dBm | 6.75 |

표 2. 변환 이득을 갖는 2단 저잡음 증폭기 성능 비교
Table 2. Performance comparison of the two stage LNA with variable gain.

| Reference | [10] | [11] | This work |
|---------------|--------------|-----------|------------------------|
| Technology | CMOS 0.18 um | | |
| Frequency | 3.1~9.5 | 5.7 | 5.2 |
| S_{11} (dB) | <9 | <-20 | -30 (Low gain mode) |
| S_{22} (dB) | N/A | <-20 | -34 (Low gain mode) |
| Gain(dB) | 15.9~17.5 | 14.6~20.7 | 11.39~22.74 |
| NF(dB) | 4.7~5.7 | 4.4 | 3(Low gain mode) |
| IP3(dB) | N/A | -6.5 | -2.18(VG LNA) |



(a) 첫째 단 잡음 지수 (a) Noise figure of the first stage LNA
(b) 이득 모드에 따른 2단 저잡음 증폭기의 잡음 지수 (b) Noise figure of the two stage LNA under different gain mode.

그림 13. 2단 저잡음 증폭기의 잡음 지수
Fig. 13. Noise figure of the tow stage LNA.

IV. 결 론

본 논문은 케환 회로를 이용하여 자동적으로 이득을 변화시키는 저잡음 증폭기를 0.18 um CMOS 공정을 이용하여 구현하였다. 전 상태를 기억하는 저장 회로를 이용하여 케환 회로를 구현함으로써, 효과적으로 불필요한 전력 소비를 제거하는 동시에 자동으로 넓은 이득을 통제하는 저잡음 증폭기를 설계하였다. 케환 회로에서 변환 이득 저잡음 증폭기로 신호가 전달될 때 전류 통계를 디코더로 구현함으로써 적은 비트를 이용하여 효과적으로 통제하도록 하였다. 설계된 저잡음 증폭기는 1.8 V 공급 전

압 조건에서 모드에 관계없이 비슷한 전력을 소모하며, 최고 이득 모드에서 최저 이득 모드까지 약 11 dB 변하는 변환 이득 특성을 얻었다. 잡음 지수는 5.2 GHz에서 이득 모드 1=3 dB, 이득 모드 2=2.8 dB, 이득 모드 3=2.6 dB, 이득 모드 4=2.4 dB를 얻었다. 입력 신호의 크기가 작아서 이득 모드 4로 동작할 때 가장 낮은 잡음 지수를 제공함으로써 해서 시스템 전체에 잡음의 영향을 최소화 하였다.

참 고 문 헌

- [1] C. Cha, S. Lee, "A 5.2-GHz LNA in 0.35 um CMOS utilizing inter-stage series resonance and optimizing the substrate resistance", *IEEE Journal of Solid- State Circuits*, vol. 38, pp. 669-672, Apr. 2003.
- [2] A. Vallese, A. Neviani, "Analysis and design of an integrated notch filter for the rejection of interence in UWB system", *IEEE Journal of Solid-State Circuits*, vol. 44, pp. 331-343, Feb. 2009.
- [3] K. Han, K. Lee, "Complete high-frequency thermal noise modeling of short-channel MOSFETs and design of 5.2 GHz low noise amplifier", *IEEE Journal of Solid- State Circuits*, vol. 40, pp. 726-735, Mar. 2005.
- [4] R. Barker, *CMOS Circuit Design Layout Simulation*, *IEEE Pressseries on Microelectronic System 2nd Edition*, pp. 985-995, May 2005.
- [5] D. K. Shaeffer, T. H. Lee, "A 1.5 V, 1.5 GHz CMOS low noise amplifier", *IEEE Journal of Solid-State Circuits*, vol. 32, pp. 745-759, May 1997.
- [6] T. Kien, S. G. Lee, "CMOS low noise amplifier design optimization technique", *IEEE Trans. Microwave Theory and Techniques*, vol. 52, no. 5, pp. 1433-1442, May 2004.
- [7] H. O. Elwan, M. Ismail, "Digitally programmable decibel-linear CMOS VGA for low-power mixed signal applications", *IEEE Trans. Microwave Theory and Techniques*, vol. 47, no. 5, pp. 388-398, May 2000.
- [8] F. Piazza, P. Tsivis, "A 2 mA/3 V 71 MHz IF

amplifier in 0.4 um CMOS programmable over range", *ISSCC*, session 5, pp. 78-79, Feb. 2009.

- [9] W. Song, C. Cho, "High frequency/high dynamic range CMOS VGA", *Electrical Letters*, vol. 35, pp. 1096-1098, Jun. 2000.
- [10] A. Bevilacqua, A. M. Niknejad, "An ultra-wide-band CMOS LNA for 3.1 to 10.6 GHz wireless

receiver", *ISSCC*, session 21, pp. 382-533, Dec. 2004.

- [11] J. Hu, L. Ragan, "A fully integrated variable gain 5.75 GHz LNA with on chip active balun for WLAN", *IEEE Trans. Microwave Theory and Techniques*, vol. 55, no. 7, pp. 388-398, Aug. 2008.

이 원 태



2007년 2월: 고려대학교 전파공학과 (공학사)
 2008년 2월~현재: 고려대학교 컴퓨터전파공학과 석사과정
 [주 관심분야] 집적 회로 설계, 그린 합수를 이용한 전자장 해석

정 지 채



1980년 2월: 고려대학교 전자공학과 (공학사)
 1982년 2월: 한국과학기술원 전기전자공학과 (공학석사)
 1988년 2월: 미국 Carnegie-Mellon University (공학박사)
 1982년~1985년: 한국과학기술연구원 연구원

1988년~1993년 AT&T Bell Lab. 연구원
 1993년~1995년 포항공과대학교 교수
 1995년~현재: 고려대학교 정보통신대학 컴퓨터통신공학부 교수
 [주 관심분야] 초고속 광 네트워크, 광 변조 방식 기술, 회로 및 시스템, RF 집적 회로 설계