
스위치형 커패시터를 이용한 새로운 형태의 3차 직렬 접속형 시그마-델타 변조기

류지열* · 노석호**

A Novel Third-Order Cascaded Sigma-Delta Modulator using Switched-Capacitor

Jee-Youl Ryu* · Seok-Ho Noh**

요 약

본 논문은 저 전압 및 저 왜곡 스위치형 커패시터 (switched-capacitor, SC)를 적용한 새로운 형태의 몸체효과 보상형 스위치 구조를 제안한다. 제안된 회로는 저 전압 SC 회로를 위해서 rail-to-rail 스위칭을 허용하며, 기존의 부트스트랩된 회로 (19dB) 보다 더 우수한 총 고조파 왜곡을 가진다. 설계된 2-1 캐스케이드 시그마 델타 변조기는 통신 송수신 시스템내의 오디오 코덱을 위한 고해상도 아날로그-디지털변환을 수행한다. 1단 폴드형 캐스캐이드 연산증폭기 및 2-1 캐스케이드 시그마 델타 변조기는 0.25 마이크로미터 이중 폴리 3-금속 표준 CMOS 공정으로 제작되었으며, 2.7V에서 동작한다. 연산증폭기의 1% 정착시간은 16 pF의 부하 용량에 대해 560ns를 보였다. 제작된 시그마 델타 변조기에 대한 검사는 비트 스트림 검사 및 아날로그 분석기를 이용하여 수행되었다. 다이 크기는 1.9×1.5 mm²였다.

ABSTRACT

This paper proposes a new body-effect compensated switch configuration for low voltage and low distortion switched-capacitor (SC) applications. The proposed circuit allows rail-to-rail switching operation for low voltage SC circuits and has better total harmonic distortion than the conventional bootstrapped circuit by 19 dB. A 2-1 cascaded sigma-delta modulator is provided for performing the high-resolution analog-to-digital conversion on audio codec in a communication transceiver. An experimental prototype for a single-stage folded-cascode operational amplifier (opamp) and a 2-1 cascaded sigma-delta modulator has been implemented in a 0.25 micron double-poly, triple-metal standard CMOS process with 2.7 V of supply voltage. The 1% settling time of the opamp is measured to be 560 ns with load capacitance of 16 pF. The experimental testing of the sigma-delta modulator with bit-stream inspection and analog spectrum analyzing plot is performed. The die size is 1.9×1.5 mm².

키워드

스위치형 커패시터, 보상형 스위치 구조, 이득, 시그마 델타 변조기

Key word

Switched-capacitor, Compensated switch configuration, Gain, Sigma-delta modulator

* 부경대학교 전자컴퓨터정보통신공학부 교수

** 안동대학교 전자공학과 교수

접수일자 : 2009. 07. 27

심사완료일자 : 2009. 08. 24

I. 서 론

컴퓨터, 통신, 자동차 및 계측 시스템 등 최근 전자 시스템의 대부분은 혼합 신호 (mixed-signal) 시스템으로 구성되어 있다. 이러한 시스템 중 일부 응용분야에서는 소비전력과 칩 면적을 고려하여 디지털 회로부분은 제어, 캘리브레이션 또는 저장 시스템에 적용하는 반면, 그 처리는 아날로그 영역에서 이루어지도록 구성한다 [1-2]. 대표적인 예로서 온라인 영상 획득 및 처리에 사용되는 마이크로 비전 시스템을 들 수 있다. 그러나, 많은 응용분야에서 아날로그 회로의 사용은 인터페이스 측면에서 제한을 받기 때문에 디지털 회로로 그 처리를 수행한다 [3]. 이러한 경향으로 말미암아 전통적으로 아날로그 분야에 적용되어 왔던 것을 디지털 기술에 적용하려는 시도를 촉진시켜 왔다. 아날로그 회로에 비해 디지털 회로가 가진 장점 즉, 쉬운 프로그래밍 전환, 융통성, 설계 및 테스트의 용이함에 근거를 두고 있다. 이러한 시스템으로 통신 송수신 시스템의 오디오 코덱부분에 아날로그 신호를 디지털 신호로 변환시켜주는 아날로그-디지털 변환기 (analog-to-digital converter, ADC, A/D)를 들 수 있다. ADC에 대한 연구 개발은 오랜 세월을 두고 꾸준히 발전되어 왔는데, 특히 저가, 저전압동작 및 저소비전력의 장점을 지닌 CMOS 기술의 발전과 더불어 이러한 장점에 잘 부합되는 고해상도 시그마-델타 (sigma-delta, $\Sigma\Delta$) 변조기 개발에 대한 연구가 VLSI 기술 분야에 많이 진행되어 왔다 [4-9]. 특히 선형성, 효율성 및 적용 용이성 등의 장점으로 인해 스위치형 커패시터 (switched capacitor, SC) 회로 기술이 이러한 변조기에 많이 적용되어 왔다 [9-11]. 성능 (high quality)이 우수한 SC 특성이 저전압에서 동작할 경우 최대의 장점이 될 수 있지만 전통적인 SC 기술은 스위치 구동 문제로 인해 저전압에서 적절히 동작하지 못하는 단점을 가지고 있다. 저전압은 스위치로 사용되는 트랜지스터가 턴 온 (turn on) 되는데 충분한 오버드라이브 (overdrive)를 제공하지 못하기 때문이다. 이러한 단점을 극복하기 위한 방법으로 스위치 구동을 위한 전압 증배 (multiplication) 기술을 이용하고 있으나 아직 해결해야 할 문제점이 많이 남아있다 [10].

본 논문에서는 저전압 및 저 왜곡 스위치형 커패시터를 적용한 새로운 형태의 몸체효과 보상형 스위치 구조

를 제안한다. 제안된 회로는 저전압 SC 회로를 위해서 rail-to-rail 스위칭을 허용하며, 기존의 부트스트랩된 회로보다 더 우수한 총 고조파 왜곡을 가진다. 설계된 2-1 캐스캐이드 시그마 델타 변조기는 통신 송수신시스템 내의 오디오 코덱을 위한 고해상도 아날로그-디지털 변환을 수행한다. 1단 폴드형 캐스캐이드 연산증폭기 및 2-1 캐스캐이드 시그마 델타 변조기는 0.25- μm 이중 폴리 3-급속 표준 CMOS 공정으로 제작되었으며, 2.7V에서 동작한다.

II. 시그마-델타 변조기 설계

스위치형 커패시터 회로의 응용 분야는 필터, 파이프라인 아날로그-디지털변환기 및 시그마-델타 아날로그-디지털변환기 등을 들 수 있다. 이 중에서 SC 회로의 중요한 응용분야 중의 하나가 시그마-델타 아날로그-디지털변환기 ($\Sigma\Delta$ A/D converter)이다. 그림 1은 $\Sigma\Delta$ A/D 변환기의 블록 다이어그램을 나타낸 것이다. 이러한 형태는 양자화 노이즈 (quantization noise)를 고주파 영역으로 밀어 올리고 디지털 필터를 이용하여 제거할 수 있기 때문에 오디오 응용과 같은 협신호 대역폭에 대해 고해상도를 달성할 수 있다. 그림 1에 나타나 있듯이 $\Sigma\Delta$ A/D 변환기는 적분기 (Integrator), 비교기 (Comparator), 디지털 저역통과필터 (Low-Pass Filter, LPF) 및 1비트 디지털-아날로그 변환기(DAC)로 구성되어 있다. 또한 $\Sigma\Delta$ 변조기 (modulator)는 $\Sigma\Delta$ A/D 변환기, 클럭 발생기, 주 바이어스부 (master bias) 및 디지털 로직/출력 버퍼로 구성되어 있다.

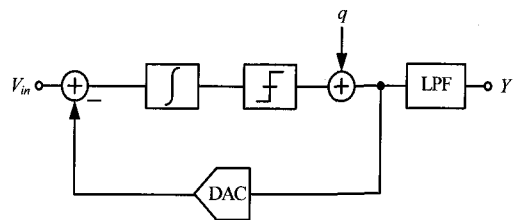


그림 1. 시그마-델타 아날로그-디지털변환기
Fig. 1. Block diagram of sigma-delta A/D converter.

그림 1에서 SC 회로부는 연산 증폭기, 커패시터 및 스위치로 구성된 적분기와 비중복 (non-overlapping) 클럭

부로 구성되어 있다. 다음에서 $\Sigma\Delta$ 변조기의 각 구성요소들 중 본 연구에서 제안하고자 하는 중요한 회로부들을 언급한다.

(1) 연산 증폭기 (Operational amplifiers) 설계

그림 2는 적분기에 사용된 1단 완전 폴드형 캐스코드 연산증폭기를 나타낸 것이다. 앞에서 언급했듯이 $\Sigma\Delta$ 변조기의 중요한 구성요소중의 하나가 적분기인데, 이러한 적분기에서 연산증폭기는 높은 dc 이득, 빠른 슬루율 (slew rate) 및 zero dc 오프셋을 갖도록 설계되어야 한다. 특히 dc 이득은 스위칭형 커패시터 적분기의 이산시간 전달함수의 정확성에 영향을 미치기 때문에 dc 이득을 충분히 높도록 설계하였다. 또한 증폭기 반응시간은 전하 전이가 각 반 클럭 주기 이내에 완전히 정착될 수 있도록 충분히 빨라야 한다.

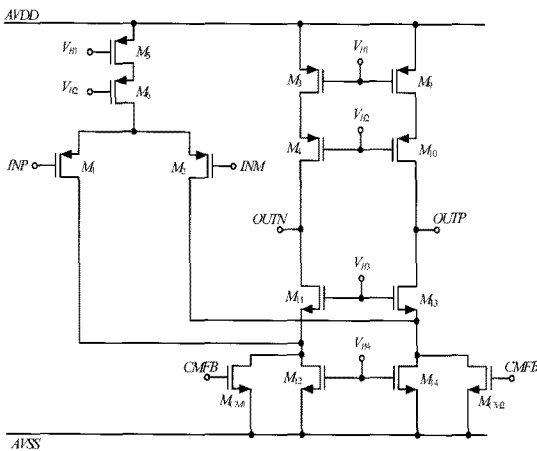
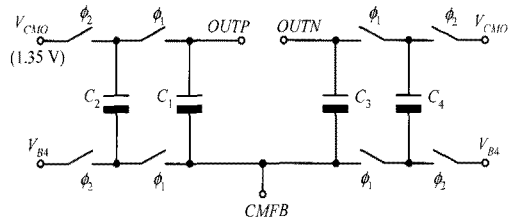


그림 2. 1단 완전 폴드형 캐스코드 연산증폭기
Fig. 2. A single stage fully-differential folded-cascode operational amplifier.

이러한 특성을 갖춘 연산증폭기 형태가 1단 완전 폴드형 캐스코드 형태이다. 또한 폴드형 캐스코드는 다른 형태에 비해 바이어스가 쉽고, 동상-모드 이탈에 덜 영향을 받기 때문에 출력 스윙으로부터 입력 동상-모드 전압을 효과적으로 분리할 수 있다.

그림 3은 완전 차동 연산증폭기를 위한 동적 스위칭형 커패시터 동상모드 귀환 회로를 나타낸 것으로, 이러한 회로는 소비전력을 줄이는데 사용한다. 여기서 VB4는 증폭기에서 꼬리 전류원의 바이어스 전압을 위해 사

용되었고, VCMO는 바이어스 회로에 의해 설정되는 원하는 동상모드 출력 전압을 나타낸다. 커패시터 C1,2는 출력 동상모드 전압을 검지하는데 사용된다.



$$C_1, C_3 = 930.8 \text{ fF and } C_2, C_4 = 465.4 \text{ fF}$$

그림 3. 동적 스위칭형 커패시터 동상모드 귀환 회로
Fig. 3. Dynamic switched-capacitor common-mode feedback circuit.

(2) 스위치 (Switches)

SC 회로는 스위치로 트랜지스터를 사용하기 때문에 스위치 구동 특성상 저전압 구동이 어려운 문제점을 가지고 있다. 그림 4는 이러한 문제점을 극복하기 위해 본 연구에서 제안하는 몸체효과 보상형 (body-effect compensated) 스위치를 나타낸 것이다.

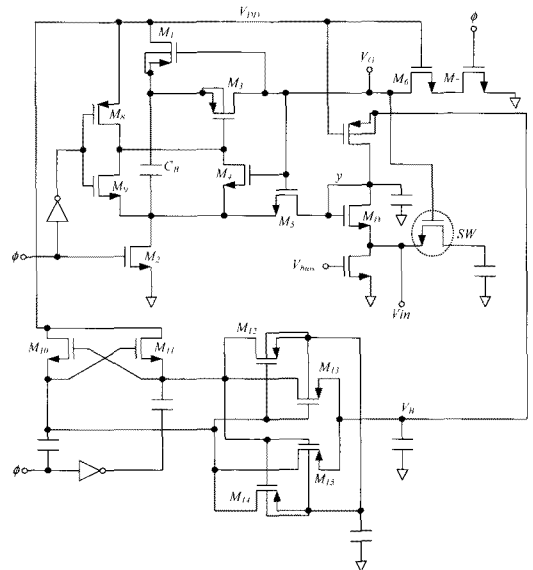


그림 4. 몸체효과 보상형 스위치 회로
Fig. 4. The complete body-effect compensated switch.

다이오드 구조로 연결되어 있는 트랜지스터 MD의 소스와 스위치 SW가 서로 연결되어 있기 때문에 SW의 온-저항이 최소 1차는 입력 신호에 독립적이다. 즉, 물체 효과로 인한 SW의 온-저항에서의 변동이 1차는 제거된다. 본 논문에서 제안하는 회로는 전류원과 다이오드 MD가 포화영역에서 동작할 수 없기 때문에 VB보다 더 높은 전압을 제공하기 위해 전압 배율기 (voltage doubler)를 필요로 한다.

(3) 스위치형 커패시터 적분기 설계

본 논문에서 제안하는 $\Sigma\Delta$ 변조기는 직렬 형태로 연결된 세 개의 스위치형 커패시터 적분기로 구성되어 있다. 그림 5는 그 중에서 변조기에 첫 번째 적분기인 완전 차동 스위치형 커패시터 적분기를 나타낸 것이다. 이 회로는 OTA (operational transconductance amplifier), 커패시터 및 스위치들로 구성되어 있다. 이러한 적분기는 PSRR, 소자 정합 및 잡음 결합과 같은 비이상적인 성질(non-idealities)을 최소화하기 위해 완전 차동 구조로 설계되었고, 2 위상 비중복(non-overlapping)을 이용한다. 입력은 위상 1 (ϕ_{1d} 및 ϕ_{1d}) 동안에 표본화되며(sampled), 위상 2 동안 전하는 샘플링 커패시터, C_S 에서 적분 커패시터 C_I 로 전송된다. 이러한 적분기는 또한 신호 의존 전하 주입(signal-dependent charge-injection)의 영향을 최소화 하기 위해 bottom-plate 샘플링 기법을 이용하였다.

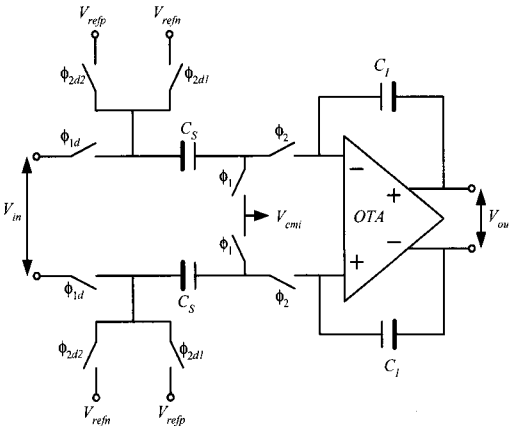


그림 5. 완전 차동 스위치형 커패시터 적분기
Fig. 5. Fully-differential switched-capacitor integrator.

(4) 비교기 (Comparator) 설계

본 연구에서 제안한 2-1 cascade $\Sigma\Delta$ 변조기에서 두 개의 양자화기(quantizers)는 한 개의 비교기와 한 개의 1비트 DAC로 구성되어 있다. 설계된 비교기는 전치 증폭기를 가진 SR 래치형이며, level-shifter를 가진다.

III. 레이아웃 (Layout)

그림 6은 0.25 μ m CMOS 공정을 이용하여 그림 2에 나타낸 1단 폴드형 캐스코드 연산증폭기에 대한 레이아웃을 나타낸 것이다. 증폭기의 오프셋 전압을 줄이기 위해서 입력 트랜지스터에 대해서는 공통-센터 중심형(common centroid) 기법을 이용하였고, 전류 거울 소자들의 좋은 정합을 만들기 위해서 전류 거울 소자들에 대해서는 상호 디지털화 기법(inter-digitizing)을 사용하였다. 차동 회로에 대해서는 차동 경로가 정합되도록 하였다. 칩 면적은 약 0.43 \times 0.3mm²였다.

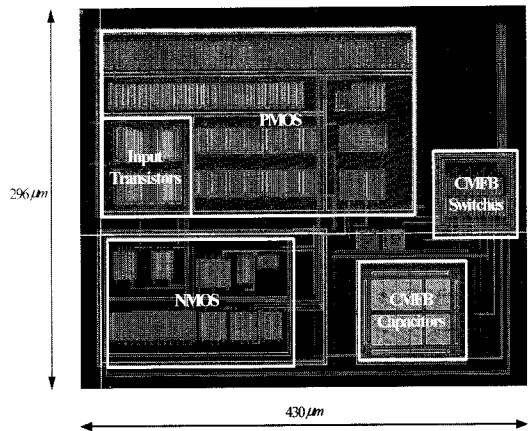


그림 6. 1단 폴드형 캐스코드 연산증폭기 레이아웃
Fig. 6. Layout of the single stage folded-cascode operational amplifier.

그림 7은 0.25 μ m CMOS 공정을 이용하여 2-1 cascade 시그마-델타 변조기에 대한 레이아웃을 나타낸 것이다. 레이아웃의 패드 프레임을 제외한 칩 전체 면적은 약 1.9 \times 1.5mm²였다.

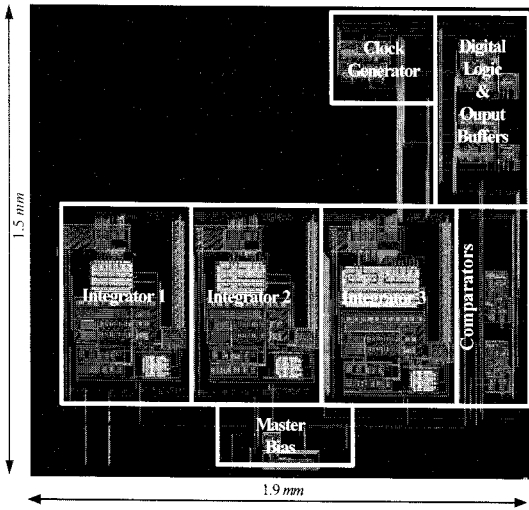


그림 7. 2-1 시그마-델타 변조기 레이아웃
Fig. 7. The layout of 2-1 cascade sigma-delta modulator.

IV. 시뮬레이션 및 실험 결과

그림 8은 차동 출력에서 연산증폭기의 주파수 응답을 나타낸 것이다. 증폭기의 dc 이득은 스위치형 커패시터 적분기의 이산시간 전달함수의 정확성에 영향을 미치기 때문에 충분히 높도록 설계하였다.

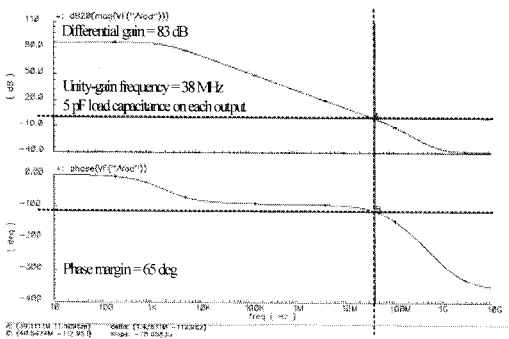


그림 8. 차동 출력에서 연산증폭기의 주파수 응답
Fig. 8. Frequency response of the operational amplifier at the differential output.

그림 8로부터 알 수 있듯이 제작된 연산증폭기는 약 5pF의 부하에 대해 약 83dB의 dc 이득을 보였고, 약 38 MHz의 단위-이득 주파수 (unity-gain frequency) 및 65° 이상의 위상 여유 (phase margin)를 각각 보였다.

표 1은 최악의 경우에 대한 연산증폭기의 시뮬레이션 결과를 요약한 것이다. 앞서서도 언급했듯이 시그마-델타 변조기의 적분기에서 연산증폭기는 높은 dc 이득, 빠른 슬루율 (slew rate) 및 zero dc 오프셋을 갖도록 설계되어야 하며, 증폭기 반응시간은 전하 천이 각각 반 클럭 주기 이내에 완전히 정착될 수 있도록 충분히 빨라야 한다. 표 1에서도 알 수 있듯이 설계된 연산증폭기는 적분기 동작에 잘 부합되도록 우수한 사양을 보였다.

표 1. 연산증폭기 시뮬레이션 결과 (최악의 경우)
Table 1. Summary of simulation results of the operational amplifier (worst-case).

Parameters	Simulation Results
Supply Voltage	2.7 V
Low Frequency Gain	83 dB
Unity-Gain Frequency	38 MHz
Phase Margin	65 deg
Slew Rate	21.7 V/ μ s
Settling Time	55.2 ns
Output Swing	± 1 V (diff. output)
Power Dissipation	918 μ W
Load Capacitance	5 pF

그림 9는 그림 4의 회로에 대한 V_B , V_Y , V_{in} 및 V_G 전압 파형을 각각 나타낸 것이다. Hspice 툴을 이용하여 $1V_{pp}$ 의 입력 전압에 대해 필터 출력에서 FFT 분석을 수행하였다.

표 2는 최악의 경우에서 통과 대역 (pass-band), 제 2 및 제 3 고조파 왜곡에서의 THD에 대한 시뮬레이션 결과를 나타낸 것으로 기존의 부트스트랩된 방식과 본 논문에서 제안한 회로 (그림 4)를 비교한 것이다. 표 2에서도 알 수 있듯이 본 논문에서 제안하는 몸체효과 보상형 스위치 회로는 기존의 부트스트랩된 방식에 비해 19dB가 향상된 THD 특성을 보였고, 각각 더 우수한 HD2 및

HD3 특성을 보였다.

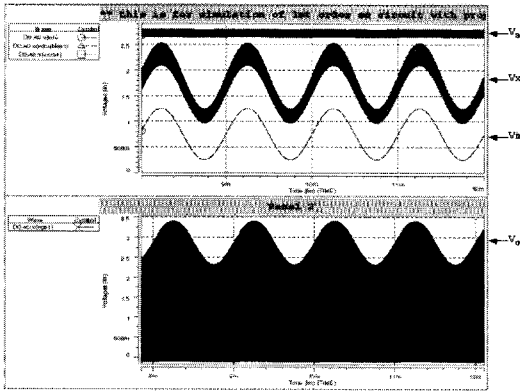


그림 9. V_B , V_y , V_{in} 및 V_G 전압 파형
Fig. 9. Voltages of V_B , V_y , V_{in} and V_G

표 2. 고조파 왜곡에 대한 시뮬레이션 결과
Table 2. Simulated results for harmonic distortions.

Harmonics	Modified	Proposed
THD	-47.9 dB	-66.9 dB
HD2	-59.4 dB	-73.0 dB
HD3	-54.1 dB	-79.3 dB

그림 10은 SC 저역 통과 필터 출력 스펙트럼을 나타낸 것이다.

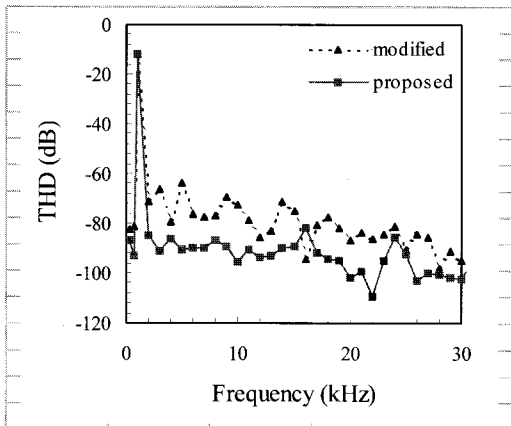


그림 10. SC 저역 통과 필터 출력 스펙트럼
Fig. 10. Simulated output spectrum of the SC LPF.

이러한 결과들은 본 연구에서 제안한 몸체효과 보상형 스위치 회로가 몸체 효과에 의해 초래되는 왜곡을 감소시키는 데 도움 되고 있음을 보여준다.

시그마-델타 변조기의 동작을 결정하는 테스트에는 3가지 단계가 있다. 첫 번째는 변조기로부터 나오는 시간영역의 비트 스트림을 관찰하는 것이고, 두 번째는 아날로그 스펙트럼 분석기를 이용하여 두 개의 출력 비트 스트림의 스펙트럼 내용을 관찰하는 것이며, 마지막은 FFT를 이용하여 출력 비트 스트림의 스펙트럼 내용에 대해 각 디지털 내용을 관찰하는 것이다. 그림 11은 1 및 2차 시그마-델타 변조기의 비트 스트림을 나타낸 것으로 20kHz 및 0.7V_{pp} 진폭을 가진 입력 신호에 대한 두 개의 출력 비트 스트림을 가진다. 그림 11의 결과는 변조기 및 변조기 내부 귀환 회로가 동작하고 있음을 증명하며, 첫 변조기의 데이터 비트가 입력 신호의 중간점에서 빠르게 변화하고 있음을 보여준다.

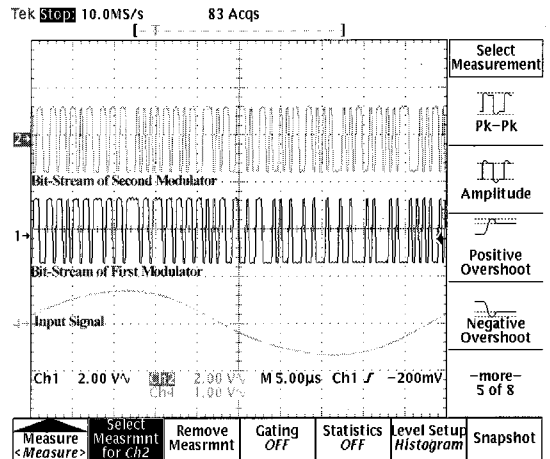


그림 11. 1 및 2차 변조기의 비트 스트림
Fig 11. The bit-stream of the first and second modulator.

그림 12는 Tektronix TDS784D를 이용하여 변조기 출력에서 관찰한 출력 스펙트럼을 나타낸 것이다. Tektronix TDS784D는 시간 영역 신호에 대해 주파수 영역으로의 변환을 수행하는 FFT 기능을 가진다. 관찰된 스펙트럼은 20kHz 입력 주파수와 2.5MHz 샘플링 주파수를 가진다.

이러한 결과는 제작된 변조기가 원하는 주파수에서 잡음 shaping 수행 및 빠르게 동작하고 있음을 의미한다.

참고문헌

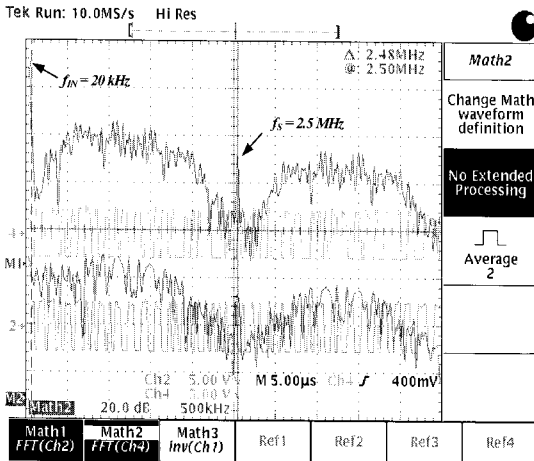


그림 12. TDS784D로 관찰된 출력 스펙트럼
Fig 12. The output spectrums observed on a TDS784D.

V. 결론

본 논문에서는 2-1 캐스케이드 시그마 델타 변조기를 제안하였다. 이러한 변조기는 저 전압 및 저 왜곡 스위치형 커패시터 (switched-capacitor, SC)를 적용한 새로운 형태의 몸체효과 보상형 스위치 구조를 가졌다. 제안된 회로는 저 전압 SC 회로를 위해서 rail-to-rail 스위칭을 허용하며, 기존의 부트스트랩된 회로 보다 더 우수한 총 고조파 왜곡을 보였다. 설계된 2-1 캐스케이드 시그마 델타 변조기는 통신 송수신시스템내의 오디오 코덱을 위한 고해상도 아날로그-디지털 변환을 수행할 수 있다. 1단 폴드형 캐스코드 연산증폭기 및 2-1 캐스케이드 시그마 델타 변조기는 0.25- μm 이중 폴리 3- μm 속 표준 CMOS 공정으로 제작되었으며, 2.7V에서 동작하였다.

[1] J.-Y. Ryu and S.-H. Noh, "Design of the New Third-Order Cascaded Sigma-Delta Modulator for Switched-Capacitor Application," *Conference of the Korean Institute of Maritime Information & Communication Science*, Vol. 10, No. 1, pp. 906-909, May 2006.

[2] S. Espejo et al, "A 0.8- μm CMOS programmable Analog-Array-Processing Vision Chip with Local Logic and Image Memory", *Proceedings of European Solid-State Circuits Conference*, pp. 280-283, 1996.

[3] P. R. Gray, "Analog ICs in the Submicron Era: Trends and Perspectives," *Proceedings of IEEE Electron Devices Meeting*, pp. 5-9, 1987.

[4] B. E. Boser and B. A. Wooley, "The Design of Sigma-Delta Modulation Analog-to-Digital Converters," *IEEE J. of Solid-State Circuits*, vol. sc-23, no. 4, pp. 1298-1308, Dec. 1988.

[5] S. Rabbii and B. A. Wooley, *The Design of Low-Voltage, Low-Power Sigma-Delta Modulators*. Boston: Kluwer Academic Publishers, 1999.

[6] J. C. Candy, "A Use of Double Integration in Sigma-Delta Modulation," *IEEE Trans. on Communications*, vol. 33, pp. 249-258, Mar. 1985.

[7] D. B. Ribner, "A Comparison of Modulator networks for High-Order Oversampled Analog-to-Digital Converters ," *IEEE Trans. on Circuits and Systems*, vol. 38, pp. 145-159, Feb. 1991.

[8] R. W. Adams, The Design of High-Order Single-Bit ADCs, Chapter 5 in the book, *Delta-Sigma Data Converters: Theory, Design and Simulation*. pp. 165-192, New York, IEEE Press, 1997

[9] J. C. Candy and G. C. Temes, *Oversampling Delta-Sigma Data Converter*. IEEE Press, New York, 1992.

[10] S. W. Kim and E. Greeneich, "Body effect compensated switch for low voltage switched-capacitor circuits," *Proc. Int. Symp. on Circuits and Systems*, vol. 4, pp. 437-440, May 2002.

- [11] L. Williams and B. Wooley, "Third-order cascaded sigma-delta modulators," *IEEE Trans. on Circuits and Systems II*, vol. 38, pp. 489-498, May 1991.

저자소개

류지열(Jee-Youl Ryu)

한국해양정보통신학회 논문지
제8권 제6호 참조

노석호 (Seok-Ho Noh)

한국해양정보통신학회 논문지
제8권 제6호 참조