
외부프로그램 전압을 이용한 8비트 eFuse OTP IP 설계

조규삼* · 김미영* · 강민철* · 장지혜* · 하판봉* · 김영희*

Design of an 8-Bit eFuse One-Time Programmable Memory IP Using an External Voltage

Gyu-Sam Cho* · Meiying Jin* · Min-Cheol Kang* · Ji-Hye Jang* · Pan-Bong Ha* · Young-Hee Kim*

이 논문은 2009~2010년도 창원대학교 연구비에 의하여 연구되었음.

요 약

본 논문에서는 외부 프로그램 전압으로 프로그램 가능한 로직 공정 기반의 eFuse OTP 셀을 제안하였다. 기존의 eFuse OTP 메모리 셀은 eFuse의 양극 (anode)에 연결된 SL (Source Line)으로 SL 구동회로의 전압강하를 거치면서 프로그램 데이터가 공급된 반면, 새롭게 제안된 eFuse 셀은 NMOS 프로그램 트랜지스터의 게이트에 프로그램 데이터가 공급되고 eFuse의 양극에 3.8V의 외부 프로그램 전압 (FSOURCE)이 전압강하 없이 공급된다. 그리고 제안된 셀의 FSOURCE 전압은 읽기 모드에서 0V 또는 플로팅 상태를 유지한다. 한편 본 논문에서는 FSOURCE 핀의 전압이 플로팅 상태인 경우는 회로적으로 0V로 바이어싱하는 클램프 회로를 제안하였고, 로직 전압인 VDD (=1.8V)와 FSOURCE 전압 사이에 스위칭해주는 VPP 스위칭 회로를 제안하였다. 동부하이텍 0.15 μ m generic 공정으로 설계된 8비트 eFuse OTP IP의 레이아웃 면적은 359.92 \times 90.98 μ m²이다.

ABSTRACT

We propose an eFuse one-time programmable (OTP) memory cell based on a logic process, which is programmable by an external program voltage. For the conventional eFuse OTP memory cell, a program datum is provided with the SL (Source Line) connected to the anode of the eFuse going through a voltage drop of the SL driving circuit. In contrast, the gate of the NMOS program transistor is provided with a program datum and the anode of the eFuse with an external program voltage (FSOURCE) of 3.8V without any voltage drop for the newly proposed eFuse cell. The FSOURCE voltage of the proposed cell keeps either 0V or the floating state at read mode. We propose a clamp circuit for being biased to 0V when the voltage of FSOURCE is in the floating state. In addition, we propose a VPP switching circuit switching between the logic VDD (=1.8V) and the FSOURCE voltage. The layout size of the designed eFuse OTP memory IP with Dongbu HiTek's 0.15 μ m generic process is 359.92 \times 90.98 μ m².

키워드

이퓨즈, 오티피, 외부프로그램 전압, 클램프 회로, VPP 스위칭 회로

Key word

eFuse, OTP, external program voltage, clamp circuit, VPP switching circuit

I. 서 론

일반적으로 MCU, Power IC, 디스플레이 구동 칩, CMOS 이미지 센서 등에 사용되는 프로그램 메모리는 추가 공정이 필요 없는 eFuse (electrical Fuse)나 안티퓨즈 (antifuse) 방식의 로직 공정 기반 설계가 가능한 OTP (One-Time Programmable) 메모리 IP가 많이 사용되고 있다[1]. 안티퓨즈 OTP 메모리 IP는 프로그램 전압이 5.5V~8.5V이므로 로직 트랜지스터와 5V의 MV (Medium Voltage) 트랜지스터를 필요로 한다[2][3].

그런데 로직 트랜지스터와 3.3V의 MV 트랜지스터만 제공하는 공정에서는 5.5V~8.5V의 프로그램 전압에서 3.3V의 트랜지스터가 견딜 수 없으므로 안티퓨즈 OTP는 부적합하다. 반면 eFuse OTP 셀은 폴리실리콘 게이트에 10mA~30mA 정도의 과전류를 흘려 eFuse를 blowing하여 퓨즈를 선택적으로 끊어준다. eFuse의 경우는 3.3V 트랜지스터로 프로그램이 가능하다[1][4]. eFuse의 프로그램 이전 저항은 50~100Ω 정도이고, eFuse를 통해 프로그램 전류가 흐르면서 eFuse의 저항은 수 100kΩ 이상이 된다. 이와 같이 eFuse는 전도상태 (conductive state)와 고저항 상태 (highly resistive state) 중 하나로 프로그램 된다.

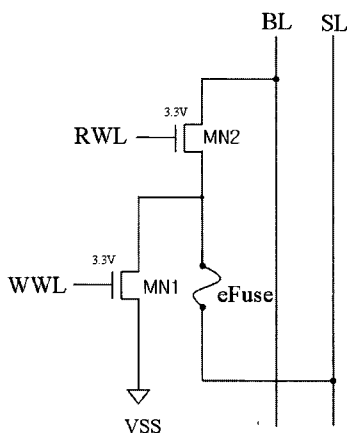


그림 1. 기존의 eFuse 셀 회로도[1].
Fig. 1. Conventional eFuse cell circuit[1].

기존의 저전력 eFuse 셀은 그림 1에서 보는바와 같이 eFuse, 프로그램 전류를 흘릴 수 있는 큰 채널 폭의 NMOS 트랜지스터, 읽기 모드용 작은 채널 폭의 NMOS 트랜지스터로 구성되어 있다[1]. 프로그램 모드에서는 WWL (Write Word-Line) 전압이 VIO (=3.3V)가 되어 MN1을 ON시킨다. 한편 eFuse 셀을 프로그램 하는 경우는 eFuse의 양극 (anode)에 연결된 SL으로 VIO 전압이 공급되어 과전류가 eFuse를 통해 흐른다. 그런데 기존의 eFuse 셀은 dual power (VDD와 VIO)를 OTP IP에 공급하는 경우에는 문제가 되지 않지만, 단일 전원인 VDD만 공급하는 경우에는 프로그램 전류가 작아 eFuse 셀을 프로그램 할 수가 없다.

본 논문에서는 단일 전원인 VDD만 OTP IP로 공급되고, 프로그램 모드에서는 외부 핀인 FSOURCE를 통해 프로그램 전압인 3.8V를 공급하여 eFuse를 blowing하는 eFuse 셀을 새롭게 제안하였다. 프로그램 되는 eFuse 셀의 NMOS 프로그램 트랜지스터 게이트 (gate)는 외부 프로그램 전압인 3.8V가 인가되고 eFuse의 양극에 FSOURCE (=3.8V) 입력 전원이 연결되어 전압강하 (voltage drop)없이 eFuse를 통해 과전류가 흐르게 된다. 한편 읽기 모드에서는 FSOURCE 핀은 0V 또는 플로팅 상태에 있더라도 제안된 FSOURCE 클램프 (clamp) 회로에 의해 FSOURCE 노드의 전압은 0V로 클램핑 된다. 그리고 본 논문에서는 PGM_BIT_SEL 회로에 스위칭 전원으로 사용되는 VPP를 공급해 주는 VPP 스위칭 회로를 제안하였으며, 로직 전압인 VDD (=1.8V)와 FSOURCE 전압을 선택해준다. VPP 스위칭 회로에 의해 프로그램 모드에서 VPP 전압은 FSOURCE 전압, 읽기 모드에서는 VDD 전압을 공급한다. 8b eFuse OTP IP는 동부하이텍 0.15μm Generic 공정을 이용하여 설계되었으며, 레이아웃 면적은 359.92 × 90.98μm²이다.

II. 회로 설계

설계된 8b eFuse OTP IP의 주요 특징은 표 1과 같다. 8b OTP 메모리의 셀 어레이 (cell array)는 1행 (rows) × 8열 (columns)로 구성되어 있으며, 사용되는 전원전압은 단일 전압인 VDD (=1.8V)가 사용된다.

동작 모드는 프로그램 모드와 읽기 모드가 지원되며, eFuse 셀의 프로그램은 한 비트씩 수행되고 그리고 읽기 동작은 한 바이트씩 수행된다. 프로그램 전압은 3.8V, 프로그램 시간은 200 μ s이다. 그리고 액세스 (access) 시간은 200ns이다.

표 1. 8b OTP IP의 주요 특징.
Table 1. Major specifications of an 8-bit OTP IP.

항목	주요 특징
공정	DBH 0.15 μ m Generic
VDD	1.8V \pm 0.1V
Organization	Program 1b
	read 8b
온도 범위	-40~125 $^{\circ}$ C
동작 모드	프로그램/읽기
Program Voltage	3.8V
Program Time	200 μ s
Access Time	200ns

8 비트 eFuse OTP IP는 그림 2의 블록도에서 보는 바와 같이 1행 \times 8열의 eFuse OTP 셀 어레이, PGM_BIT_SEL 회로와 DOUT 버퍼, 제어신호 (ENb, PGM)에 따라 프로그램과 읽기 모드에 적합한 내부 제어신호를 공급하는 제어 로직으로 구성되어 있다.

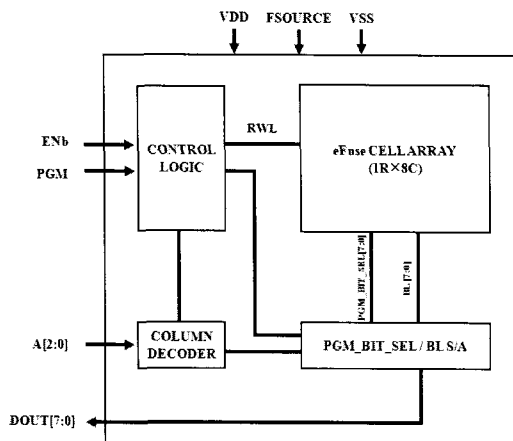


그림 2. 8 비트 eFuse OTP IP의 블록도.
Fig. 2. Block diagram of an 8-bit eFuse OTP IP.

PGM_BIT_SEL 구동회로는 8개의 회로로 구성되어 있으며, 행 어드레스인 A[2:0]의 디코딩에 의해 선택되는 회로이다. 그리고 DOUT 버퍼는 읽기 모드에서 OTP 셀의 eFuse를 프로그램한 유·무에 따라 BL[7:0]을 통해 나오는 디지털 데이터를 센싱 하여 DOUT[7:0]으로 출력하는 회로이다.

단일 전원인 VDD만 OTP IP로 공급되는 경우 eFuse 셀을 프로그램하기 위해서는 FSOURCE 핀이 필요하다. FSOURCE는 프로그램 모드에서 프로그램 전압인 3.8V를 공급하며, 읽기 모드에서 0V 또는 플로팅 상태에 있다. 제안된 eFuse OTP 메모리 셀은 그림 3(a)의 eFuse 셀 회로에서 보는바와 같이 eFuse link, 프로그램용 NMOS 트랜지스터 (MN1)와 읽기 모드용 NMOS 트랜지스터 (MN2)로 구성되어 있으며, eFuse의 프로그램 이전 저항은 50~100 Ω 정도이다. 프로그램 되는 eFuse 셀의 MN1의 게이트 전압은 VPP 스위칭 회로를 통해 공급되는 외부 프로그램 전압인 3.8V가 인가되며, eFuse의 양극에는 FSOURCE 전원이 전압강하 없이 직접적으로 인가된다. 선택된 eFuse는 과전류가 흐르게 되므로 blowing되면서 저항은 100k Ω 이상으로 프로그램 된다.

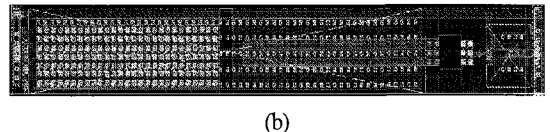
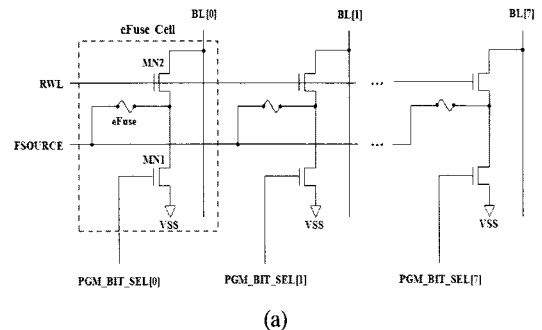


그림 3. (a) 1행 \times 8열 셀 어레이 회로도
(b) 셀 레이아웃 사진.

Fig. 3. (a) cell array circuit of 1 row and 8 columns and (b) cell layout picture.

8b eFuse OTP IP의 셀 어레이는 1행 × 8열로 구성되어 있다. 그림 3(b)는 eFuse OTP 메모리 셀의 레이아웃 사진을 보여주고 있다.

표 2는 동작 모드별 eFuse OTP 메모리 셀 노드에서의 바이어스 전압을 보여주고 있다. 프로그램 모드에서 선택된 PGM_BIT_SEL은 3.8V로 활성화된다. 그리고 선택되지 않은 PGM_BIT_SEL은 0V를 유지하므로 OTP 셀의 eFuse link는 BL으로부터 격리된다.

프로그램 모드에서 eFuse OTP 셀을 프로그램하기 위해서는 PGM에 펄스를 인가하면 FSOURCE와 PGM_BIT_SEL에 3.8V 전압이 인가되면서 eFuse와 MN1을 통해 프로그램 전류가 흐른다. 이렇게 하면 eFuse는 프로그램되고 eFuse의 저항은 수 100kΩ 이상이 된다. 만약 프로그램 되지 않는 셀인 경우 PGM_BIT_SEL은 0V를 유지하여 eFuse를 통한 과전류가 흐르지 않기 때문에 eFuse의 저항 변화는 없다. 한편 읽기 모드에서는 BL을 VDD 전압으로 프리차지 (precharge)시킨 뒤 RWL은 VDD 전압으로 활성화된다. 이 때 eFuse가 프로그램 되지 않은 셀의 경우 그림 3(a)의 MN2, eFuse link를 통해 전류 경로가 제공되어 BL은 0V로 방전되며, DOUT은 로직 '0'이 출력된다. 반면 프로그램된 셀은 eFuse가 고저항상태 (highly resistive state)에 있으며, BL 전압은 VDD로 프리차징 된 상태를 유지하므로 DOUT은 로직 '1'이 출력된다.

표 2. 동작 모드별 eFuse OTP 메모리 셀의 노드별 바이어스 전압.

Table 2. Each node bias voltage of an eFuse OTP memory cell at each operation mode.

	Program Mode	Read Mode	
PGM_BIT_SEL	3.8V	0	
RWL	0	VDD	
eFuse	Blown	Unblown	Blown
FSOURCE	3.8V	0	0
BL	Floating	0	VDD
DOUT	×	0	1

그림 4(a)는 프로그램 모드에서의 타이밍 다이어그램이다. 프로그램 동작은 어드레스와 입력 데이터를 먼저 인가한 상태에서 PGM 신호가 high로 활성화 되면 선택

되는 OTP 메모리 셀은 프로그램 된다.

그림 4(b)는 읽기 모드에서의 타이밍 다이어그램이다. 읽기 동작은 RD 신호를 high로 활성화 시키면 8비트의 데이터가 액세스 시간이 지난 이후 DOUT[7:0] 포트로 출력된다. 이때 PGM 신호는 low 상태를 유지해야 된다.

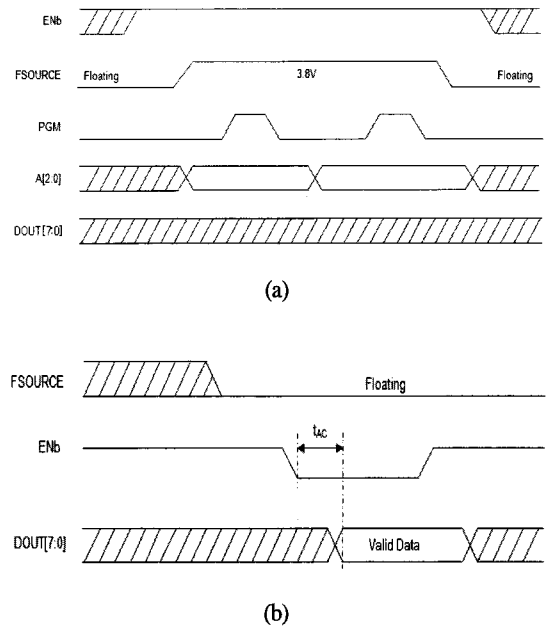


그림 4. (a) 프로그램 모드에서의 타이밍 다이어그램 (b) 읽기 모드에서의 타이밍 다이어그램.

Fig. 4. Timing diagrams (a) at program mode and (b) at read mode.

그림 5의 PGM_BIT_SEL 회로는 프로그램 모드로 진입하게 되면 행 어드레스인 A[2:0]을 디코딩하여 선택되는 PGM_BIT_SEL만 VPP (=3.8V)로 구동되고 선택되지 않은 PGM_BIT_SEL 신호는 0V를 유지하도록 한다. 그리고 읽기 모드에서는 PGM_BIT_SEL[7:0] 신호는 모두 0V를 구동한다.

그림 4에서 보는바와 같이 FSOURCE 핀은 프로그램 모드에서 3.8V의 전압이 인가되는 반면, 읽기 모드에서 0V 또는 플로팅 상태에 있다. 제안된 eFuse 셀은 읽기 모드에서 FSOURCE 핀이 플로팅 상태에 있더라도 회로적으로 0V 전압으로 바이어싱 되어야 한다.

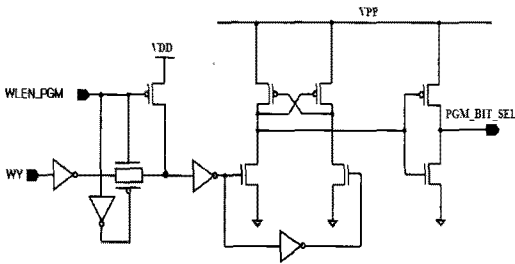


그림 5. PGM_BIT_SEL 회로.
Fig. 5. PGM_BIT_SEL circuit.

그림 6의 FSOURCE 클램프(clamp) 회로는 FSOURCE 노드의 전압을 0V로 클램핑 시킨다. FSOURCE 클램핑 회로의 동작은 전원이 OFF된 상태에서 FSOURCE 노드의 전압은 방전에 의해 0V를 유지한다. 만약 VDD 전원이 ON되는 경우는 인버터 INV가 high 상태를 출력하면서 MN2는 ON되어 FSOURCE 노드의 전압을 0V로 클램핑한다. 그림 6의 MN1은 VDD가 1.8V로 스위칭 할 때 decoupling 역할을 하는 전하 저장 커패시터 (charge reservoir capacitor)이다. 그리고 FSOURCE가 3.8V가 인가된 경우는 INV의 출력이 0V가 되어 MN2는 OFF되므로 short-circuit 전류 경로는 없다.

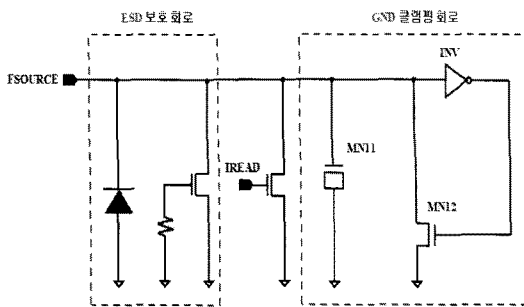


그림 6. FSOURCE 클램핑 회로.
Fig.6. FSOURCE clamp circuit.

그림 7은 동작 모드에 따라 FSOURCE 또는 VDD 전압을 선택해 주는 VPP 스위칭 회로이다. VPP 전원 스위칭 회로에서 VPP는 프로그램 모드와 읽기 모드에서 각각 FSOURCE와 VDD 전압을 구동한다.

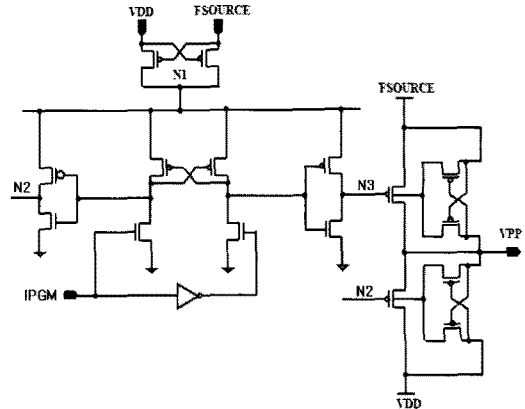


그림 7. VPP 스위칭 회로.
Fig. 7. VPP switching circuit.

그림 8은 clocked 인버터 형태의 감지 증폭기 회로를 보여주고 있다. 그림 7의 BL S/A 회로는 낮은 임피던스의 pull-up 트랜지스터 (MP0), 높은 임피던스의 pull-up 트랜지스터 (MP1), 그리고 clocked 인버터를 갖는 D-래치 회로로 구성되어 있다[5].

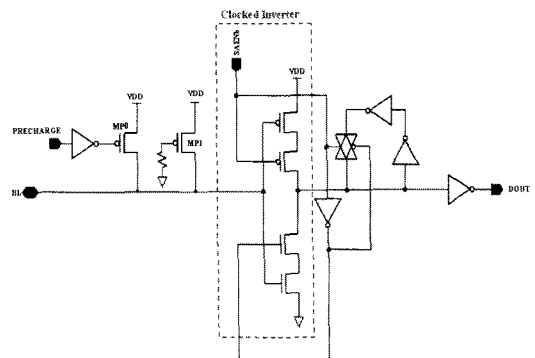


그림 8. Clocked 인버터 형태의 감지 증폭기[5].
Fig. 8. Sense amplifier of clocked inverter type[5].

읽기 모드에서 RWL이 활성화되기 이전에 짧은 펄스의 PRECHARGE 신호에 의해 BL은 모두 VDD 전압으로 프리차징 된다. RWL이 활성화되면서 로직 '1'로 프로그램된 셀에 연결된 BL은 VDD 전압을 유지하는 반면, 로직 '0'로 프로그램된 셀은 eFuse link의 저항이 50-100Ω 정도이므로 BL을 0V로 방전시킨다.

BL에 읽기 데이터가 충분히 전달된 뒤 SAENb (Sense Amplifier Enable bar) 신호가 0V로 활성화되면 clocked 인버터 형태의 감지 증폭기는 BL의 VDD 또는 0V를 센싱하여 DOUT으로 읽은 데이터를 출력한다.

III. 모의실험

본 논문에서는 동부하이텍 0.15 μ m generic 공정을 이용하여 8b eFuse OTP 메모리 IP를 설계하였다. 그림 9는 읽기 모드에서 eFuse OTP IP로 들어오는 제어신호 (ENb), 그림 2의 제어 로직에서 나오는 PRECHARGE, RWL, SAENb 신호의 타이밍 다이어그램을 보여주고 있다. ENb 신호가 low로 활성화 되면 PRECHARGE 신호에 의해 BL은 VDD 전압으로 프리차징 된다. BL이 프리차징 된 이후 RWL이 활성화되면서 eFuse 셀의 데이터가 BL에 전달된다. BL에 셀의 데이터가 충분히 전달되면 SAENb 신호에 의해 BL의 디지털 데이터는 센싱되어 DOUT 노드로 출력된다. 그림 9(a)는 '0'로 프로그램 된 셀이고, 그림 9(b)는 '1'로 프로그램 된 셀의 모의실험 결과를 보여주고 있다.

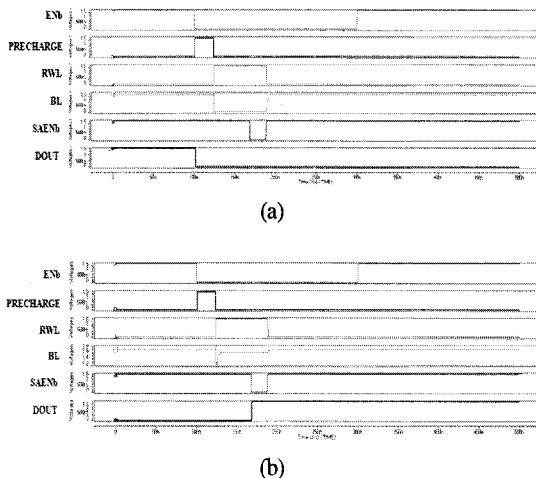


그림 9. 읽기 모드에서의 모의실험 결과.

(a) '0'로 프로그램된 셀의 경우

(a) '0'로 프로그램된 셀의 경우

Fig. 9. Simulation result at read mode

(a) in, case that the cell is programmed with '0' and

(b) with '1'.

한편 HSPICE 모의실험 결과 읽기 모드에서 설계된 eFuse OTP 메모리 IP의 동작 전류는 1.98V의 VDD에서 220 μ A로 나왔다.

그림 10은 동부하이텍 0.15 μ m generic 공정을 이용하여 설계된 8b eFuse OTP 메모리 IP의 레이아웃 사진을 보여주고 있으며, 레이아웃 면적은 359.92 \times 90.98 μ m²이다.

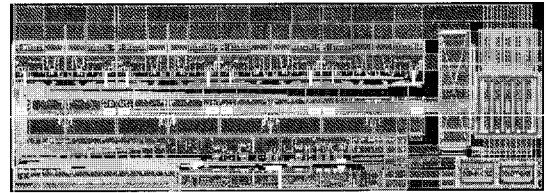


그림 10. 0.15 μ m eFuse OTP 메모리 IP의 레이아웃 사진.

Fig. 10. Layout picture of the designed eFuse OTP memory IP with the 0.15 μ m generic process.

IV. 결 론

시스템 IC 분야에서는 로직 공정 기반의 OTP 메모리 IP 설계가 요구되어진다. OTP IP는 dual power를 사용하는 경우도 있지만, 단일전원을 사용하면 전원을 단순화시키는 경우도 있다.

본 논문에서는 단일전원인 VDD만 공급되면서 외부 프로그램 전원 핀인 FSOURCE를 통해 프로그램 전압인 3.8V를 공급하는 8b eFuse OTP 메모리 IP를 설계하였다.

프로그램 되는 eFuse 셀의 NMOS 프로그램 트랜지스터 게이트는 외부 프로그램 전압인 3.8V가 인가되고 eFuse의 양극에 FSOURCE 전원이 연결되며, eFuse를 통해 과전류가 흐른다. 읽기 모드에서는 FSOURCE 클램프 회로에 의해 FSOURCE 노드의 전압은 0V로 클램핑된다. 그리고 로직 전압인 VDD와 FSOURCE 전압을 선택해주는 VPP 스위칭 회로를 제안하였다. VPP 스위칭 회로에 의해 프로그램 모드에서 VPP 전압은 FSOURCE 전압, 읽기 모드에서는 VDD 전압을 공급한다.

감사의 글

이 논문은 2009~2010년도 창원대학교 연구비에 의하여 연구되었음.

참고문헌

- [1] J. H. Lee et al., "Design of a Asynchronous eFuse One-Time Programmable Memory IP of 1 Kilo Bits Based on a Logic Process", Journal of KIMICS, vol.13, no.7, pp.1371-1378, July 2009.
- [2] 김영희 외, "동기식 256bit OTP 메모리 설계", 한국해양정보통신학회논문지, vol.7, no.12, pp.1227-234, July 2008.
- [3] Y. H. Kim et al., "Design of Asynchronous Multi-Bit OTP Memory", IEICE Trans. Electron., vol. E92-C, no. 1, pp. 173-177, Jan. 2009.
- [4] N. Robson et al., "Electrically Programmable Fuse (eFuse): From Memory Redundancy to Autonomic Chips", Proceedings of Custom Integrated Circuits Conference, pp. 799-804, Sep. 2007.
- [5] 이천효 외, "저면적 1-kb PMOS Antifuse-Type OTP IP 설계", 한국해양정보통신학회논문지 게재 예정, Dec. 2009.

저자소개



조규삼(Gyu-Sam Cho)

2005.8 창원대학교 전자공학과
공학석사
2006.3 ~ 현재 창원대학교 신소재
나노공학과 박사과정

2000 ~ 현재 (주)이노텍 대표이사

※관심분야: LCD 구동 칩 설계, SoC 설계



김미영(Mei-Ying Jin)

2009.7 연변대학교 전자공학과
공학사
2009.9 ~ 현재 창원대학교
전자공학과 석사과정

※관심분야: High-Speed I/O Interface 설계



강민철(Min-Cheol Kang)

2008.2 제주대학교 전자공학과
공학사
2008.3 ~ 현재 창원대학교
전자공학과 석사과정

※관심분야: High-Speed I/O Interface 설계



장지혜(Ji-Hye Jang)

2008.2 창원대학교 전자공학과
공학사
2008.3 ~ 현재 창원대학교
전자공학과 석사과정

※관심분야: High-Speed I/O Interface 설계



김영희(Young-Hee Kim)

1989.2 경북대학교 전자공학과
공학사
1997.2 포항공과대학교
전자전기공학과 공학석사

2000.8 포항공과대학교 전자전기공학과 공학박사
1989.1 ~ 2001.2 현대전자 책임연구원

2001.3 ~ 현재 창원대학교 전자공학과 교수

※관심분야: 저전압/저전력/고속 메모리 설계, LCD
구동 칩 설계, CMOS 이미지 센서 설계, RFID 태그
칩 설계



하 판 봉(Pan-Bong Ha)

1981.2 부산대학교 전기공학과
공학사

1983.2 서울대학교 전자공학과
공학석사

1993.2 서울대학교 전자공학과 공학박사

1987.3~현재 창원대학교 전자공학과 교수

※관심분야: 임베디드 시스템, SoC 설계