

# DVB-C2 시뮬레이터 설계 연구

## A Study on the DVB-C2 Simulator Design

강민구\* 백종호\*\* 서정욱\*\*

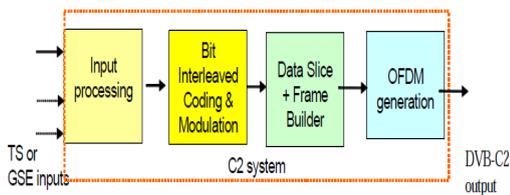
### ◆ 목 차 ◆

1. DVB-C2 서비스 동향분석
2. DVB-C2 송신기 구조분석
3. DVB-C2 수신기 구조분석
4. 결론

## 1. DVB-C2 서비스 동향분석

최근 유럽의 디지털 방송규격인 DVB 계열의 차세대 물리계층은 DVB-S2/T2/C2로 총 3가지의 전송 방식으로 구성되어 있다. 이들 DVB 2.0 물리계층 송수신 규격의 주된 목적은 이들 세 가지의 서로 다른 전송 방식의 물리계층의 전송 규격을 최대한 공유하는 것이다.

DVB 2.0 물리계층의 송수신 규격에서는 Bose Chaudhuri Hocquenghem(BCH) 코드와 Low Density Parity Check(LDPC) 코드를 결합하여 사용하는 같은 Forward Error Correction(FEC)기법을 사용하고 있다. 본 논문에서는 DVB-C2 시스템의 구조분석과 이들 앞단의 Input processing과 Bit interleaved Coding & Modulation(BICM)은 DVB 2.0 물리계층 공통의 규격을 분석한다.



(그림 1) 상위레벨 DVB-C2 시스템 구조도 분석

일반적으로 DVB-C2 시스템 구조는 그림1과 같이 크게 총 4개의 블록으로 나눌 수 있다. DVB-C2 시스템은 기본적으로 하나 또는 다중의 MPEG-2 Transport Stream(TS)와 Generic Stream(GS)을 입력 받을 수 있게 만들어 졌다.

그림 1과 같이 시스템의 제일 앞단에서 Input processor 블록을 통해 DVB-C2에 입력되는 서비스들을 하나 또는 다중의 논리적인 단위로 분리하기 위하여 service splitter 또는 demultiplexer를 포함할 수 있다. 그리고 이렇게 분리된 논리적인 단위들은 각각의 Physical Layer Pipes(PLPs)로 전송된다.

위와 같이 전송되는 PLP들은 하나 또는 여러 개의 그룹으로 묶이게 되고, 이들 PLP 그룹은 하나의 Data Slice를 형성하게 된다. 따라서, PLP를 기본으로 하여 구성된 Data Slice들은 DVB-C2 시스템의 기본 구성요소가 된다.

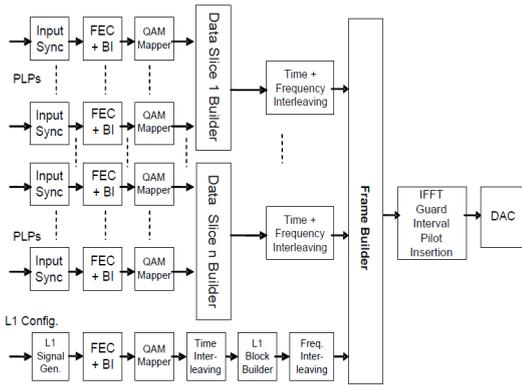
### 1.1 DVB-C2 송신기 구조분석

다음 그림 2는 DVB-C2의 전송단으로 기존의 DVB 2.0 물리계층인 DVB-S2/T2를 따라 DVB-C2도 시스템의 기본단위로 PLP를 채용하고 있다.

PLP는 MPEG-2 TS 뿐만 아니라, Generic Stream Encapsulation(GSE) 프로토콜로 불리는 IP 데이터를 포함하는 기본적인 채널이다.

\* 한신대학교 정보통신학과(교신저자)

\*\* 전자부품연구원

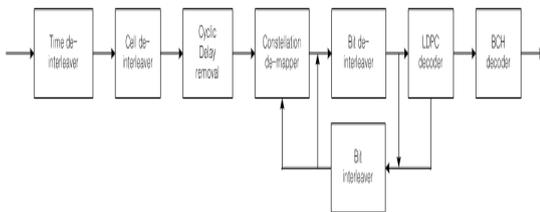


(그림 2) DVB-C2 시스템 송신기의 구조분석

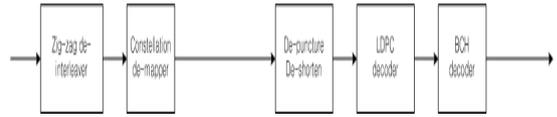
각각의 PLP는 그림 2와 같이 input processing 블록, FEC 블록, 및 Quadrature Amplitude Modulation(QAM) Mapping 블록을 거친 후 하나 또는 여러 개의 PLP들은 Data Slice로 합쳐지게 된다. Data Slice는 연속 오류 및 협대역 간섭의 영향을 줄이기 위해 다시 한 번 시간 및 주파수 인터리버를 순차적으로 통과하게 된다. 여러 개의 Data Slice들과 Layer 1(L1) 신호가 포함된 프리앰블이 결합되어 DVB-C2 프레임을 형성하게 되고 최종적으로 OFDM 신호로 변환된다.

## 1.2 DVB-C2 수신기의 구조분석

다음 그림3과 같이 DVB-C2 수신 BICM 모듈은 data 와 common PLP를 처리하는 모듈과 L1 signal을 처리하는 모듈로 구분할 수 있다.



(그림 3) (a). DVB-C2수신구조 : data/common PLP



(그림 3) (b). DVB-C2 시스템 수신 구조 : L1 signal

## 2. DVB-C2 송신기 설계분석

### 2.1 PLP(Physical Layer Pipe) 설계분석

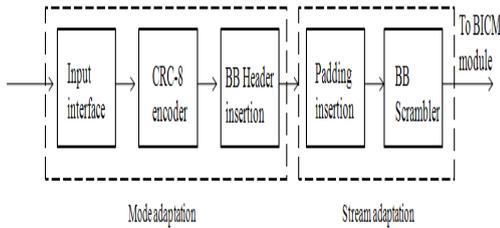
DVB 2.0 방송 시스템에서 도입된 PLP 개념은 하나의 물리적인 방송 채널에서 여러 개의 독립된 논리적인 채널의 전송을 가능케 하는 것으로 각각의 PLP는 기본적으로 MPEG-2 TS 및 GSE를 포함하는 논리적인 채널이다. 이 논리적인 채널인 PLP가 전송되었을 경우, 수신단에서는 헤더에서 제공하는 PLP Id를 확인하여 데이터 패킷을 복호화 여부를 판단할 수 있기 때문에, 효과적으로 수신 전력을 줄일 수 있다.

또한, DVB-C2 시스템은 그림 2과 같이 하나의 논리적인 방송 채널에 각각 서로 다른 변조 방식, 채널 부호화율, 시간 및 셀 인터리빙 길이 등을 가지는 다양한 방송 서비스 제공이 가능하기 때문에, 결과적으로 서로 다른 서비스에 적합한 Quality of Service(QoS) 수준을 쉽게 제공할 수 있고, 각각의 네트워크 환경에 적합한 전송 품질의 유지가 가능하게 된다.

예를 들어, 만약 전송단에서 사용자 수신단까지의 케이블 채널 환경의 특성을 알고 있다면, 데이터 전송률을 최적화 할 수 있게 된다. 따라서 리턴 채널이 존재한다면, 최적의 주파수 효율을 얻을 수 있다.

### 2.2 Input Processing 설계분석

Input processing 블록은 다음 그림4와 같이 크게 Mode adaptation과 Stream adaptation으로 구성되어 있다.



(그림 4) Input Processing 블록 다이어그램

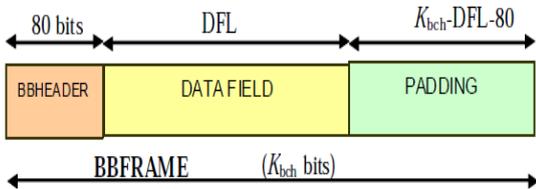
2.2.1 Mode Adaptation 설계분석

DVB-C2 시스템의 입력은 하나 또는 그 이상의 논리적인 데이터 stream이다. 하나의 논리적인 데이터 stream은 하나의 PLP에 의해 전송된다.

여기서 Mode adaptation 블록은 입력 데이터 stream을 Stream adaptation 후에 Baseband frames(BBFrame)을 만들기 위한 데이터 필드로 자르는 역할을 한다. Mode adaptation은 그림 3과 같이 크게 총 3개의 블록으로 구성되어있다. 또한, 입력되는 PLP 종류에 따라서 normal mode(NM) 또는 high efficiency mode(HEM)으로 처리과정을 거치게 된다.

2.2.2 Stream Adaptation 설계분석

Stream adaptation 블록은 그림 3에서 볼 수 있듯이, padding과 scrambling을 제공한다. Stream adaptation으로 입력된 input stream은 데이터 필드에 BBHeader와 패딩을 추가하여 최종적으로 그림 5와 같은 BBFrame 이 된다.



(그림 5) Stream adaptation의 출력 BBFrame 포맷

2.2.3 Bit-interleaved coding/modulation설계분석

- FEC encoding 설계분석

BICM 블록에서는 외부 코딩(BCH), 내부 코딩(LDPC) 그리고 인터리빙이 수행된다. input stream은 BBFrame들과 FECFrame들의 출력으로부터 완성된다. 각각의 BBFrame들( $K_{bch}$  bits)은 FEC coding sub-system에서 FECFrame( $N_{ldpc}$  bits)으로 생성된다. 다음 그림 6에서 보이는 바와 같이, BBFrame 뒤에 systematic BCH 외부 코드의 parity check bits(BCHFEC)이 붙고, 내부 LDPC encoder의 parity check bits(LDPCFEC)이 그 뒤에 붙는다.

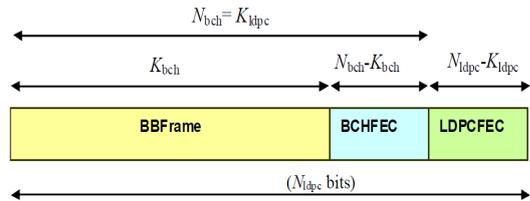


그림 6. 비트 인터리빙 전의 데이터 포맷

$$(N_{ldpc} = 64800 \text{ bits, normal FECFrame} / N_{ldpc} = 16200 \text{ bits, short FECFrame})$$

다음 표1은 normal FECFrame ( $N_{ldpc} = 64800$  bits)을 정의한다.

(표 1) 코딩변수(normal FECFrame  $N_{ldpc} = 64800$ )

LDPC Code	BCH Uncoded Block $K_{bch}$	BCH coded block $N_{bch}$ LDPC Uncoded Block $K_{ldpc}$	BCH t-error correction	$N_{bch} - K_{bch}$	LDPC Coded Block $N_{ldpc}$
2/3	43040	43200	10	160	64800
3/4	48408	48600	12	192	64800
4/5	51648	51840	12	192	64800
5/6	53840	54000	10	160	64800
9/19	58192	58320	8	128	64800

- 외부 코딩(BCH) 설계분석

t개의 에러 정정을 할 수 있는 BCH코드는 각각의 BBFrame에 적용된다.

BCH코드의 parameter들은 표 1(a)와 1(b)에 주어졌다. normal 및 short BCH encoder의 생성 다항식은 각각 표 2(a)와 2(b)에 있는 첫 t개의 다항식의 곱으로 생성할 수 있다.

(표 2) (a). BCH 다항식 (normal FECFrame  $N_{ldpc} = 64800$ )

$g_1(x)$	$1+x^2+x^3+x^5+x^{16}$
$g_2(x)$	$1+x+x^4+x^5+x^6+x^8+x^{16}$
$g_3(x)$	$1+x^2+x^3+x^4+x^5+x^7+x^8+x^9+x^{10}+x^{11}+x^{16}$
$g_4(x)$	$1+x^2+x^4+x^6+x^9+x^{11}+x^{12}+x^{14}+x^{16}$
$g_5(x)$	$1+x+x^2+x^3+x^5+x^8+x^9+x^{10}+x^{11}+x^{12}+x^{16}$
$g_6(x)$	$1+x^2+x^4+x^5+x^7+x^8+x^9+x^{10}+x^{12}+x^{13}+x^{14}+x^{15}+x^{16}$
$g_7(x)$	$1+x^2+x^5+x^6+x^8+x^9+x^{10}+x^{11}+x^{13}+x^{15}+x^{16}$
$g_8(x)$	$1+x+x^2+x^5+x^6+x^8+x^9+x^{12}+x^{13}+x^{14}+x^{16}$
$g_9(x)$	$1+x^5+x^7+x^9+x^{10}+x^{11}+x^{16}$
$g_{10}(x)$	$1+x+x^2+x^5+x^7+x^8+x^{10}+x^{12}+x^{13}+x^{14}+x^{16}$
$g_{11}(x)$	$1+x^2+x^3+x^5+x^9+x^{11}+x^{12}+x^{13}+x^{16}$
$g_{12}(x)$	$1+x+x^5+x^6+x^7+x^9+x^{11}+x^{12}+x^{16}$

(표 2) (b). BCH 다항식 (short FECFrame  $N_{ldpc} = 16200$ )

$g_1(x)$	$1+x+x^3+x^5+x^{14}$
$g_2(x)$	$1+x^6+x^8+x^{11}+x^{14}$
$g_3(x)$	$1+x+x^2+x^6+x^9+x^{10}+x^{14}$
$g_4(x)$	$1+x^4+x^7+x^8+x^{10}+x^{12}+x^{14}$
$g_5(x)$	$1+x^2+x^4+x^6+x^8+x^9+x^{11}+x^{13}+x^{14}$
$g_6(x)$	$1+x^3+x^7+x^8+x^9+x^{13}+x^{14}$
$g_7(x)$	$1+x^2+x^5+x^6+x^7+x^{10}+x^{11}+x^{13}+x^{14}$
$g_8(x)$	$1+x^5+x^8+x^9+x^{10}+x^{11}+x^{14}$
$g_9(x)$	$1+x+x^2+x^3+x^9+x^{10}+x^{14}$
$g_{10}(x)$	$1+x^3+x^6+x^9+x^{11}+x^{12}+x^{14}$
$g_{11}(x)$	$1+x^4+x^{11}+x^{12}+x^{14}$
$g_{12}(x)$	$1+x+x^2+x^3+x^5+x^6+x^7+x^8+x^{10}+x^{13}+x^{14}$

BCH encoding 방법은 다음과 같다.

- 메시지 다항식에  $x^{N_{bch}-k_{bch}}$ 를 곱한다.
- $x^{N_{bch}-k_{bch}}m(x)$ 를 생성다항식으로 나눈 후 나머지를 구한다.

- 내부 코딩(LDPC) 설계분석

LDPC 인코더는 외부코딩의 출력(크기가  $K_{ldpc} = N_{BCH}$ 인 정보  $I = (i_0, i_1, \dots, i_{K_{ldpc}-1})$ )을 입력으로 사용하며, 그 output을 사이즈가  $N_{ldpc}$ 인 codeword  $A$ 로 부호화한다.

2.2.3 Mapping bits onto constellations설계분석

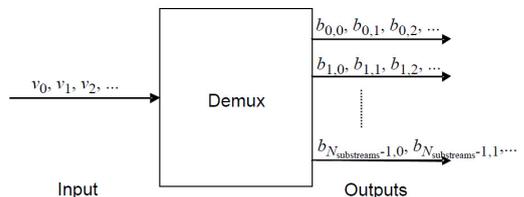
각각의 FECFrame은 demultiplexing에 의해 입력 bits에서 병렬 cell words로 배열된 후 constellation value 값으로 맵핑된다. 표 3에 출력 Data Cell과 bits per cell의 effective number를 나타내었다.

(표 3) 비트 맵핑을 위한 파라미터

LDPC block length ( $N_{ldpc}$ )	Modulation mode	$n_{MOD}$	No. of output Data Cell
64800	4096QAM	12	5400
	1024QAM	10	6480
	256QAM	8	8100
	64QAM	6	10800
	16QAM	4	16200
16200	4096QAM	12	1350
	1024QAM	10	1620
	256QAM	8	2025
	64QAM	6	2700
	16QAM	4	4050
	QPSK	2	8100

- Bit to cell word demultiplexer

비트 인터리버의 출력  $v_i$ 는 그림 7에서 보여주는 것과 같이,  $N_{substream}$ 개의 sub-stream으로 demultiplexing된다.



(그림 7) Demultiplexing of bits into sub-streams

## 2.3 Data Slice Packet Generation설계분석

한 개 또는 두 개 FECFrame의 complex cell들은 Data Slice Packet 형태로 변형된다. Data Slice Type 1을 위한 Data Slice Packet은 오직 FECFrame 데이터를 전송하고 L1 Signalling Part2 내에서 그들의 시작을 감지하기위해 포인터를 필요로 한다.

Data Slice Type 2를 위한 Data Slice Packet은 추가적인 다른 정보 없이 Data Slice Packet을 동기화를 위한 FECFrame 헤더를 수반한다. FECFrame 헤더 또한 변조, 코딩 매개 변수 및 Data Slice Packet 마다 변화 할 수 있는 PLP\_ID를 신호로 보낸다.

### 2.3.1 Data Slice Packets for Data Slice Type 1

Data Slice Packet의 complex cell들은 Data Slice의 Type 1 (DSLICE\_TYPE='0')에서 하나의 LDPC codeword의  $\lfloor N_{ldpc}/\eta_{MOD} \rfloor = N_{DP}$ 개 complex cell의 형태로 전송된다.

$$g_q = f_q \quad q = 0, 1, \dots, N_{DP} - 1$$

### 2.3.2 Data Slice Packets for Data Slice Type 2

Data Slice Type 2를 위한 Data Slice Packet은 한 개 또는 두 개의 FECFrame 앞에 추가적인 FECFrame 헤더를 수반한다. 이것은 뒤따르는 XFECFrame의 PLP\_ID, 코딩 및 변조 매개변수와 하나의 헤더에 따르는 XFECFrame의 개수를 나타내는 신호를 보낸다.

## 2.4. Frame Builder설계분석

### 2.4.1 Data Slice generation설계분석

Data Slice가 별도의 채널로 취급 될 수 있는 인터리빙은 다른 것들 사이에 수행된다. 각 Data Slice는 OFDM carrier 시작  $K_{DS,min}$  과 OFDM carrier 끝  $K_{DS,max}$  으로 식별된다. Data Slice는 scattered pilot 위치에서만 시작하고 끝난다.

### 2.4.2 Location of Data Slices설계분석

- Start/end OFDM carrier of Data Slices설계분석

L1 Signalling에서 Data Slice 시작과 끝 주파수는 START\_FREQUENCY, DSLICE\_TUNE\_POS, DSLICE\_OFFSET\_LEFT와 DSLICE\_OFFSET\_RIGHT 값으로 신호화 된다. START\_FREQUENCY와 DSLICE\_TUNE\_POS가 서로 다른 C2 Frame 사이에서 변하지 않을 동안에 다른 두 개의 값들은 정해진 모드에 따라서 매 Frame마다 변할 것이다. Data Slice는 scattered pilot 위치에서만 시작하고 끝남으로써 signalling은  $D_X$  값에 의존한다(Guard Interval 크기에 따라 달라짐). 더욱이, START\_FREQUENCY의 값은  $D_X$ 의 배수와도 같다.

## 3. DVB-C2 수신기 설계분석

### 3.1 LDPC 디코더 설계분석

LDPC 디코더는 코드워드  $\Lambda$ (길이  $N_{ldpc}$ )를 입력으로 사용하여 information bits(길이  $K_{ldpc}$ )를 출력한다. 이를 위해 이루어지는 과정은 아래와 같다.

- 먼저  $L(c_i)$ 를 구한다.

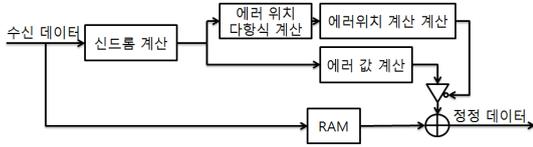
$$L(c_i) = \log \left( \frac{\Pr(c_i = 0 | Y)}{\Pr(c_i = 1 | Y)} \right)$$

위 식은 BPSK 변조를 사용했을 경우의 LLR 식이며, 여기서  $Y$ 는  $c_i$ 에 대한 channel output이고,  $c_i$ 는 수신한 codeword의  $i$ 번째 bit이다.

LDPC 디코딩 방법은 MS(Min-Sum) 디코딩 알고리즘이며 이 알고리즘은 최적의 알고리즘인 SPA(Sum-Product Algorithm) 보다 구현이 간단하고 추가적인 table이 필요하지 않다. 또한 SNR추정이 필요하지도 않으며  $L(r_{ji})$  값 setting 과정이 단순히 작은 값만을 찾기 때문에 입력값을 상당부분 Clipping 하여도 성능저하가 거의 없다는 장점이 있다.

### 3.2 BCH 디코더 설계분석

DVB-C2에서 사용되는 BCH 부호를 위한 BCH 디코더의 블록도는 다음과 같다.



(그림 8) BCH 디코더 블록도 설계분석

위의 그림에서와 같이 BCH 부호를 복호하기 위해서는 다음과 같은 복호과정을 수행하게 된다.

1.  $2t$ 개의 syndrome 계산.
2. error locator polynomial  $\sigma(x)$ 의 계산.
3.  $\sigma(x)$ 를 이용하여 오류 위치 판별.  
(CHIEN SEARCH)
4. 오류 값 계산. (FORNEY algorithm)  
\* binary BCH codes는 필요 없음.
5. 오류 정정.

이 과정에서 오류의 위치를 찾아내는 error locator polynomial  $\sigma(x)$ 는 일반적으로 Berlekamp-Massey(BM) algorithm, Peterson algorithm, Euclidean algorithm이 많이 사용된다. 현재 DVB-C2 시스템에서는 BCH 복호를 위해 기존의 여러 시스템의 Reed-Solomon(RS) 부호에서 많이 사용되던 BM 알고리즘을 사용한다.

BM 알고리즘은 효과적으로 오류 위치를 찾아내기 위한 기본적인 BCH 디코더의 속도를 크게 가속화시킬 수 있는 iterative 알고리즘으로써 수신된 codeword를 이용하여 얻은 신드롬으로 minimum linear feedback shift register (LFSR)을 만드는 방법이다. BM 알고리즘에서는 다음 수식을 만족하는 error locator polynomial ( $\sigma(x)(i+1)$ )을 최소 반복 횟수를 찾을 수 있다.

$$\sum_{j=0}^{i+1} S_{k-j} \sigma_j^{(i+1)} = 0 \quad l_i < k < i+1$$

$i$  번 반복하여 얻은 error locator polynomial은 다음과 같이 정의 한다.

$$\sigma^{(i)}(x) = 1 + \sigma_1^i x + \dots + \sigma_i^i x^i$$

$i$  번 째 반복에서의 discrepancy는 다음과 같다.

$$d_i = S_{i+1} + S_i \sigma_1^{(i)} + \dots + S_{i-l_i} \sigma_{l_i}^{(i)}$$

반복 과정은 다음과 같다.

$$d_i = 0 \text{ 일 때, } \sigma^{(i+1)}(x) = \sigma^{(i)}(x) \quad l_{i+1} = l_i$$

$$d_i \neq 0 \text{ 일 때,}$$

$$m \text{ 번째 } (-1 \leq m < i, d_m \neq 0, \text{ and } (m - l_m)$$

은 최대) 반복에서의 error locator polynomial이 solution 이라고 하면,

$$\sigma^{(i+1)}(x) = \sigma^{(i)}(x) + d_i d_m^{-1} x^{i-m} \sigma^{(m)}(x)$$

$$l_{i+1} = \max(l_i, l_m + i - m)$$

※  $i$  의 초기 값은 0이다.

### 4. 결 론

본 논문에서는 차세대 DVB 2.0 기반 DTV 수신 기술 활용을 통한 DVB-C2 단말 플랫폼의 설계기술 분석을 통해 기존 모바일 TV 기술을 바탕으로 Coverage와 Media에 국한되지 않고 DVB 2.0 방송 서비스를 송·수신할 수 있는 체계를 마련하고, 신규 방송 결합서비스 기술 및 방송 비즈니스 모델의 창출 가능하고자 DVB-C2의 송신기와 수신기 설계 기술을 분석하였다.

## Acknowledge

본 논문은 산업원천기술개발사업(DVB 2.0 기반 컨버전스 다중화 및 가변 수신 기술 개발) 지원에 의하여 연구되었음

## 참 고 문 헌

- [1] 서정욱, 김현식, 전원기, 백종호, 김동구, "ASO(Analogue Switch Off) 시대를 위한 차세대 지상파 TV 표준 DVB-T2 기술 소개," 한국통신학회지, 2008
- [2] 강민구의 5인, "DVB-T의 역다중화분석과 서브타이틀분석기" 한국인터넷정보학회지 9권4호 2008.12
- [3] Digital Video Broadcasting (DVB), Implementation Guidelines for a second generation digital cable transmission system (DVB-C2), DVB Document A147, March 2010.
- [4] J. Robert, C. Schaaf, L. Stadelmeier, "DVB-C2 - The Standard for Next Generation Digital Cable Transmission," BMSB '09. IEEE International Symposium on Broadband Multimedia Systems and Broadcasting, 2009.
- [5] www.keti.re.kr
- [6] www.kaonmedia.com

## ◎ 저 자 소 개 ◎



### 강 민 구

1986년 연세대학교 전자공학과(공학사)  
1989년 연세대학교 전자공학과(공학석사)  
1994년 연세대학교 전자공학과(공학박사)  
1985~1987 삼성전자 연구원  
1997~1998 일본 오사카대학 Post Doc.  
2000~현재, 한신대학교 정보통신학과 교수  
Email : kangmg@hs.ac.kr



### 백 종 호

1994년 중앙대학교 전기공학과(공학사)  
1997년 중앙대학교 전기공학과(공학석사)  
2007년 중앙대학교 전자전기공학부(공학박사)  
1997년~현재, 전자부품연구원 모바일단말 연구센터 센터장  
Email : jhpaik@keti.re.kr



### 서 정 욱

1999년 한국항공대학교 정보통신과(공학사)  
2001년 한국항공대학교 정보통신과(공학석사)  
2010년 연세대학교 전기전자공학과(공학박사)  
2001년~현재, 전자부품연구원 모바일단말연구센터 선임연구원  
Email : jwseo@keti.re.kr