
뇌전기파 분석용 FFT 프로세서 설계

김은숙* · 신경욱**

A design of FFT processor for EEG signal analysis

Eun-suk Kim* · Kyung-wook Shin**

이 논문은 2010년도 IT SoC 핵심설계인력양성사업의 연구비를 지원받았음

요 약

본 논문에서는 의료 서비스를 위한 뇌전기파(EEG: electroencephalogram) 신호 분석용 FFT(Fast Fourier Transform) 프로세서를 구현하였다. 실시간으로 발생하는 EEG 신호를 블록으로 나누어 short-time FFT 처리하기 위해 Hamming 창 함수를 사용하였으며, 이로 인해 감소되는 양끝의 값은 1/2 오버랩 시켜 보완하였다. 0~100 [Hz] 사이의 주파수 특성을 갖는 뇌전기파의 효율적인 대역분석을 위해 256-point FFT 프로세서를 radix-4 알고리즘을 적용하여 구현하였으며, 단일 메모리 뱅크 구조를 사용하여 집적도를 높였다. 설계된 FFT 프로세서는 FPGA 구현을 통해 기능을 검증하였으며, 연산오차가 2% 이내로 높은 연산 정밀도를 갖는다.

ABSTRACT

This paper describes a design of fast Fourier transform(FFT) processor for EEG(electroencephalogram) signal analysis for health care services. Hamming window function with 1/2 overlapping is adopted to perform short-time FFT(ST-FFT) of a long period EEG signal occurred in real-time. In order to analyze efficiently EEG signals which have frequency characteristics in the range of 0 Hz to 100 Hz, a 256-point FFT processor is designed, which is based on a single-memory bank architecture and the radix-4 algorithm. The designed FFT processor has been verified by FPGA implementation, and has high accuracy with arithmetic error less than 2%.

키워드

뇌전기파 신호 분석, 고속 푸리에 변환, 단시간 푸리에 변환, 스펙트럼 분석, 해밍 창

Key word

EEG signal analysis, FFT, Short-Time FFT, Spectral analysis, Hamming Window

* 금오공과대학교 전자공학부 석사과정

접수일자 : 2010. 10. 29

** 금오공과대학교 전자공학부 교수 (교신저자, kwshin@kumoh.ac.kr)

I. 서 론

뇌전기파(EEG : electroencephalogram)는 인간의 뇌에서 발생하는 전기적 신호로서 0.1~100Hz 범위의 주파수와 수십 μV 의 크기를 갖는다. 이는 대뇌 피질의 전기적 활동을 측정하여 뇌의 기능적 결함을 관찰할 수 있도록 해주는 것으로 1929년 Hans Berger가 처음으로 사람을 대상으로 뇌전기파를 측정할 이후 현재까지 임상에서 널리 사용되고 있다.^[1]

뇌전기파는 그림 1과 같은 국제 10-20 방식에 의해 총 21개의 도금된 전극에서 얻어진다.^[2] 각 전극에서 얻어진 아날로그 뇌전기파는 신호는 한 채널에서 최고 초당 100회 이상의 표본을 추출하여 디지털 신호로 변환시켜 저장된 후 각종 분석방법을 통해 처리된다. 처리방법으로는 스펙트럼 분석, 비선형 동적 분석, 프랙탈 분석 등이 있으며, 스펙트럼 분석이 가장 전통적인 분석방법으로 사용되고 있다. 스펙트럼 분석은 푸리에 변환(Fourier Transform)을 통해 처리하는 것으로서 뇌전기파의 고속 분석을 위해 FFT 프로세서에 대한 연구 및 개발이 필요하다. 상용화된 뇌전기파 분석장비들은 대부분 소프트웨어 기반의 스펙트럼 분석방법을 사용하고 있으며, FFT 프로세서를 이용한 하드웨어 기반의 분석장비는 거의 미미한 실정이다.

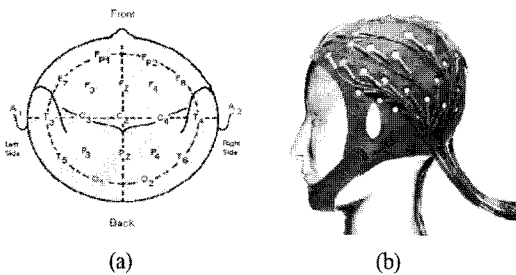


그림 1. 뇌전기파 검출 방법
 (a) 국제 10-20 전극배치 (b) 뇌전기파 검출 장비
 Fig. 1 EEG signal detection method
 (a) International 10-20 system (b) EEG signal detection system

FFT 프로세서는 단일 메모리 구조, 이중 메모리 구조, 파이프라인 구조, 어레이 구조 등 다양한 방법으로 구현될 수 있다.^[3] 파이프라인 구조는 높은 처리율을 얻을 수

있지만 다수의 복소수 곱셈기로 인해 큰 면적이 소요되는 단점을 가진다. 반면에 단일 메모리 구조는 하나의 나비연산기와 중간결과 값을 저장하기 위한 단일 메모리 뱅크를 사용하므로, 다른 구조에 비해 처리율은 낮으나 작은 면적으로 구현이 가능한 장점이 있다. 나비연산기는 radix-2, radix-4 방식이 일반적으로 사용되며, radix-2 방식은 구조가 간단하고 2^N 길이의 FFT 연산을 처리하는데 용이하다. 그러나 $\log_2 N$ 의 연산단계가 필요하여 단일 메모리 구조에 적용할 경우 연산시간이 증가하는 단점이 있다.

본 논문에서는 단일 메모리 구조와 radix-4 방식을 적용하여 FFT 프로세서를 구현하였으며, 높은 연산정밀도를 얻기 위해 조건적 스케일링 방법을 적용하였다. Verilog HDL로 설계된 FFT 프로세서는 FPGA 구현을 통해 검증되었으며, 그 결과로부터 연산 정밀도를 분석하였다.

II. 창 함수 결정 및 Matlab 시뮬레이션

뇌전기파는 실시간으로 긴 시간 동안 발생하는 신호로써 단일 FFT 연산으로 처리하기에 적합하지 않으며, 시간에 따라 주파수 성분이 변하는 non-stationary 신호이므로 발생 시점이 다르더라도 동일 주파수 성분을 포함하면 푸리에 변환을 했을 때 전혀 다른 두 신호가 비슷한 결과를 나타낼 수 있기 때문에 해석이 어렵다. 또한 돌발적인 뇌파감지에 있어 발생시점이 중요하므로 시간 해상도가 필요하다. 일반적인 푸리에 변환의 시간 해상도는 0이므로 창 함수를 사용하여 짧은 시간구간으로 나누어 푸리에 변환해야 하며, 뇌전기파의 분석을 위해서는 STFT(Short Time Fourier Transform)가 사용된다.

창 함수는 시간 연속적인 신호의 특정구간을 취하여 분석하기 위해 사용되며, 다양한 종류가 있으나 목적과 신호특성에 따라 최적의 창 함수를 선택하는 것이 중요하다. 본 논문에서는 일반적으로 많이 사용되는 Rectangle, Hanning 및 Hamming 창 함수에 대한 Matlab 모델링 및 시뮬레이션을 통해 뇌전기파 분석에 가장 적합한 창 함수를 결정하였다.

그림 2는 3가지 창 함수에 대한 Matlab 시뮬레이션 결과이다. 왼쪽의 파형은 동일한 신호에 대한 각각의 창 함수

수 적용결과이고, 오른쪽의 파형은 FFT 결과로 얻어진 스펙트럼 파형이다.

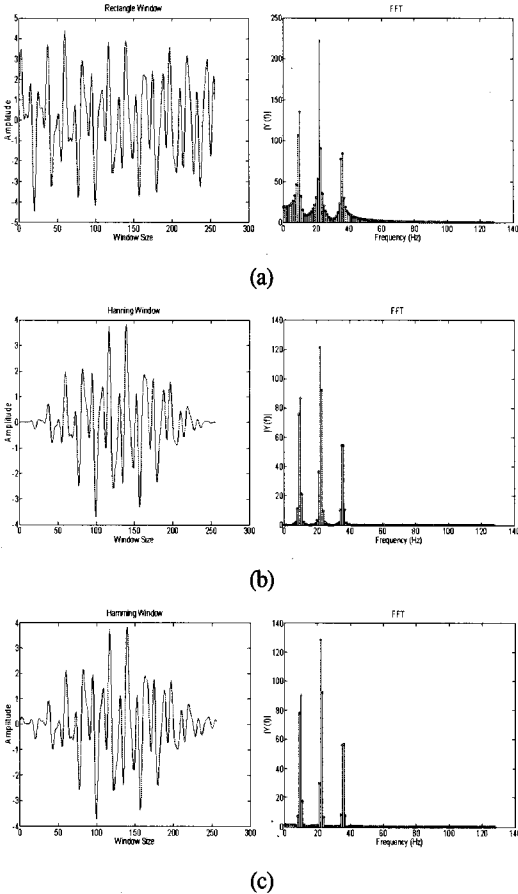


그림 2. 창 함수에 따른 FFT 결과 비교
 (a) Rectangle windowing 및 FFT 결과 (b) Hanning windowing 및 FFT 결과 (c) Hamming windowing 및 FFT 결과
 Fig. 2 Comparison of windowing functions and FFT results. (a) Rectangle windowing and FFT result (b) Hanning windowing and FFT result (c) Hamming windowing and FFT result

그림 2-(a)의 Rectangle 창은 원 신호의 모양은 그대로 유지되지만 창 함수 적용에 불연속성이 존재하며, 주파수 스펙트럼에 다수의 부엽(side-lobe)이 존재하는 단점을 갖는다. 그림 2-(b)의 Hanning 창은 신호의 연속성 측면에서 가장 우수하지만 약간의 부엽이 존재한다. 그림 2-(c)의 Hamming 창은 연속성이 좋고 부엽이 가장 작은

장점을 가지며, 이와 같은 분석결과를 바탕으로 본 논문에서는 Hamming 창 함수를 사용하기로 결정하였다. 이 함수는 양끝이 거의 0으로 수렴하여 가장자리로 갈수록 신호가 작아지므로 이를 보완하기 위해 신호의 1/2을 오버랩(overlap)시켜 준다.

설계되는 FFT 프로세서의 연산정밀도 분석에 사용하기 위해 Matlab을 이용한 FFT 모델링과 시뮬레이션을 수행하였다. 그림 3-(a)는 측정된 EEG 신호(2초 분량)이며, 1/2 오버랩을 갖는 Hamming 창 함수의 적용결과는 그림 3-(b)와 같다. 그림 3-(c)는 창 함수를 거친 신호에 대한 FFT 연산결과를 보이고 있다. 뇌전기와 주파수 대역인 0~100 [Hz]에서 신호가 검출되었고, 0~50 [Hz]에서 큰 성분이 검출됨을 보이고 있다.

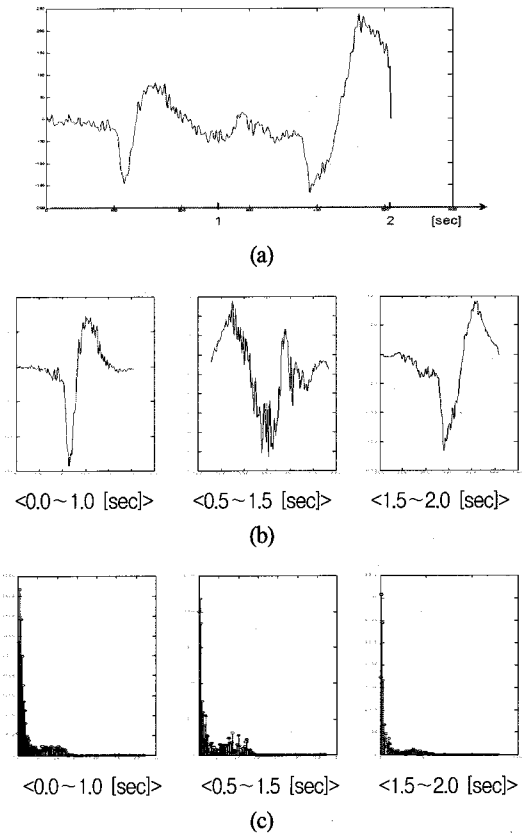


그림 3. EEG 신호의 Matlab FFT 분석 결과. (a) EEG 신호 (b) Hamming windowing 결과 (c) FFT 결과
 Fig. 3 Matlab FFT analysis results of EEG signal (a) EEG Signal (b) Hamming windowing results (c) FFT results

III. 뇌전기파 분석용 FFT 프로세서 설계

설계된 FFT 프로세서의 구조는 그림 4와 같다. 단일 메모리 구조를 기반으로 하며, 입력버퍼(IN_BUF), Hamming 창 함수 값이 저장된 HW_ROM, 창 함수 오버랩 버퍼(Win_BUF), 오버랩된 데이터에 창 함수를 곱하는 곱셈기(MUL), radix-4 FFT 연산을 위한 입력버퍼(INB), radix-4 나비연산기(BFU), 복소수 승산기(CMUL), 격자계수 생성기(TF_Gen), dual-port 메모리 뱅크, 2단계 조건적 scaling을 위한 CSB_1st와 CSB_2nd 블록 그리고 전체 동작을 제어하는 제어블록(CLU) 등으로 구성된다.

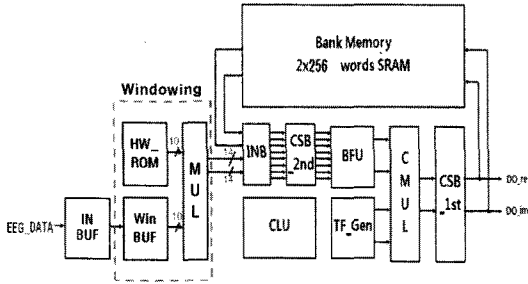


그림 4. 뇌전기파 분석용 FFT 프로세서 구조
Fig. 4 FFT processor architecture for EEG signal analysis

설계된 FFT 프로세서의 동작 타이밍은 그림 5와 같으며, 8 클럭 사이클마다 1개의 데이터가 들어와 IN_BUF에 저장되었다가 Data_enable이 1이 되면 windowing 연산과 FFT 연산이 수행된다. Overlap_enable이 1이면 다음 입력으로 쓰일 Win_BUF 끝의 128개 데이터가 오버랩 버퍼에 저장된다. 256개의 데이터 입력이 완료된 시점부터 FFT 연산이 완료되어 첫 번째 데이터가 출력되기까지 2,058 클럭 사이클이 소요된다.

HW_ROM은 256개의 Hamming 창 함수 값을 10 비트로 저장하는 320 바이트 크기의 ROM이며, Win_BUF에 저장된 EEG 데이터와 곱해진다. Windowing 과정에서 작아지는 양끝 신호를 보완하기 위해 256개 데이터 중 뒤의 128개 데이터를 Win_BUF에 저장하여 오버랩시킨다.

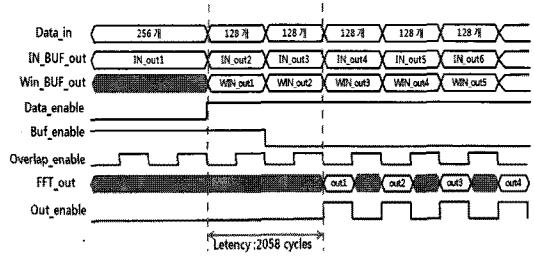


그림 5. 설계된 FFT 프로세서의 동작타이밍
Fig. 5 Timing diagram of designed FFT processor

FFT 연산의 정밀도를 높이기 위하여 2단계 조건적 스케일링^[4]을 적용하였다. 복소수 승산결과로부터 각 데이터의 지수와 가수를 찾는 첫번째 스케일링과 연산단계가 완료되는 시점에 생성되는 공통지수와 메모리에 저장된 각 데이터의 지수를 비교하여 메모리에 저장된 가수를 스케일 다운하는 단계로 구성된다.

복소수 곱셈기는 일반적으로 4개의 실수 곱셈기와 2개의 가산기를 사용하여 구현할 수 있으나 동작속도가 느리고 면적이 크다는 단점을 갖는다. 본 논문에서는 RB(Redundant Binary) 수체계^[5]를 기반으로 radix-4 Booth 인코딩과 RB 부분곱 변환을 사용하여 그림 6과 같이 구현함으로써 고속동작이 가능하도록 하였다.

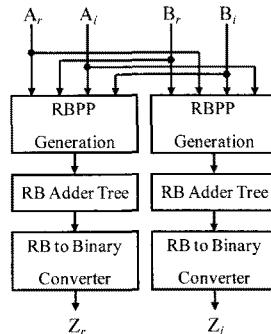


그림 6. RB 수체계 기반의 복소수 곱셈기
Fig. 6 Complex-number multiplier based on RB number system

Radix-4 나비연산기는 그림 7과 같이 3개의 가산/감산기와 실수부-허수부를 교환하는 swap 블록 2개로 구성되며, radix-4 나비연산을 4 클럭 사이클에 연산한다. 설계된 radix-4 나비연산기의 시뮬레이션 결과는 그림 8과 같으며, 논리기능이 올바르게 동작함을 확인하였다.

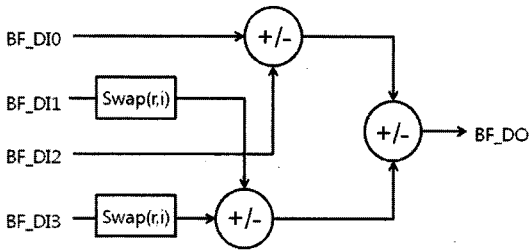


그림 7. Radix-4 나비연산기 블록
Fig. 7. Radix-4 butterfly arithmetic block

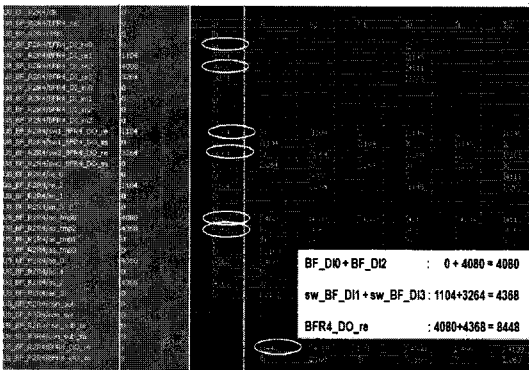


그림 8. Radix-4 나비연산기의 시뮬레이션 결과
Fig. 8 Simulation results of radix-4 butterfly arithmetic

Verilog HDL로 설계된 뇌파 분석용 FFT 프로세서는 ModelSim으로 기능검증을 수행하였으며, 시뮬레이션 결과는 그림 9와 같다. Matlab을 이용한 FFT 연산결과와 비교를 통해 설계된 FFT 프로세서가 정상 동작함을 확인하였다.

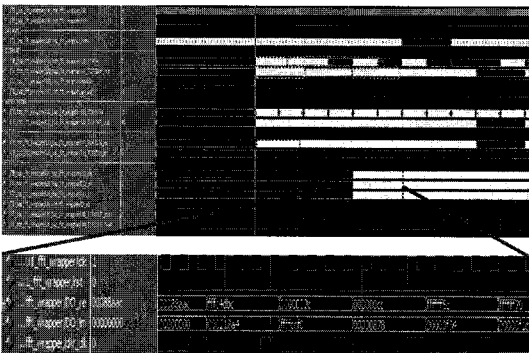
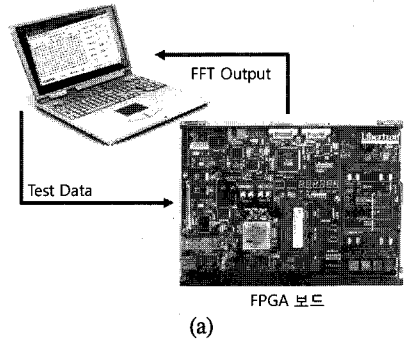


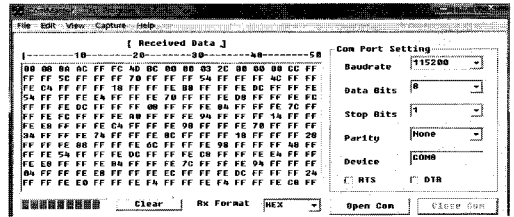
그림 9. 설계된 FFT 프로세서 시뮬레이션 결과
Fig. 9 Simulation result of designed FFT processor

IV. FPGA 구현 및 성능분석

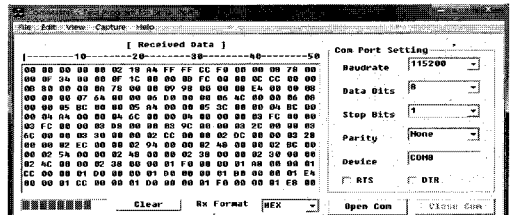
설계된 FFT 프로세서는 그림 10-(a)와 같은Xilinx Virtex5 XC5V5X50T FPGA 보드를 이용하여 하드웨어 동작을 검증하였다. FPGA 보드에 FFT 프로세서와 Wrapper를 구현하고, 내부에서 받은 입력벡터의 FFT 결과를 시리얼 통신을 통해 PC로 전송해 보여준다. 시리얼 통신을 통해 받은 FFT 결과는 그림 10-(b), (c)와 같으며, 그림 9의 Modelsim 시뮬레이션 결과와 일치함을 확인하였다.



(a)



(b)



(c)

그림 10. FPGA 구현 및 검증 결과
(a) FPGA 검증시스템 (b) FPGA 검증결과(실수부)
(c) FPGA 검증결과(허수부)

Fig. 10 FPGA verification results
(a) FPGA verification system (b) FPGA verification result (real part) (c) FPGA verification result(imaginary part)

설계된 FFT 프로세서의 연산정밀도 분석은 그림 11의 과정으로 수행되었으며, FPGA에 구현된 FFT 프로세서의 출력 16 비트와 Matlab 시뮬레이션에 의해 얻어진 부동소수점 (floating-point) FFT 결과로부터 %error를 구하였다. 신호 샘플에 대한 FFT 연산결과로 256개의 주파수 영역 데이터가 출력되며, 이들 중 뇌전기과 분석에 사용되는 128개 값에 대한 연산오차를 분석하였으며, 그 결과는 그림 12와 같다. 샘플1과 샘플4에서 2개 데이터에 대해 오차가 크게 나타났으나, 이는 데이터 값이 매우 작은 경우의 비율적 오차이며, 뇌파 신호의 주파수 스펙트럼에 미치는 영향은 무시할 수 있을 정도로 작다. FFT 연산결과와 주파수 스펙트럼에 대한 오차분석 결과는 그림 13과 같으며, 전체 주파수 스펙트럼 영역에 걸쳐 최대 오차가 2% 미만, 평균 오차 0.1399%로 높은 연산정밀도를 갖는 것으로 분석되었다.

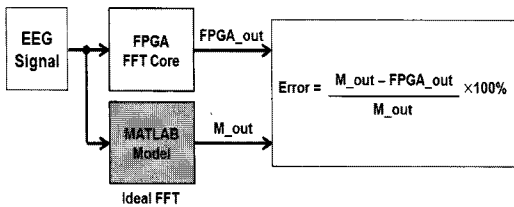


그림 11. 연산정밀도 분석 방법
Fig. 11 Analysis method of arithmetic accuracy

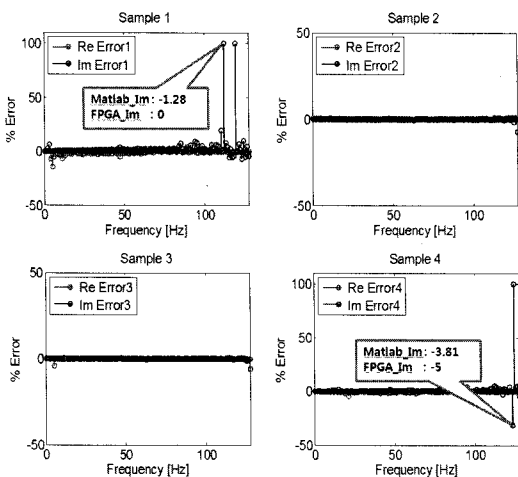


그림 12. 연산정밀도 분석 결과
Fig. 12 Arithmetic accuracy analysis results

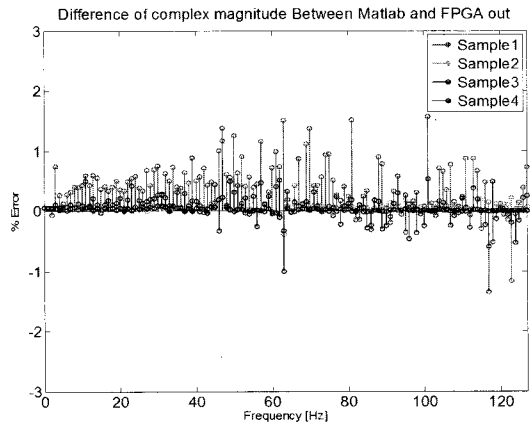


그림 13. 뇌파 스펙트럼의 연산 오차 분석
Fig. 13 Accuracy analysis of EEG spectrum

V. 결론

의료 서비스를 위한 뇌전기과 분석용 FFT 프로세서를 설계하였다. 실시간으로 발생되는 긴 신호를 처리하기 위하여 Hamming 창 함수를 사용하였고, 이로 인해 감소되는 양 끝의 값을 1/2 오버랩 시켜줌으로써 보완하였다. 설계된 FFT 프로세서를 FPGA에 구현하여 검증하였으며, 연산오차가 2% 이내로 높은 연산 정밀도를 가져 뇌전기과 신호분석에 적합한 것으로 평가되었다. 향후, ADC와 필터 등이 포함된 단일 칩으로 개발될 예정이다.

감사의 글

2010년도 IT SoC 핵심설계인력양성사업의 연구비를 지원받았음.

참고문헌

- [1] E. Niedermeyer and F. Da Silva, *Electroencephalography: Basic Principle, Clinical Applications, and Related Fields*, 3rd, Williams & Wilkins, Baltimore, 1993.

- [2] P.F.H., T. Sannit, A review of the international ten-twenty system of electrode placement, Grass Instrument Company, 1974.
- [3] B. M. Baas, "A low-power, high-performance, 1024-point FFT processor," *IEEE Journal of Solid-State Circuits*, vol. 24, no. 3, pp. 380-387, Mar. 1999.
- [4] 임창완, 다중 표준 OFDM 시스템용 가변길이 FFT/IFFT 프로세서 설계, 금오공과대학교 대학원, 2009.
- [5] Kyung-Wook Shin, Bang-Sup Song, Kantilal Bacrania, "A 200-MHz complex number multiplier using redundant binary arithmetic", *IEEE Journal of Solid-State Circuits*, vol. 33, no. 6, pp. 904-909, Jun., 1998

저자소개



김은숙(Eun-Suk Kim)

2010년 2월 금오공과대학교
전자공학부(공학사)
2010년 3월~현재 금오공과대학교
전자공학과석사과정

※ 관심분야: 통신 및 신호처리용 집적회로 설계,
정보보호용 집적회로 설계



신경욱(Kyung-Wook Shin)

1984년 2월 한국항공대학교
전자공학과(공학사)
1886년 2월 연세대학교대학원
전자공학과(공학석사)

1990년 8월 연세대학교대학원(공학박사)
1990년 9월~1991년 6월 한국전자통신연구소
반도체연구단(선임연구원)
1995년 7월~현재 금오공과대학교 전자공학부(교수)
1995년 8월~1996년 7월 University of Illinois at Urbana-
Champaign(방문교수)
2003년 1월 1~2004년 1월 University of California at San
Diego(방문교수)

※ 관심분야: 통신 및 신호처리용 SoC 설계, 정보보호
SoC 설계, 반도체 IP 설계