
저전력 OTP Memory IP 설계 및 측정

김정호* · 장지혜* · 김려연* · 하판봉* · 김영희*

Design of low-power OTP memory IP and its measurement

Jung-Ho Kim* · Ji-Hye Jang* · Liyan Jin* · Pan-Bong Ha* · Young-Hee Kim*

이 논문은 2009~2010년도 창원대학교 연구비에 의하여 연구되었음.

요 약

본 논문에서는 대기 상태에서 저전력 eFuse OTP 메모리 IP를 구현하기 위해 속도가 문제가 되지 않는 반복되는 블록 회로에서 1.2V 로직 트랜지스터 대신 누설 (off-leakage) 전류가 작은 3.3V의 MV (Medium Voltage) 트랜지스터로 대체하는 설계기술을 제안하였다. 그리고 읽기 모드에서 RWL (Read Word-Line)과 BL의 기생하는 커패시턴스를 줄여 동작전류소모를 줄이는 듀얼 포트 (Dual-Port) eFuse 셀을 사용하였다. 프로그램 전압에 대한 eFuse에 인가되는 프로그램 파워를 모의실험하기 위한 등가회로를 제안하였다. 하이닉스 90나노 CMOS 이미지 센서 공정을 이용하여 설계된 512비트 eFuse OTP 메모리 IP의 레이아웃 크기는 $342\mu\text{m} \times 236\mu\text{m}$ 이며, 5V의 프로그램 전압에서 42개의 샘플을 측정 한 결과 프로그램 수율은 97.6%로 양호한 특성을 얻었다. 그리고 최소 동작전원 전압은 0.9V로 양호하게 측정되었다.

ABSTRACT

In this paper, we propose a design technique which replaces logic transistors of 1.2V with medium-voltage transistors of 3.3V having small off-leakage current in repetitive block circuits where speed is not an issue, to implement a low-power eFuse OTP memory IP in the stand-by state. In addition, we use dual-port eFuse cells reducing operational current dissipation by reducing capacitances parasitic to RWL (Read word-line) and BL (Bit-line) in the read mode. Furthermore, we propose an equivalent circuit for simulating program power injected to an eFuse from a program voltage. The layout size of the designed 512-bit eFuse OTP memory IP with a 90nm CMOS image sensor process is $342\mu\text{m} \times 236\mu\text{m}$. It is confirmed by measurement experiments on 42 samples with a program voltage of 5V that we get a good result having 97.6 percent of program yield. Also, the minimal operational supply voltage is measured well to be 0.9V.

키워드

저전력, 이퓨즈, 오티피 메모리, 이미지 센서, 누설 전류

Key words

low-power, eFuse, OTP memory, CMOS image sensor, off-leakage current

I. 서 론

일반적으로 MCU, Power IC, 디스플레이 구동 칩, CMOS 이미지 센서 등에 사용되는 프로그램 메모리는 추가 공정이 필요 없는 eFuse (Electrical Fuse)나 안티퓨즈 방식의 로직 공정 기반 OTP (One-Time Programmable) 메모리 IP가 많이 사용되고 있다 [1].

안티퓨즈 방식의 OTP 메모리 셀은 얇은 게이트 산화막 (Gate Oxide)에 항복전압 (Breakdown Voltage)보다 높은 전압을 인가하여 전기적으로 단락시켜 프로그램하게 된다. 반면 eFuse (Electrical Fuse) OTP 메모리 셀은 폴리실리콘 게이트에 10mA~30mA 정도의 과전류를 흘려 eFuse를 blowing하여 퓨즈를 선택적으로 끊어준다. Antifuse OTP 메모리는 eFuse OTP 메모리에 비해 셀 크기가 작고 프로그램과 읽기 동작을 바이트 (Byte) 단위로 수행하는 장점이 있는 반면, 게이트 산화막의 두께가 얇아지면서 Post-Program 저항이 수 MΩ까지 나와 센싱 불량 발생 가능성이 있다. 그래서 메모리 용량이 작은 OTP 메모리는 설계가 쉬운 eFuse OTP 메모리 IP가 많이 사용되고 있다. 표 1은 eFuse와 안티퓨즈 OTP 메모리의 비교 표이다.

표 1. eFuse와 안티퓨즈 OTP 메모리 비교.
Table 1. Comparison of eFuse and antifuse memories.

항목	eFuse OTP 메모리	안티퓨즈 OTP 메모리
셀	poly fuse 링크	thin gate oxide
프로그램 방식	blowing	broken
프로그램 전압	medium voltage	high voltage
프로그램 전류	수 십 mA	수 백 μA
프로그램 시간	수 백 μs	수 ms

한편 공정기술이 발전하고 소자의 크기가 scale-down되면서 누설 (off-leakage) 전류는 전력 소모에 중요한 성분이다. 최근 대기 (Stand-By) 상태에서 누설 전류를 줄이는 회로 설계 기술은 SSI (Switched Source-Impedance) 기법 [3], self-reverse 바이어싱 기법 [4], dual VT (Threshold Voltage) 기법 [5] 등이 제안되었다. SSI와 self-reverse 바이어싱 기법은 전원 스위칭 트랜지스터 (Power Switching Transistor)가 추가되면서 프로그램 시 eFuse에 인가되는 프로그램 파워 (Power)가

줄어들어 프로그램 수율 (Yield)이 나빠질 수 있다. 그리고 Dual-VT 기법은 high VT의 공정이 요구되는 단점이 있다.

본 논문에서는 읽기 전류 (Read Current)를 줄이기 위해 읽기나 프로그램 모드에 최적화된 분리된 NMOS 트랜지스터로 구성된 듀얼 포트 (Dual-Port) eFuse 메모리 셀을 사용하였으며, 읽기 모드에서 RWL과 BL의 기생하는 커패시턴스를 줄여 읽기 모드의 동작전류소모를 줄이도록 한다. 그리고 대기 전류를 줄이기 위해 속도가 문제가 되지 않는 반복되는 블록 회로에서 1.2V 로직 트랜지스터를 누설 전류가 작은 3.3V의 MV (Medium Voltage) 트랜지스터로 대체하는 설계기술을 제안하였다. 또한 eFuse에 인가되는 프로그램 파워를 모의실험하기 위한 등가회로를 제안하였으며, 프로그램 전압이 높아지면서 프로그램 파워가 증가하는 것을 확인하였다. 저전력 512비트 eFuse OTP 메모리 IP는 하이닉스 90나노 CMOS 이미지 센서 공정을 이용하여 설계되었다.

II. 회로설계

기존의 eFuse 메모리 cell 회로 [6]는 그림 1의 회로도에서 보는바와 같이 eFuse 링크 (Link)와 NMOS 트랜지스터로 구성되어 있으며, eFuse의 프로그램 이전 저항은 50~200Ω 정도이다.

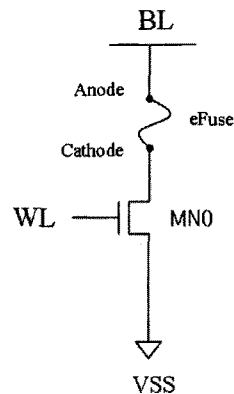


그림 1. 기존의 eFuse 메모리 cell 회로도.
Fig. 1. Circuit of a conventional eFuse memory cell.

eFuse를 blowing하는 경우 BL (Bit-Line)과 WL (Word-Line)에 I/O 인터페이스 전압인 VIO 전압을 인가하면 eFuse와 MN1을 통해 프로그램 전류가 흐르면서 eFuse의 저항은 수 100kΩ 이상이 된다. 이와 같이 eFuse는 전도상태 (Conductive State)와 고저항 상태 (Highly Resistive State) 중 하나로 프로그램 된다.

그런데 기존의 eFuse 메모리 셀은 그림 1의 NMOS 트랜지스터인 MN0에 의해 프로그램과 읽기 동작이 이루어지므로 프로그램 전류를 만족하기 위해서는 NMOS 트랜지스터의 채널 폭 (Channel Width)은 커야 한다. 그리고 BL에 기생하는 저항을 줄여 프로그램 전압을 낮추기 위해서 BL의 메탈 폭 (Metal Width)는 커야한다. 이런 경우 WL과 BL의 기생 커패시턴스가 증가하므로 읽기 모드에서의 스위칭에 의한 동작전류가 증가하는 문제가 있다.

설계된 듀얼 포트 eFuse 셀은 그림 2의 회로도와 같이 Cobalt silicide를 사용한 eFuse 링크, 프로그램용 NMOS 트랜지스터 (MN1)와 읽기 모드용 NMOS 트랜지스터 (MN2)로 구성되어 있다. 설계된 eFuse OTP 메모리 셀의 레이아웃 크기는 32.065μm × 2.315μm이다.

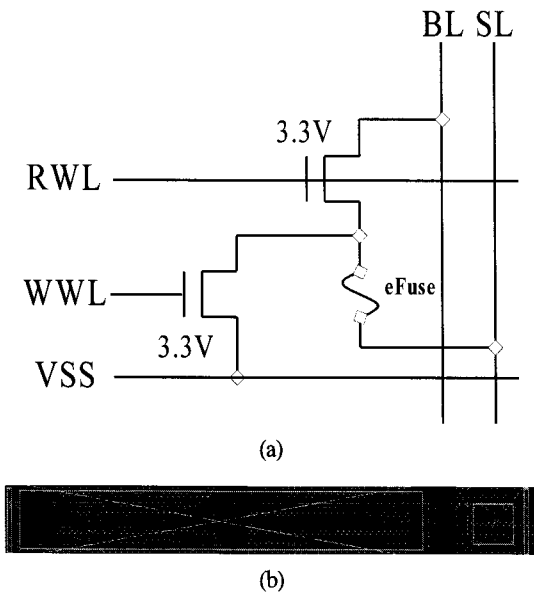


그림 2. 설계된 eFuse OTP 메모리 셀
(a) 회로도 (b) 레이아웃 이미지.
Fig. 2. Designed eFuse OTP memory cell
(a) circuit, (b) layout image.

설계된 CMOS 이미지 센서용 512-bit OTP 메모리의 셀 어레이 (Cell Array)는 64행 (Rows) × 8열 (Columns)로 구성되어 있으며, 사용되는 전원전압은 로직 전압인 VDD (=1.2V)와 I/O 인터페이스 전압인 VIO (=3.3V)가 사용된다. 동작 모드는 프로그램과 읽기 모드가 지원되고 있다. eFuse OTP 메모리 IP는 bit당 프로그램 전류가 크므로 한 비트 씩 프로그램을 수행하며, 읽기 모드는 한 바이트 씩 수행된다.

512-bit eFuse OTP 메모리 IP는 그림 3에서 보는바와 같이 64행 × 8열의 eFuse OTP 메모리 셀 어레이, 행 어드레스 A[5:0]을 디코딩하여 64개 WL 중 하나를 선택해주는 행 디코더, SL (Source Line) 구동회로와 BL S/A (Bit-Line Sense Amplifier), 제어신호 (RD, PGM)에 따라 프로그램과 읽기 모드에 적합한 내부 제어신호를 공급하는 제어 로직으로 구성되어 있다. SL 구동회로는 8개의 구동회로로 구성되어 있으며, 열 어드레스인 A[8:6]의 디코딩에 의해 선택되는 SL을 구동하는 회로이다. 그림 4는 열 어드레스 A[8:6]에 의해 프로그램 된 비트와 읽기 모드 시 출력되는 DOUT[7:0]의 관계를 보여주고 있으며, D0 비트가 A[8:6]의 LSB (Least Significant Bit)이다.

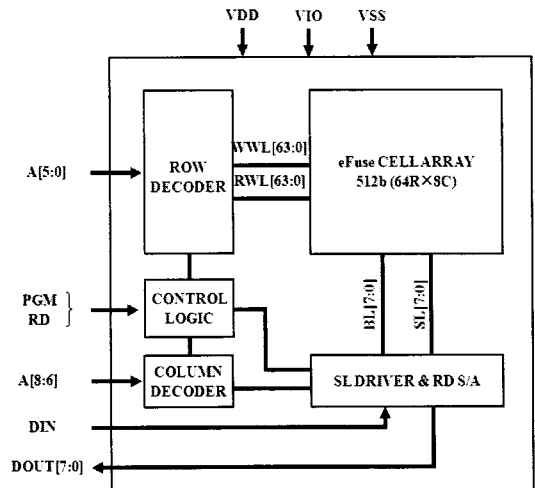


그림 3. 저전력 512-bit eFuse OTP 메모리 IP의 블록도.
Fig. 3. Block diagram of a 512-bit low-power eFuse OTP memory IP.

Address \ Bit	D7	D6	D5	D4	D3	D2	D1	D0
A[8]	1	1	1	1	0	0	0	0
A[7]	1	1	0	0	1	1	0	0
A[6]	1	0	1	0	1	0	1	0

↓ DOUT[7] ↓ DOUT[6] ↓ DOUT[5] ↓ DOUT[4] ↓ DOUT[3] ↓ DOUT[2] ↓ DOUT[1] ↓ DOUT[0]

그림 4. 열 어드레스 A[8:6]과 DOUT[7:0]의 관계.
Fig. 4. Relation between the column address A[8:6] and DOUT[7:0].

그림 5(a)의 WL 구동회로는 프로그램 모드로 진입하게 되면 WLEN_PGM과 WLENb_PGM은 각각 로직 '1'과 로직 '0'로 된다. 이 상태에서 행 어드레스인 A[5:0]을 디코딩하여 선택되는 WWL만 VIO로 구동되고 선택되지 않은 WWL은 0V를 유지하도록 한다. 일반적으로 VIO 전압이 먼저 파워-업 (power-up)한 이후 VDD 전압이 voltage regulator에 의해 생성된다.

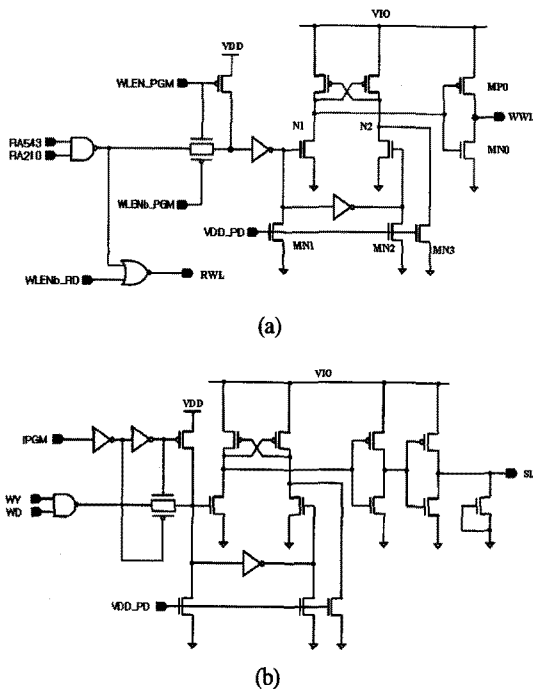


그림 5. (a) WL 구동회로, (b) SL 구동회로.
Fig. 5 (a) WL driver circuit, (b) SL driver circuit.

그림 5(a)의 VDD_PD 신호는 VDD가 생성되기 이전까지 VIO 전압을 공급하므로 MN1, MN2와 MN3를 ON시켜 N2 노드를 0V로 방전시킨다. N2가 0V가 되면 N1을 VIO 전압으로 프리차징 되어 인버터에서의 단락회로전류 경로(short-circuit current Path)를 차단할 수 있다 [7]. 그림 5(b)의 SL 구동 회로는 프로그램 모드에서 eFuse의 양극 (Anode)에 VIO 전압을 공급한다. DIN이 로직 '1'인 경우 SL에 VIO 전압을 공급하고, DIN이 로직 '0'인 경우 SL을 0V로 구동한다. 그리고 읽기 모드에서는 IPGM 신호가 로직 '0' 상태이므로 SL은 0V를 구동하도록 한다. WL 구동회로와 마찬가지로 SL 구동회로도 단락 회로 전류 경로를 차단하는 회로가 추가되어 있다.

읽기 모드에서는 RWL이 활성화되기 이전에 짧은 펄스의 PRECHARGE 신호에 의해 그림 6의 MP0이 ON되면서 BL은 VDD 전압으로 프리차징 된다. RWL이 활성화되면서 로직 '1'로 프로그램된 셀에 연결된 BL은 VDD 전압을 유지하는 반면, 로직 '0'로 프로그램된 셀은 eFuse 링크(link)의 저항이 50~200Ω 정도이므로 BL을 0V로 방전시킨다. eFuse OTP 메모리 셀의 데이터가 BL에 충분히 전달된 뒤 SAENb (Sense Amplifier Enable) 신호가 0V로 활성화되면 디지털 센싱 (sensing) 방식의 BL 감지 증폭기 [7]는 BL 전압인 VDD 또는 0V를 센싱하여 DOUT으로 읽은 데이터를 출력한다. 높은 임피던스를 갖는 PMOS 부하 트랜지스터 MP1은 RWL이 선택되어 있는 동안 ON되어 BL을 VDD로 풀업 (pull-up) 시키는 부하 (Load)로 작용한다.

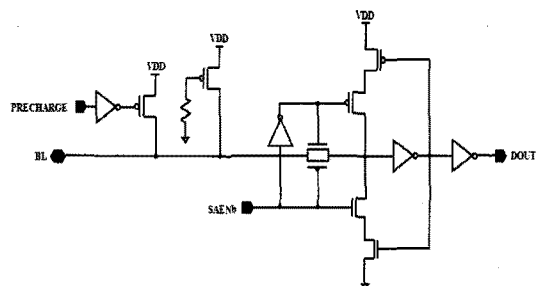


그림 6. 디지털 센싱 방식의 BL 감지 증폭기.
Fig. 6. BL sense amplifier of digital sensing type.

나노 공정의 CMOS 이미지 센서 기술로 가면서 로직 트랜지스터의 누설 전류로 인한 대기 전류가 증가하는

문제가 있다. 1.2V 로직 트랜지스터와 3.3V MV 트랜지스터의 누설 전류는 표 2에서 보는 바와 같다. 그래서 본 논문에서는 대기 전류를 줄이기 위해서 512-bit OTP 메모리 IP의 속도에 크게 문제가 되지 않는 반복되는 블록과 병렬로 존재하는 블록 회로에서 1.2V 로직 트랜지스터를 3.3V MV (Medium Voltage) 트랜지스터로 대체하였다. 표 3은 설계된 512비트 eFuse OTP 메모리 IP에서 OFF 상태에 있는 MOS 트랜지스터의 전체 폭 (total width)를 계산한 것이다. 계산 결과 대기 전류는 193.9nA가 나왔으며, 이 전류는 저전력 OTP 메모리 IP를 구현할 수 있다.

표 2. MOS 트랜지스터의 누설 전류.
Table 2. Off-leakage currents of MOS transistors.

MOS 트랜지스터	off-leakage 전류
1.2V NMOS	546.49 pA/ μm
1.2V PMOS	552.04 pA/ μm
3.3V NMOS	0.586 pA/ μm
3.3V PMOS	0.585 pA/ μm

표 3. 512-bit eFuse OTP 메모리 IP에서 OFF 상태에 있는 MOS 트랜지스터의 전체 폭.

Table 3. Total widths of MOS transistors in the OFF state for the 512-bit eFuse OTP memory IP.

Block	MOS Transistor			
	1.2V NMOS	1.2V PMOS	3.3V NMOS	3.3V PMOS
Cell Array	-	-	2,560	-
WL Driver	-	-	576	640
SL Driver	16	16	128	1,448
BL S/A	-	160	44	232
WD Driver	2	20	-	-
CS Buffer	2	16	-	-
BLSA Ctrl	33	42	-	-
XDEC Ctrl	15.5	23	-	-
X-Predecoder	-	-	77	260
Y-Predecoder	-	-	43	144
Total Width	68.5	277	3,428	2,724

III. 모의실험 및 측정 결과

그림 7(a)는 eFuse 저항에 따른 eFuse에 인가되는 프로그램 파워 (Program Power)를 모의실험하기 위한 등가회로를 보여주고 있다. IP에서의 전원선 라우팅 (Power Line Routing) 저항, 칩 레벨에서 IP가 사용되었을 때 라우팅 저항 10 Ω 이 모델링되었다. 그림 7(b)에서 보는 바

와 같이 프로그램 전압이 높아질수록 eFuse에 인가되는 파워는 증가하는 것을 볼 수 있다.

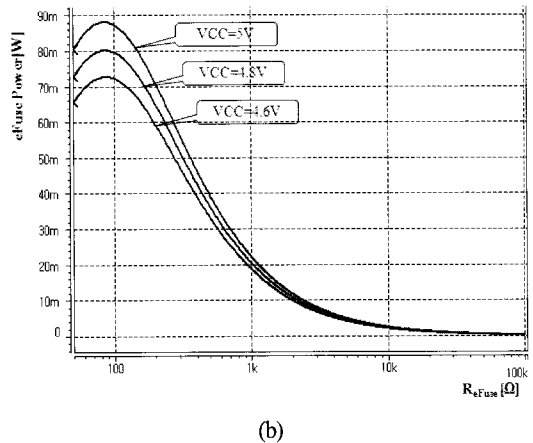
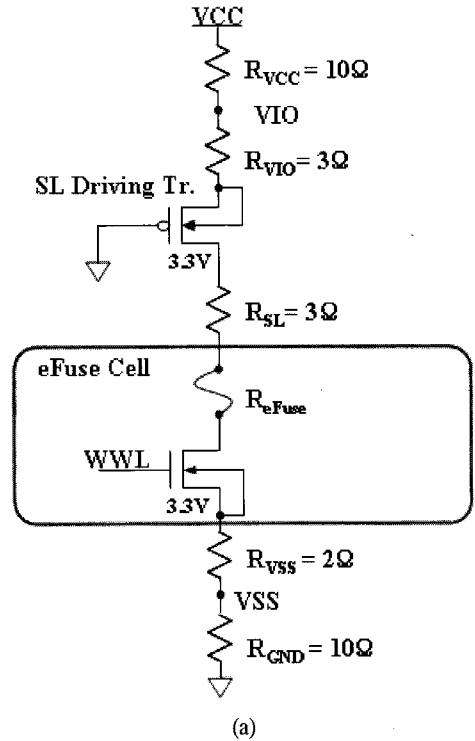


그림 7. 프로그램 모드 시 eFuse 저항에 따른 프로그램 파워 모의실험: (a) 등가회로, (b) 모의실험 결과.

Fig. 7. Simulation result of program powers with respect to eFuse resistances in the program mode:

(a) equivalent circuit, (b) simulation result.

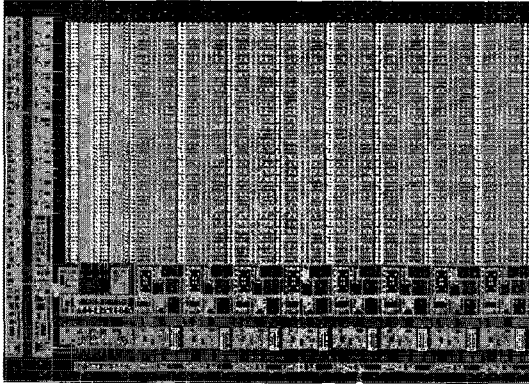


그림 8. 설계된 512-bit eFuse OTP 메모리 IP의 레이아웃 이미지.
Fig. 8. Layout image of the designed 512-bit eFuse OTP memory IP.

그림 9는 하이닉스 90nm CMOS 이미지 센서 공정으로 제작된 512-bit eFuse OTP 메모리 IP를 메모리 테스트 장비로 function 테스트한 결과를 보여주고 있으며, 5V의 프로그램 전압에서 42개의 샘플을 측정할 결과 프로그램 수율은 97.6%로 양호한 특성을 얻었다. 그림 10은 액세스 (Access) 시간에 따른 VDD Shmoo plot을 보여주고 있으며, 200ns의 액세스 시간에 대해 최소 VDD는 0.9V까지 동작하는 것을 확인하였다.

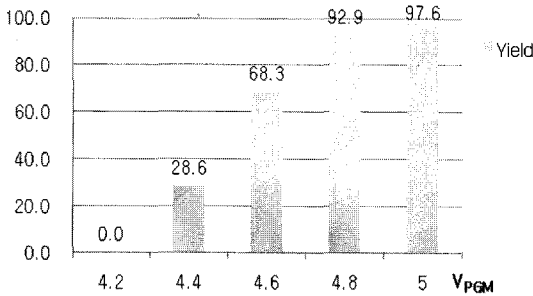


그림 9. 제작된 512-bit eFuse OTP 메모리 IP의 테스트 결과.
Fig. 9. Test result of the designed 512-bit eFuse OTP memory IP.

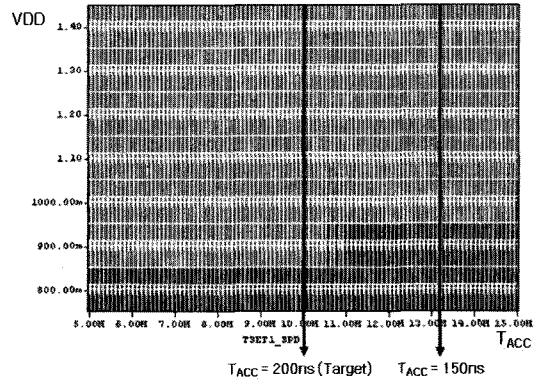


그림 10. 액세스 시간에 따른 VDD Shmoo plot.
Fig. 10. VDD Shmoo plot with respect to access times.

V. 결 론

공정기술이 발전하고 소자의 크기가 scale-down되면서 누설 전류는 전력 소모에 중요한 성분이다. 본 논문에서는 Read 전류와 대기 전류를 줄이기 위해 듀얼 포트 eFuse 셀과 누설 전류 감소 기술을 제안하였다. 대기 전류를 줄이기 위한 기술은 속도에 크게 문제가 되지 않는 반복되는 블록 회로에서 1.2V 트랜지스터를 3.3V 트랜지스터로 대체하여 대기 전류를 sub- μ A로 낮출 수 있었다. 그리고 eFuse에 인가되는 프로그램 파워를 모의 실험하기 위한 등가회로를 제안하였으며, 프로그램 전압이 높아지면서 프로그램 파워가 증가하는 것을 확인하였다.

감사의 글

이 논문은 2009-2010년도 창원대학교 연구비에 의하여 연구되었음.

참고문헌

- [1] Hyouk-kyu Cha et al., "A 32-KB Standard CMOS Antifuse One-Time Programmable ROM Embedded in a 16-bit Micro-controller", IEEE Journal of Solid-State Circuits, vol. 41, no. 9, Sep. 2006.

[2] 김영희 외, "동기식 256bit OTP 메모리 설계", 한국해양정보통신학회논문지, vol. 7, no. 12, pp. 1227-1234, July 2008.

[3] M. Horiguchi et al., "Switched-source-impedance CMOS circuit for low standby subthreshold current giga-scale LSI's," in Symp. VLSI Circuit, Digest of Technical Papers, pp. 47-48, May 1993.

[4] T. Kawahara et al., "Sub-threshold current reduction for decoded-driver by self-reverse biasing," IEEE J. Solid-State Circuits, vol. 28, pp.1136-1144, Nov. 1993.

[5] D. Takashima et al., "Standby/active mode logic for sub-1-V operating ULSI memory," IEEE J. Solid-State Circuits, vol. 29, pp.441-447, April 1994.

[6] N. Robson et al., "Electrically Programmable Fuse (eFuse): From Memory Redundancy to Autonomic Chips", Proceedings of Custom Integrated Circuits Conference, pp. 799-804, Sep. 2007.

[7] Y. H. Kim et al., "Design and Measurement of a 1-kBit eFuse One-Time Programmable Memory IP Based on a BCD Process," IEICE Trans. Electron., vol. E93-C, no. 8, pp. 1365-1370, Aug. 2010.

저자소개



김정호(Jung-Ho Kim)

1980.2 경남대학교 전자공학과
공학사
2008.2 창원대학교 신소재·나노
과정 공학석사

2008.9~현재 신소재·나노과정 박사 수료
※ 관심분야: High-Speed I/O Interface 설계, NVM 설계



장지혜(Ji-Hye Jang)

2008.2 창원대학교 전자공학과
공학사
2008.3 창원대학교 전자공학과
석사과정

※ 관심분야: High-Speed I/O Interface 설계



김려연(Li-Yan Jin)

2007.7 연변대학교 컴퓨터공학과
공학사
2009.9 창원대학교 전자공학과
석사과정

2009.9~현재 창원대학교 전자공학과 박사과정
※ 관심분야: Non-Volatile memory 설계, High-Speed I/O Interface 설계



하판봉(Pan-Bong Ha)

1981.2 부산대학교 전기공학과
공학사
1983.2 서울대학교 전자공학과
공학석사

1993.2 서울대학교 전자공학과 공학박사
1987.3~현재 창원대학교 전자공학과 교수
※ 관심분야: 임베디드 시스템, SoC 설계



김영희(Young-Hee Kim)

1989.2 경북대학교 전자공학과
공학사
1997.2 포항공과대학교
전자전기공학과 공학석사

2000.8 포항공과대학교 전자전기공학과 공학박사
1989.1~2001.2 현대전자 책임연구원
2001.3~현재 창원대학교 전자공학과 교수
※ 관심분야: 메모리 IP 설계, SoC 설계