논문 2010-47SD-12-5

QVGA급 LCD Driver IC의 그래픽 메모리 설계

(Design of Graphic Memory for QVGA-Scale LCD Driver IC)

김 학 윤*, 차 상 록*, 이 보 선*, 정 용 철*, 최 호 용**

(Hak-Yun Kim, Sang-Rok Cha, Bo-Sun Lee, Yong-Cheol Jeong, and Ho-Yong Choi)

요 약

본 논문에서는 QVGA급 LCD Driver IC (LDI)의 그래픽 메모리를 설계한다. 저면적을 위해 pseudo-SRAM 구조로 설계하고, 센싱 특성 개선과 line-read 동작 시 구동력 향상을 위해 bit line을 분할한 cell array 구조를 적용한다. 또한, C-gate를 이용한 저면적의 충돌방지 회로를 사용하여 그래픽 메모리의 line-read/self-refresh 동작과 기존의 write/read 동작 상호간의 충돌을 효과적으로 제어하는 방식을 제안한다. QVGA급 LDI의 그래픽 메모리는 0.18㎛ CMOS공정을 이용하여 트랜지스터 레벨로 설계하고 회로 시뮬레이션을 통해 그래픽 메모리의 write, read, line-read, self-refresh 등의 기본 동작을 확인하고, 제안된 충돌방지 블록에 대한 동작을 확인하였다. 개선된 cell array를 통해 bit/bitb line 전압차 ΔV는 약 15% 증가하고, bit/bitb line의 charge sharing time T_{CHGSH}는 약 30% 감소하여 센싱 특성이 향상되었으며, line-read 동작 시 발생하는 전류는 약 40% 크게 감소되었다.

Abstract

This paper presents the design of a graphic memory for QVGA-scale LCD Driver IC (LDI). The graphic memory is designed based on the pseudo-SRAM for the purpose of small area, and the memory cell structure is designed using a bit line partitioning method to improve sensing characteristics and drivabilties in the line-read operation. Also, a collision protection circuit using C-gate is designed to control collisions between read/write operations and self-refresh/line-read operations effectively. The graphic memory circuit has been designed in transistor level using 0.18㎛ CMOS technology library and the operations of the graphic memory have been verified using Hspice. The results show that the bit-bitb line voltage difference ΔV increases by 40%, the charge sharing time between bit and bitb voltages T_{CHGSH} decreases by 30%, and the current during line-read decreases by 40%.

Keywords: LCD driver IC, pseudo SRAM, graphic memory, QVGA

I. 서 론

최근, 휴대폰과 같은 모바일 기기에서 TFT- LCD (Thin Film Transistor - Liquid Crystal Display)의 수요가 증가함에 따라 TFT-LCD를 구동시키기 위한 LCD Driver IC (LDI)의 시장이 크게 성장하고 있다[1]. 또한, 모바일 기기용 소형 LDI의 경우 수개의 칩으로 구성되었으나, 저면적 설계가 가능하면서 그래픽 메모리도 포함하여 단일 칩으로 집적되고 있다[2~4].

그러나 단일 칩 소형 LDI는 고해상도의 요구에 따라 QVGA급 및 WVGA+급까지 발전되고 있고,[5] 이에 따라 칩의 면적이 크게 증가하게 되어, 칩의 가격 경쟁력을 갖기 위해 저면적 설계를 위한 노력이 필요하다.

또한, 고해상도가 됨에 따라 메모리가 대용량화 되면서 bit line의 R과 C가 크게 증가하고 있다. 이는 메모리 data의 센싱 특성을 저하시키고, 특히 line-read 동작 시 구동력을 저하시킨다. 따라서 이를 극복하기 위

* 학생회원, 충북대학교 반도체공학과
(Chungbuk National University)
** 평생회원-교신저자, 충북대학교 전자공학부, 컴퓨터정보통신연구소
(Department of Electronics Engineering, Chungbuk National University)
※ 이 논문은 2009년도 정부(교육과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행한 연구임(No. 2009-0076298).
접수일자: 2010년5월12일, 수정완료일: 2010년11월10일

한 효율적 설계가 필요하다.

본 논문에서는 DRAM 기반의 QVGA급 LDI의 그래픽 메모리를 설계한다. 저면적을 위해 DRAM기반의 pseudo-SRAM 구조로 설계하였으며, 센싱 특성 개선과 line-read 동작 시 구동력 향상을 위해 bit line을 분할한 cell array 구조를 적용한다. 또한, C-gate를 이용하여 그래픽 메모리의 LRD (line-read)/SRF (self-refresh) 동작과 기존의 WR (write)/RD (read) 동작 상호간의 충돌을 효과적으로 제어하는 방식을 제안한다.

본 논문의 구성은 다음과 같다. Ⅱ장에서는 LDI와 그래픽 메모리의 개요에 대해 설명하고, Ⅲ장에서는 제안된 방법들을 적용하여 그래픽 메모리를 설계한다. Ⅳ장에서는 설계된 그래픽 메모리를 시뮬레이션을 통해 검증하고, Ⅴ장에서 결론을 맺는다.

Ⅱ. QVGA급 LDI의 개요

QVGA급 TFT-LDI는 320개의 scan line과 720(=240×3(RGB))개의 channel로 구성되어 320×240 dots의 해상도를 갖는 TFT-LCD를 구동한다.

QVGA급 TFT-LDI는 그림 1과 같이 GRAM (Graphic RAM), Source driver, Gate driver, BMU (Brightness Mearement Unit), Power circuit, Timing generator, Control logic 등으로 구성된다.

Graphic RAM은 source driver에 입력되는 display pattern data를 저장하는 RAM으로, GRAM cell array는 한개 frame에 해당하는 data를 저장하는 크기를 가지며, WR/RD 동작 외에 source driver로 data를 보내는 line read (LRD)와 self-refresh (SRF) 기능을 가진다.

Source driver는 gate driver에 의해 선택된 TFT의 source 전극에 graphic memory에 저장된 digital화 된 영상 data를 analog data 화소전압으로 변경하여 액정에 신호전압을 인가하는 역할을 한다.

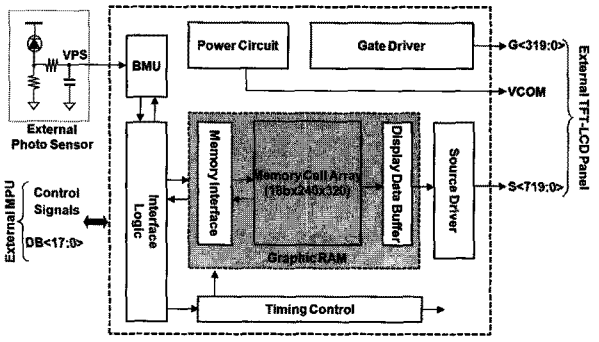


그림 1. QVGA급 TFT-LDI의 블록다이어그램
Fig. 1. QVGA-scale TFT-LDI block diagram.

Gate driver는 TFT의 gate 전극을 구동하여, TFT-array의 320개 gate 신호배선을 순차적으로 선택하도록 한다.

이밖에, driver IC 내부와 외부의 액정에 전원을 공급하는 power circuit와 oscillator, 분주회로, reference voltage 생성회로 등으로 구성된 주변회로, 입력되는 영상신호를 source driver 및 gate driver가 패널을 구동할 수 있도록 하는 각종 제어신호를 생성기 위한 timing generator와 control logic, 화질의 조정을 위한 BMU를 가진다.

Ⅲ. QVGA급 LDI의 그래픽 메모리 설계

본 장에서는 QVGA급 LDI의 그래픽 메모리의 설계에 대해 기술한다. 그래픽 메모리의 주요 블록들과 개선된 블록들의 구조 및 기능에 대해 설명한다.

1. QVGA급 그래픽 메모리의 구조와 기능

QVGA급 LDI의 그래픽 메모리는 그림 2와 같이 구성된다. Memory cell array, bit line sense amp (BLSA), decoder, peripheral block, write driver, DB sense amp (DBSA), data I/O buffer, display buffer, 충돌방지 블록 등을 가진다.

LDI에서 그래픽 메모리의 크기는 TFT-LCD의 화소

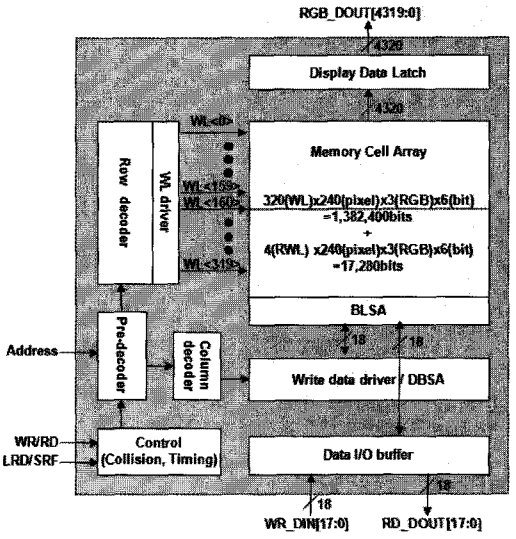


그림 2. QVGA급 LDI의 그래픽 메모리 블록다이어그램
Fig. 2. Graphic memory block diagram of QVGA-scale LDI.

수와 표현 가능한 색상 수에 의해 결정되며, QVGA급 TFT-LDI의 경우 320×240-dots (=pixel)의 해상도를 갖는다. 이때 한 개의 화소는 각 6-bit씩의 RGB data를 가지며, 262,144(=$2^{6\times3(RGB)}$) color의 표현이 가능하다. 따라서 한 개 frame의 data를 저장해야 하는 그래픽 메모리의 크기는 1,382,400-bits(=320×240×3(RGB)×6-bit)를 가지고, 여분의 셀을 위해 4개의 RWL (Redundancy Word Line)에 의한 17,280-bits(=4×240×3×6-bit)를 포함한다.

그래픽 메모리는 일반적인 메모리가 갖는 WR/RD의 기본적인 기능 이외에 그래픽 data를 source driver로 보내는 LRD 기능을 갖는다. 이를 위해 기본 입·출력 port 역할을 하는 data I/O buffer 이외에 display buffer를 갖는다. 또한, 기존의 WR/RD 동작과 그래픽 메모리에 추가된 LRD/SRF 동작이 동시에 메모리 셀을 엑세스할 경우 우선순위에 따라 처리하도록 자체 충돌 방지블록(collision protector)을 포함한다.

2. Memory Cell

모바일기기에 장착되는 LDI의 그래픽 메모리의 경우 빠른 속도와 낮은 소비전력 등의 이유로 주로 SRAM으로 사용되어 왔다. 그러나 SRAM은 통상적으로 1-bit를 저장하기 위해 6개의 트랜지스터를 사용하게 되어 메모리의 용량이 커질수록 메모리 면적이 급격하게 증가하는 단점을 가지고 있다[6].

본 논문에서는 저면적 설계를 위해 기존 SRAM의 6T 구조를 DRAM기반의 1T 구조로 바꾸고, SRAM의 외부 인터페이스를 모방한 pseudo-SRAM 형태의 그래픽 메모리를 설계한다.

DRAM은 cell cap의 data를 유지하기 위한 refresh 동작이 필요하다. 이를 위해 LRD 동작과의 유사성을 이용하여, refresh 주기를 LRD 주기보다 큰 값을 갖도록 설계한다. 이를 통해 LRD 동작 시 불필요한 refresh 동작을 줄여 저전력의 SRF 동작을 할 수 있다.

3. Graphic memory cell array

그림 3은 통상의 cell array 구조로서, 고용량 메모리의 경우 bit/bitb line의 R과 C는 크게 증가한다. 이는 bit/bitb line의 charge sharing time(T_{CHGSH})이 증가하고, bit/bitb line의 전압 차이(ΔV)의 감소로 이어져 BLSA의 센싱 특성을 저하시킨다. 또한 ΔV를 유지하기 위해 cell cap의 증가는 면적증가를 초래한다.

본 논문에서는 그림 4와 같이 4개의 redundancy

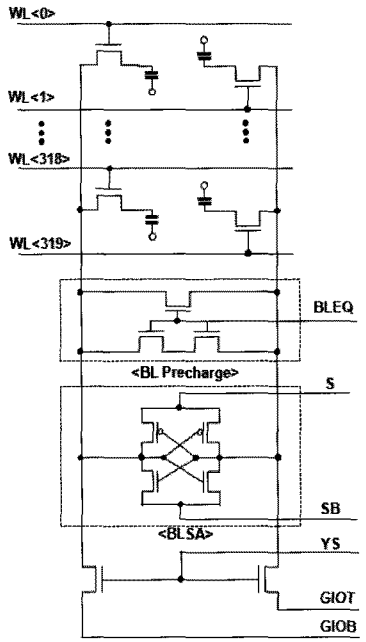


그림 3. 통상의 DRAM cell array 구조
Fig. 3. The normal DRAM cell array structure

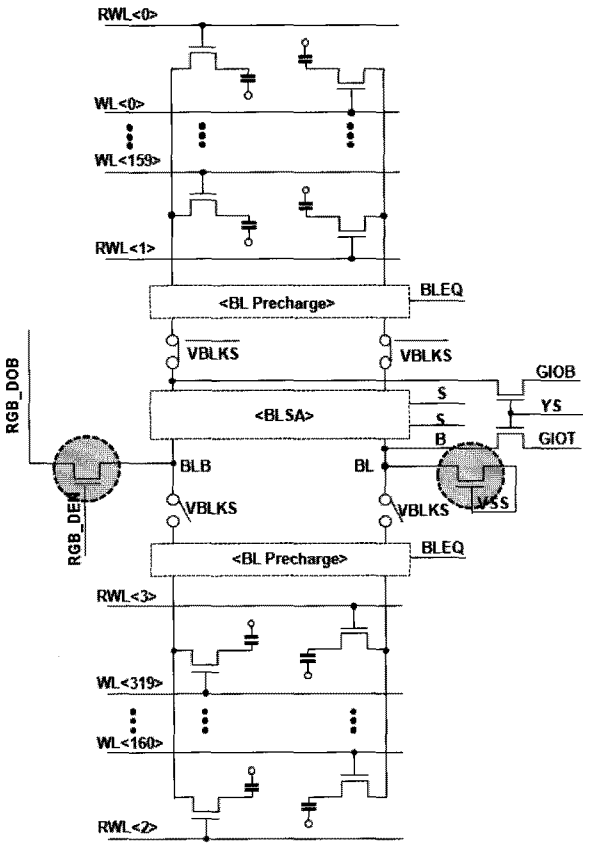


그림 4. 그래픽 메모리를 위해 개선된 cell array 구조
Fig. 4. The improved cell array structure for graphic memory.

WL(RWL)을 포함하여 총 324개의 WL을 상·하 두 부분으로 나누어 bit line당 81개의 셀로 구성된 shared sense amp 방식을 적용하여 면적의 증가를 최소화하였다. 또한, 그래픽메모리로 사용하기 위해서는 pseudo dual port로써 동작이 필요함에 따라 RGB_DOB의 line read path를 추가하였다. 특히, bitb line (BLB) 데이터의 출력 on/off를 위해 NMOS가 추가됨에 따라 bit line (BL)에도 게이트가 Vss 처리된 NMOS를 추가하여 bit line과 bitb line이 동일한 기생캡을 갖도록 설계하여 센싱동작에서의 안정성을 갖도록 구현하였다. 단, shard sense amp 방식의 적용함에 따라 상하 블록중의 하나를 선택하기 위해 7개의 (BL Precharge를 위해 3개+블록선택을 위해 4개) NMOS 트랜지스터와 display read port를 구성하기 위해 2개의 NMOS 트랜지스터가 추가되었다. 이는 단일 array로 구성시(그림 3) 총 167개의 트랜지스터가 사용되는 것에 비해, 9개의 트랜지스터가 추가로, 약 5%의 overhead 증가 수준이다.

Row address에 의해 발생하는 제어신호인 VBLKS 신호에 의해 상위 혹은 하위 word line이 선택되도록 하고, 이 때 bit line (BL)과 bit line bar (BLB)을 선택적으로 연결한다. 이는 bit line의 R과 C의 크기를 감소시키고, ΔV의 증가로 이어져 센싱 특성을 향상시킨다. 또한 bit line의 R과 C의 감소는 대량의 data를 전송해야 하는 LRD 동작 시 발생하는 전류를 감소시켜 전력소모를 줄이도록 한다.

그래픽 메모리로써의 pseudo dual port 메모리의 구조를 적용한 전체 array 구조를 data path와 함께 그림 5에 나타내었다.

240-dot를 30블록으로 나누고 이를 좌우로 배치하며,

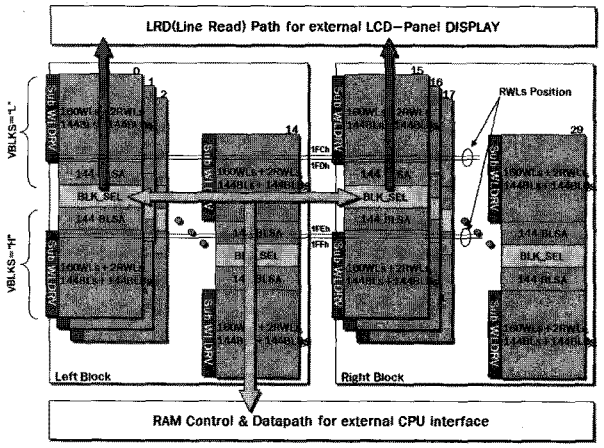


그림 5. GRAM 배열 구조
Fig. 5. GRAM array structure.

한 블록의 data line 개수는 144-bit를 가진다. 그리고 320개의 word line은 VBLKS 신호에 따라 160개씩 두 부분으로 나누어져 동작하며, 4개의 redundancy word line이 상하로 배치된다. 제어신호 및 line read를 위한 데이터라인은 다층 배선 구조를 사용하고, 제어신호는 수평으로, 데이터 라인은 수직으로 배선한다.

4. 충돌방지 블록

그래픽 메모리는 일반적인 메모리에서와 같이 외부 MPU에 의해 데이터의 WR/RD 동작을 수행하며, 이외에 영상 디스플레이를 위해 source driver로 data를 전송하는 LRD 동작과, DRAM 기반의 pseudo-SRAM인 경우 SRF 동작을 갖는다. LRD/SRF 동작은 row address를 통해 선택된 word line의 모든 cell이 액세스되므로, 영상 디스플레이를 위한 LRD 명령을 수행하거나 데이터 보존을 위한 SRF 명령 수행시에도 외부의 MPU로부터 데이터의 쓰기와 읽기 명령에 따른 신호충돌이 빈번히 발생된다. 따라서 MPU가 제어하는 WR/RD 명령과 driver IC 내에서 생성하는 LRD/RF 명령간의 충돌을 방지하기 위한 회로가 필요하다.

충돌방지 블록에서는 LRD/SRF 동작 신호들이 WR/RD 동작 신호와 동시에 메모리 셀을 엑세스하면서 충돌이 될 경우, 이들 명령을 부여된 우선순위에 따라 순차적으로 처리한다. 본 설계에서는 WR과 RD 명령어를 group_A로, LRD와 SRF 명령어는 group_B로 정의하고, 두 group간의 명령어가 동시에 발생하였을 경우 group_A에 우선순위를 부여하여 선 수행 후, group_B의 명령을 수행하여 그래픽 메모리가 안정되게 동작을 하게 한다.

그림 6은 충돌방지 회로이다. CMD latch, CMD latch control, conflict control, CMD driver의 4개의 블록으로 구성된다. CMD latch 블록은 SIG_A와 SIG_B의 두 명

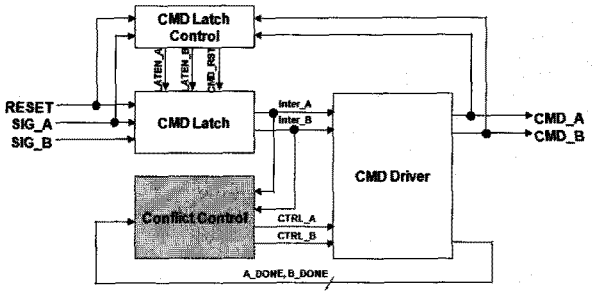
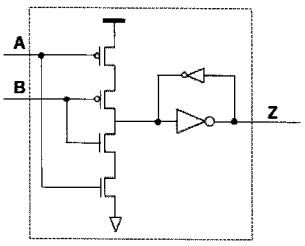
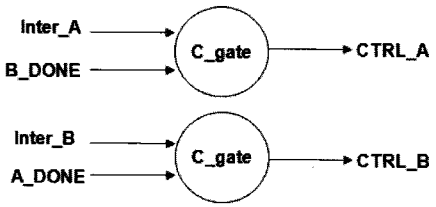


그림 6. 제안하는 충돌방지 회로
Fig. 6. The proposed collision protection circuit.



Input		Output
A	B	Z
0	0	0
0	1	전상태유지
1	0	전상태유지
1	1	1

(a)



(b)

그림 7. 충돌 제어 (a) C-gate 회로도 및 진리표
(b) C-gate를 사용한 충돌제어
Fig. 7. Conflict control.
(a) C-gate circuits and truth table.
(b) Conflict control with C-gate.

령어를 홀딩하고, CMD latch control은 CMD latch 블록의 입력신호 저장과 리셋을 제어한다. Conflict control은 CMD latch에 저장된 명령어와 (Inter_A, Inter_B) 이전의 명령어의 완료 신호를 (CMD_DONE) CMD driver로 받아 입력된 명령어의 수행 시점을 판단하여 새로운 명령어의 (CTRL_A, CTRL_B) 수행 유무를 CMD driver로 알려준다. CMD driver는 CMD latch와 conflict control로부터 입력되는 신호의 제어에 의해 현재 수행할 명령어를 선택하여 수행하며, 현재 명령 수행에 필요한 연산 시간을 확보하고 완료시에 명령어를 소거할 수 있게 해당 명령어의 완료신호를 conflict control과 CMD latch control로 출력한다.

충돌제어(conflict control) 회로는 그림 7과 같이 C-gate를 사용한다. 동작은 진리표(b)와 같이 두 개의 입력 A와 B의 값이 같을 경우에는, 입력된 값을 출력함에 따라 현재 입력된 명령어를 A단자로, 이전 명령어의 수행완료 신호를 B단자로 연결하여 구현한다. 기존의 충돌제어 회로는 현재 수행하는 명령어와 다음 명령어를 저장하기 위해 2개의 R-S latch와 회로와 이를 제어하기 위해 set과 clear pulse를 생성하는 부수적인 회로를 사용하였으나[7], 본 충돌제어 회로는 2개의 C-게이트만을 사용하고 내부의 제어신호 생성없이 현재의 명령어와 이전 명령어의 완료 신호만으로 제어가 가능함에 따라 적은 게이트의 사용으로 구현이 가능하다.

Ⅳ. 시뮬레이션 결과

본 장에서는 Ⅲ장에서 설계한 QVGA급 LDI의 그래픽 메모리를 시뮬레이션을 통해 검증한 결과를 제시한다. 그래픽 메모리의 기본 동작인 WR, RD, LRD, SRF 동작들을 확인하고, 개선된 cell array 설계와 제안된 충돌방지 블록설계에 대해 검증한다. 공정파라미터는 0.18 ㎛ CMOS공정 라이브러리를 사용하였으며, Hspice tool을 사용하여 검증하였다.

1. 그래픽 메모리 기본동작 시뮬레이션

그래픽 메모리의 기본동작 수행을 확인하기 위해, 그림 8과 같이 WR, RD, LRD, SRF 동작 순서로 시뮬레이션을 하였다. WR 명령을 통해 WR_DIN[17:0]으로 입력된 2_aaaa(H)값을 bit line pair를 통해 cell cap에 기록한다. RD 명령을 통해 cell data를 bit line sense amp로 읽어내어 DB line에 싣고, 이를 다시 DB sense amp로 읽어내어 RD_DOUT[17:0] port로 2_aaaa(H) data를 전송한다. Source driver로 data를 보내기 위한 LRD 명령은 bit line에 실린 cell data를 line-read enable 신호에 맞추어 4,320-bit의 display switch로 전송하여 RGB_DOUTB[4319:0] port로 읽어낸다. SRF 명령은 display switch로 data를 전송하지 않는 점 외에는 line-read와 동일하게 수행되었다. 기본 동작에 대해 그림 8의 결과와 같이 정상 동작함을 확인하였다. 그림 8의 LRD 명령 이후의 pixel_out_CLK은 display data latch의 4,320-bit의 저장된 데이터를 18-bit 단위로 출력하기 위해 사용되는 클럭으로 4,320-bit의 메모리 출력 데이터를 source driver로 전송함에 있어 사용되는 배선의 overhead를 감소시킨다.

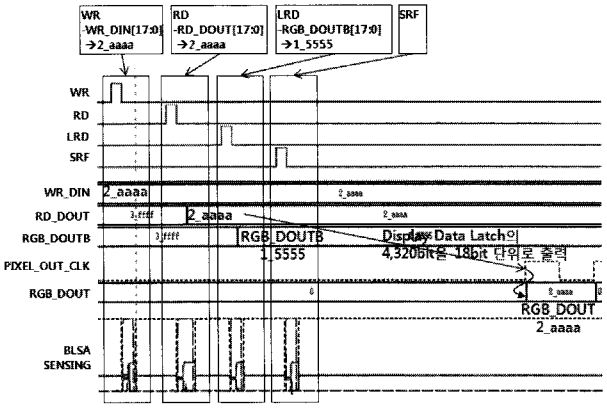


그림 8. 기본동작 시뮬레이션 결과
Fig. 8. Basic operation simulation results.

2. 개선된 cell array 회로에 대한 시뮬레이션

그림 9는 RD 동작 시 기존구조와 개선된 구조에 대한 시뮬레이션 결과이며, bit/bitb line의 전압 차이 ΔV와 charge sharing time T_{CHGSH}를 비교하였다. 동일 address에서 read동작 시 그 값을 측정하였다.

VBLKS 신호에 의해 선택적으로 연결되는 bit line의 R_B와 C_B의 감소로 인해 ΔV_H는 78mV에서 133mV로 약 170%, ΔV_L은 83mV에서 131mV로 158%가 증가되었으며, T_{CHGSH}는 3.63ns에서 2.52ns로 약 30% 감소되어, 메모리 data의 센싱 특성이 크게 향상되었다.

특히, LRD 동작 시 4,320-bit의 data가 display buffer 블록으로 전달되면서 발생하는 평균 전류 소모는 28.6mA에서 17.3mA로 약 40% 감소되었다.

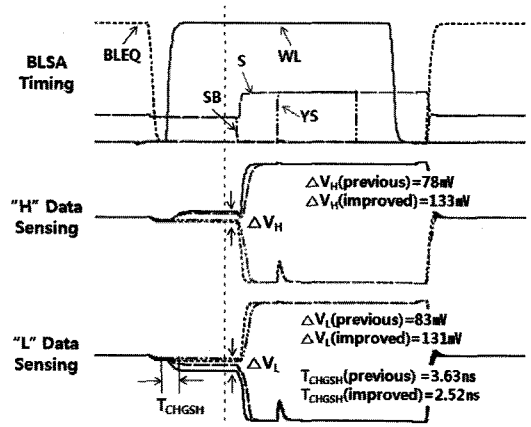


그림 9. Read 동작 시 ΔV와 T_{CHGSH}
Fig. 9. ΔV and T_{CHGSH} in read operation.

3. 충돌방지 회로 시뮬레이션

(1) 충돌방지 동작 검증

그림 10은 충돌방지 회로에 대한 시뮬레이션 결과를 보여준다. SIG_A와 SIG_B명령이 주기적으로 충돌하거나 충돌 없이 반복 수행될 경우를 가진다. 그림 10과 같이 SIG_A가 SIG_B보다 먼저 입력되면 CMD_A가 출력되어 먼저 수행되고, CMD_A를 수행하는 동안

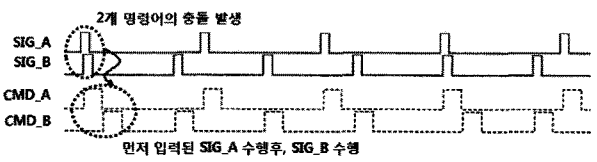


그림 10. 충돌방지 회로의 시뮬레이션 결과
Fig. 10. Simulation results of the collision protection circuit.

SIG_B가 홀딩되고, CMD_A의 수행이 완료되면 홀딩되었던 SIG_B명령이 CMD_B로 출력되어 정상적으로 수행됨을 볼 수 있었다.

(2) 메모리 동작의 충돌발생 시뮬레이션

그림 11은 그래픽 메모리 내부에서의 충돌발생 동작을 보여준다. RD 명령어는 SIG_A, LRD 명령어는 SIG_B에 해당하며, RD 명령어가 우선순위를 가진다. 그림에서와 같이 LRD 명령어가 RD 명령어보다 앞서 발생하는 경우에는 입력된 명령어 순서대로 처리되고, RD 명령어와 LRD 명령어가 동시에 입력된 경우에는, 우선순위가 높은 RD 명령어가 먼저 수행된 후, 후에 LRD 명령어가 처리됨을 볼 수 있다. 이렇게 처리된 최종 명령어인 RD_CMD와 LRD_CMD 신호는 각각에 맞는 메모리 내부의 제어신호들을 발생하여 해당 명령을 정상적으로 수행한다.

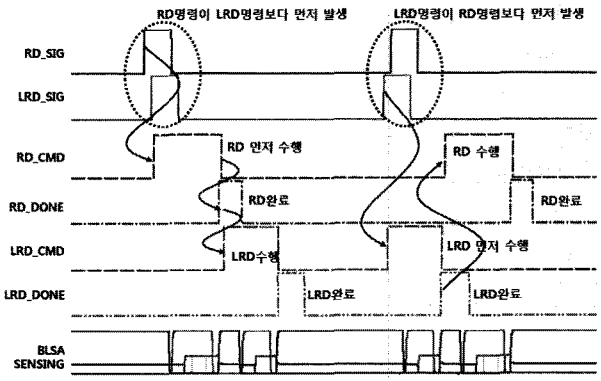


그림 11. 메모리에서의 충돌발생 동작
Fig. 11. Collision protection operation in memory.

V. 결 론

본 논문에서는 0.18㎛ CMOS공정 라이브러리를 적용하여 1.38Mbit의 QVGA급 LDI의 그래픽 메모리를 트랜지스터 회로 수준으로 설계하였다.

종전의 6T 구조의 SRAM에서 1T 구조의 DRAM을 기반으로 하는 pseudo-SRAM 방식을 적용하고, driver IC의 내부에서 생성하는 LRD/SRF 명령과 외부의 MPU에 의해 수행되는 WR/RD명령이 동시에 메모리 셀을 엑세스함으로써 발생하는 충돌을 제어하는 충돌방지 블록을 구조가 간단한 C-gate를 이용하여, 기존에 사용되던 내부의 불필요한 제어신호를 줄여 설계하였다.

설계 결과, 1.38Mbit의 pseudo-SRAM의 개선된 cell

array구조는 bit line의 R과 C가 줄어들어, ΔVH는 78mV에서 133mV로 약 170%, ΔVL은 83mV에서 131mV로 158%가 증가하였으며, T_{CHGSH}는 약 30% 감소하여 센싱 특성이 개선되었다. 또한, 그래픽 메모리의 주요 명령인 LRD 동작시에 대량의 data가 동시에 전송되어 발생하는 전류는 약 40%로 크게 줄어들어 전력소모가 감소되었다.

제안된 cell array 구조를 이용하면 보다 높은 해상도의 요구되고 또한 one chip화가 요구되는 소형 모바일 기기의 LDI에 대해 저면적·저전력화 설계가 가능하다. 또한, 개선된 충돌방지 회로는 비동기 시스템 혹은 LDI 등 신호간의 충돌이 빈번하게 발생하는 시스템에서 저면적으로 효율적인 제어 회로로 사용될 수 있다.

참 고 문 헌

[1] 이상호, 장선호, "평판디스플레이 구동 IC 시장 및 기술동향", 전자공학회논문지, 제33권 5호, 39-47쪽, 2006년 5월.

[2] 권오경, DDI설계, IT-SoC 사업단 동계설계특론, 2005년 12월.

[3] T. Itakuri, H. Minamiaki, T. Saito, and T. Kuroda, "A 402-Output TFT-LCD Driver IC with Power Control Based on the Number of Colors Selected," IEEE J. Solid-State Circuits, Vol. 38, Issue 3, pp. 503-510, Mar. 2003.

[4] Bo-Sung Kim, Young-Gi Kim, and Soon-Yang Hong, "Low Power 260k Color TFT LCD One-chip Driver IC," Proc. of 5th International Symposium on Quality Electronic Design, pp. 126-130, 2004.

[5] Bo-Sung Kim, Yong-Woon Lee, and Won-Hyo Lee, "Low Power 260k Color VGA TFT LCD One-chip Driver IC," International Symposium on Signals, Circuits and Systems, Vol. 1, pp. 1-4, July 2007.

[6] 유회준, DRAM Design, 홍릉과학출판사, 1996년 11월.

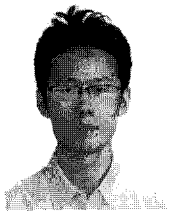
[7] 이재은, "LCD Driver IC용 그래픽 메모리 설계", 충북대학교 대학원 공학석사학위논문, 2008년 2월.

저 자 소 개

김 학 윤(학생회원)
1999년 2월 충북대학교 반도체 공학과 졸업(공학사)
2001년 2월 충북대학교 대학원 반도체공학과 졸업 (공학석사)
2000년~2004년 하이닉스반도체 System IC 연구소 주임연구원
2005년~현재 RIUBIT 책임연구원
2006년 3월~현재 충북대학교 반도체공학과 박사과정
<주관심분야: DDI & SoC 설계, Embedded Memory>

이 보 선(학생회원)
2008년 2월 충북대학교 전기전자 공학부 졸업(공학사)
2010년 2월 충북대학교 대학원 반도체공학과 졸업 (공학석사)
2010년 3월~LG디스플레이 연구원
<주관심분야: LDI 설계>

최 호 용(평생회원)
1980년 2월 서울대학교 전자 공학과 졸업(공학사)
1982년 2월 한국과학기술원 전기 및 전자공학과 졸업 (공학석사)
1994년 3월 오사카대학 전자공학 졸업(공학박사)
1982년 3월~1985년7월 삼성반도체연구원 선임연구원
1985년 8월~1996년8월 부경대학교 부교수
1996년 9월~현재 충북대학교 전자공학부 교수
<주관심분야: 집적시스템설계, Testing>



차 상 록(학생회원)
2007년 2월 충북대학교 전기전자 공학부 졸업(공학사)
2009년 2월 충북대학교 대학원 반도체공학과 졸업 (공학석사)
2009년 3월~실리콘웍스 연구원
<주관심분야: LDI 설계>

정 용 철(학생회원)
1999년 2월 청주대학교 반도체 공학과 졸업(공학사)
2001년 2월 충북대학교 대학원 반도체공학과 졸업 (공학석사)
2000년~2007년 하이닉스반도체/ 매그나칩반도체 주임연구원
2005년~현재 RIUBIT 책임연구원
2009년 3월~현재 충북대학교 반도체공학과 박사과정
<주관심분야: DDI & SoC 설계, Embedded Memory>