

논문 2010-47SD-12-3

# Short-Channel Bulk-Type MOSFET의 문턱전압 도출을 위한 해석적 모델

( An Analytical Model for Deriving The Threshold Voltage of a Short-channel Bulk-type MOSFET )

양진석\*, 오영해\*, 서정하\*\*

( Jin Seok Yang, Young Hae Oh, and Chung Ha Suh )

## 요약

본 논문에서는 단 채널 bulk-type MOSFET의 문턱전압의 표현식을 해석적으로 도출하는 모델을 제시하였다. 게이트 절연층 내에서는 2차원 Laplace 방정식을, silicon body 내 공핍층에서는 2차원 Poisson 방정식을 Fourier 계수 방법을 이용하여 풀어냈으며, 이로부터 채널 표면전위의 최소치를 도출하고 문턱 전압 표현식을 도출하였다. 도출된 문턱전압 표현식을 모의 실험한 결과, 소자의 각종 parameter와 bias 전압에 대한 의존성을 비교적 정확히 도출할 수 있음을 확인할 수 있었다.

## Abstract

In this paper, a new analytical model for deriving the threshold voltage of a short-channel bulk-type MOSFET is suggested. Using the Fourier coefficient method, the Laplace equation in the oxide region and the Poisson equation in the depleted silicon region have been solved two-dimensionally. Making use of them, the minimum surface potential is derived to describe the threshold voltage. Simulation results show good agreement with the dependencies of the threshold voltage on the various device parameters and applied bias voltages.

**Keywords :** bulk-type MOSFET, threshold voltage roll-off, short channel effect

## I. 서론

고집적회로의 기본 소자인 bulk-type MOSFET는 공정 기술의 발달로 고집적화 및 고속 스위칭 등을 위한 소자의 축소화가 진행되어 채널 길이가 submicrometer 및 deep-submicrometer영역으로 진전되어왔다.<sup>[1]</sup> 이 과정에서 문턱전압의 drain-induced roll-off 현상, punch-through, subthreshold swing의 증가 등의 단 채널 효과(short channel effect; SCE)에 봉착하게 되었다.<sup>[2]</sup> 특

히, 문턱전압의 drain-induced roll-off 현상은 대표적인 단 채널 효과로서 bulk-type MOSFET를 탑재한 고집적회로의 최적설계에 필수적으로 고려해야 할 사항이다. 단 채널 bulk-type MOSFET에서는 2차원 전계효과로 인해 GCA(gradual channel approximation)의 적용이 어려워, 단 채널 MOSFET의 문턱 전압 도출을 위한 다양한 모델들이 지난 수 십 년 동안 제시되어 왔다.<sup>[3~10]</sup> 그 중, 2차원 수치 해석적 모델<sup>[11]</sup>은 긴 계산 소요시간 및 구체적인 소자 특성 파악의 한계 등의 단점을 가지고 있다. 단 채널 소자에 대한 해석적 모델로서 최초로 시도된 전하 공유 모형(charge sharing model)은 Si 기판 내 공핍층에 존재하는 전하를 gate 전극에 대응되어 대전된 전하량과 source/drain 영역의 공핍층에 대응되어 대전된 전하량으로 구분하고 이 전하 공유

\* 학생회원, \*\* 정회원, 홍익대학교 전자전기공학부  
(School of Electronic & Electrical Eng., Hongik Univ.)

※ 본 연구는 홍익대학교 2009년도 학술연구진흥과제에 의해 지원되었음.

접수일자: 2010년6월11일, 수정완료일: 2010년11월26일

개념을 기하학적으로 해석하여 문턱전압의 drain-induced roll-off 현상을 도출하였다.<sup>[3]</sup> 이 모델은 전자 공유에 대한 기하학적인 해석이 모호하고 지나치게 단순하여, 문턱전압이 채널 길이에 거의 지수 함수적으로 roll-off되는 현상을 설명할 수 없다. 이후, 소자내의 2차원 전위 분포를 도출하여 drain-induced barrier lowering (DIBL) 현상에 기반을 둔 문턱전압 표현 식을 도출하는 여러 모델들이 제시되었다.<sup>[4~6]</sup> 이들 해석적 모델들은 2차원 Poisson 방정식의 해석적 풀이를 위한 방편으로 경계 조건의 단순화 및 모델의 수식 전개 과정에 여러 근사(approximation)를 제안하였다. 그러나 이들 단순화 과정 및 이를 보상하기 위해 도입된 fitting 파라미터에 대한 물리적인 해석이 모호하여, 정확성 및 이론적 체계가 매끄러운 모델이 현재까지 구축되지 못하고 있다. 한편, 그동안의 소자 축소 과정에서 scaling rule에 의거한 기판의 도핑 농도 증가가 초래하는 punch-through 및 캐리어 이동도 저하를 극복하고자, 기판의 도핑 농도가 수평 및 수직으로 불균일한 retrograde doping 및 pocket (halo)-implant 등의 channel engineering이 수행되었다. 이 경우, 소자의 해석적 모델이 매우 힘들어, 소자 제작 공정에 의존하는 fitting 파라미터들을 도입한 준 실험적 모델 및 compact model들이 실용적 목적을 위해 제시되었다.<sup>[8~10]</sup> 이로써 channel engineering이 수반되지 않은 단 채널 소자에 대한 해석적 모델에 대한 연구가 거의 중단되었다. 그러나, 최근 역 단 채널 효과(RSCE; reverse short channel effect) 규명 및 SOI (silicon on insulator)형 및 intrinsic (undoped) body를 갖는 FET 소자들의 단 채널 효과에 대한 연구가 진행되면서 상기 미해결의 문제를 다시 주목하게 되었다. 본 논문은 gate 절연층 내의 Laplace 방정식 및 공핍층 내의 Poisson 방정식을 2차원적으로 풀이하여 표면전위의 최소치를 도출하였다. 이를 바탕으로 소자의 구조적 파라미터와 인가전압에 따른 문턱전압 식을 도출하였다. 본 모델은 fitting 파라미터들을 사용하지 않는 명료한 모델 구성 과정을 통해 문턱전압 식을 도출하였다. 본 논문의 구성은 다음과 같다. 제 II장에서는 bulk-type MOSFET의 문턱 전압 모델, 제 III장에서는 본 모델의 시뮬레이션 결과, 제 IV장에서 결론을 기술하였다.

## II. Bulk-type MOSFET의 문턱전압 모델

1. 단 채널 bulk-type MOSFET의 2차원 전위 분포  
 본 논문의 해석적 모델링을 위한 bulk-type n-channel MOSFET의 단면도가 그림 1에 도시되었다. 여기서,  $x$ 는 gate와 Si의 접합면에 수직 방향을 나타내는 좌표,  $y$ 는 source 끝에서 drain 쪽으로 향하는 좌표,  $x_d$ 는 수직 방향 공핍층 폭의 최소 두께이고,  $t_{ox}$ 는 oxide층의 두께,  $L$ 은 채널 길이,  $y_m$ 은  $x=x_d$ 인 면과 공핍층 경계면과 일치하는 채널 위치를 나타낸다.  $V_{GS}$ ,  $V_{DS}$  및  $V_{BS}$ 는 각각 source를 기준으로 한 gate 와 drain 및 기판의 전압을 나타낸다. 본 연구에서는 Si 기판내의 도핑 농도가  $N_A$ 로 균일하고 gate oxide층 내의 전하밀도는 무시할 수 있는 경우로 제한하자. 이 경우, oxide층과 Si 기판 내 공간전하 영역의 전위  $\Psi(x, y)$ 는 반전층이 형성되지 않은 subthreshold 동작 영역에서, 즉 gate 전압이 문턱전압 이하의 조건에서, 다음의 2차원 Laplace 방정식과 Poisson 방정식을 만족하게 된다.

$$\frac{\partial^2 \Psi}{\partial x^2} + \frac{\partial^2 \Psi}{\partial y^2} = \begin{cases} 0, & -t_{ox} \leq x \leq 0 \\ \frac{qN_A}{\epsilon_{si}}, & 0 \leq x \leq x_d \end{cases} \quad (1)$$

단,  $q$ 는 전자 전하량의 크기이며  $\epsilon_{si}$ 는 Si의 유전 상수이다. 식(1)에 적용되는 경계 조건들로서 통상 다음을 고려하고 있다.<sup>[6, 12]</sup>

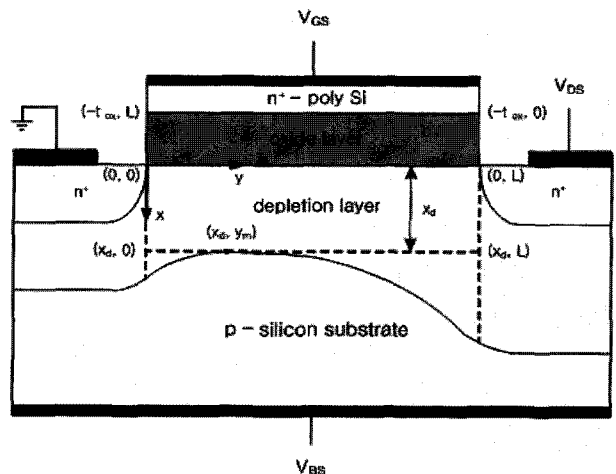


그림 1. bulk-type n-channel MOSFET의 단면도  
 Fig. 1. cross-section of a bulk-type n-channel MOSFET to be modeled.

$$\Psi^{ox}(-t_{ox}, y) = V_{GS'} - \Phi_{ms} \equiv V_{GS'} \quad (2)$$

$$\Psi^{ox}(0, y) = \Psi^{si}(0, y) \equiv \Psi_s(y) \quad (3)$$

$$\epsilon_{ox} \frac{\partial \Psi^{ox}}{\partial x} \Big|_{x=0} = \epsilon_{si} \frac{\partial \Psi^{si}}{\partial x} \Big|_{x=0} + Q_{ss}, \quad (4)$$

$$\frac{\partial \Psi^{si}}{\partial x} \Big|_{x=x_d} = 0, \quad (5)$$

$$\Psi^{si}(x_d, y_m) = V_{BS} \quad (6)$$

단,  $\Psi^{ox}(x, y)$  및  $\Psi^{si}(x, y)$ 는 각각 oxide층과 Si body 내의 전위 분포를 나타내며,  $\Phi_{ms}$ 는 gate와 Si 채널 사이의 일함수 차,  $\Psi_s(y)$ 는 채널 표면전위,  $\epsilon_{ox}$ 는 oxide의 유전 상수,  $Q_{ss}$ 는 oxide/Si 경계면에서의 전하 밀도이다. 공핍층의 최소 폭을 나타내는  $x = x_d$ 는 실제적인 경계면이 아니라 소자 모델링을 용이하기 위해 도입된 것으로서, 통상 다음과 같이 제안되고 있다.<sup>[6, 12]</sup>

$$x_d = \sqrt{\frac{2\epsilon_{si}}{qN_A}(\Psi_{s,min} - V_{BS})} \quad (7)$$

단,  $\Psi_{s,min}$ 는  $\Psi_s(y)$ 의 최소치이다. oxide층 내의 전위 분포를 구하기 위해 2차원 Laplace 방정식을 만족하고 경계 조건 식(2) 및 (3)을 고려하면  $\Psi^{ox}(x, y)$ 는 다음과 같이 표현될 수 있다.

$$\begin{aligned} \Psi^{ox}(x, y) = & V_{GS'} - \frac{x'}{t_{ox}} \left[ GS' - \Psi_{s0} - \frac{y}{L}(\Psi_{sL} - \Psi_{s0}) \right] \\ & + \sum_{n=1}^{\infty} \frac{\sinh(k_n x')}{\sinh(k_n t_{ox})} A_n \sin(k_n y) \\ & - \sum_{n=1}^{\infty} \frac{\sin(l_n x')}{\sinh(l_n L)} \{ B_n^s \sinh[l_n(L-y)] + B_n^d \sinh[l_n y] \} \end{aligned} \quad (8)$$

여기서,  $x' = x + t_{ox}$ ,  $\Psi_{s0} = \Psi_s(0)$ ,  $\Psi_{sL} = \Psi_s(L)$ ,  $k_n = (n\pi)/L$ , 및  $l_n = (n\pi)/t_{ox}$ 이며,  $n = 1, 2, 3, \dots$ 이다. 계수  $A_n$ 은 식(4)를 만족하도록 표면전위  $\Psi_s(y)$ 를 도출함으로써 추후 결정된다.  $B_n^s$ 와  $B_n^d$ 는 각각

$$\begin{aligned} \Psi^{ox}(x, 0) = & V_{GS'} - \frac{x'}{t_{ox}}(V_{GS'} - \Psi_{s0}) \\ & + \sum_{n=1}^{\infty} B_n^s \sin(l_n x') \end{aligned} \quad (9)$$

$$\begin{aligned} \Psi^{ox}(x, L) = & V_{GS'} - \frac{x'}{t_{ox}}(V_{GS'} - \Psi_{sL}) \\ & + \sum_{n=1}^{\infty} B_n^d \sin(l_n x') \end{aligned} \quad (10)$$

를 만족하는 Fourier 급수 계수로서 이들을 결정하기 위해서는  $\Psi^{ox}(x, 0)$ 와  $\Psi^{ox}(x, L)$ 의 표현식이 필요하다. 기존의 모델들에서, oxide 층의 두께가 매우 얇고 oxide 층의 source 및 drain 방향의 양 끝단이 등전위 층으로 간주되는  $n^+$ -source 및 drain 영역의 일부에 걸쳐 있고 (overlapped), 이 부분과 평행하여 놓여 있는 gate 전극이 fringing field를 억제하는 guard ring 역할을 수행하여  $\Psi^{ox}(x, 0)$  및  $\Psi^{ox}(x, L)$ 를  $x$ 의 1차 함수로 근사화 하고 있다. 이 결과를 이용하면 다음을 얻게 된다.

$$B_n^s \doteq B_n^d \doteq 0. \quad (11)$$

sub-threshold 영역에서 drain 전류는 매우 적으므로 source와 drain의 기생 저항에 의한 ohm성 전압 강하가 무시되어  $\Psi_{s0}$ 와  $\Psi_{sL}$ 은 다음과 같이 표현할 수 있다.

$$\Psi_{s0} \doteq V_{bi} \quad (12)$$

$$\Psi_{sL} \doteq V_{bi} + V_{DS} \quad (13)$$

여기서,  $V_{bi}$ 는  $n^+$ -source(drain)와 p-Si 기판 사이의 built-in 전압으로서, source와 drain 영역의 도핑 농도가 균일한 값  $N_D$ 인 경우, 통상 다음과 같이 표현된다.

$$V_{bi} = \frac{k_B T}{q} \ln \left( \frac{N_A N_D}{n_i} \right) \quad (14)$$

단,  $k_B$ 는 볼츠만 상수,  $T$ 는 절대 온도, 그리고  $n_i$ 는 Si의 진성 캐리어 밀도이다.

한편, 2차원 Poisson 방정식의 해로서 식(3) 및 식(5)를 만족하는  $\Psi^{si}(x, y)$ 는 다음과 같이 쓸 수 있다.

$$\begin{aligned} \Psi^{si}(x, y) = & \Psi_{s0} + \frac{y}{L} V_{DS} + \frac{qN_A}{2\epsilon_{si}}(x^2 - 2x_d x) \\ & + \sum_{n=1}^{\infty} \frac{\sin(k_n y)}{\cosh(k_n x_d)} A_n \cosh[k_n(x - x_d)] \\ & + \sum_{n=1}^{\infty} \frac{\sin(l'_n x) \{ B_n^s \sinh[l'_n(L-y)] + B_n^d \sinh(l'_n y) \}}{\sinh(l'_n L)} \end{aligned} \quad (15)$$

단,  $l'_n = \pi(n + 1/2)/x_d$ 이며  $n = 1, 2, 3, \dots$ 이다. 식

(15)의 Fourier 계수  $B_n^s$ 와  $B_n^d$ 를 결정하기 위해서는  $\Psi^{si}(x,0)$ 와  $\Psi^{si}(x,L)$ 의 표현식이 필요하다. 기존의 여러 모델에서는  $y=0$  및  $y=L$ 인 측면을 등전위의 경계면으로 보아  $\Psi^{si}(x,0)=\Psi_{s0}$  및  $\Psi^{si}(x,L)=\Psi_{sL}$ 로 간주하고 있다.<sup>[6,12]</sup> 그러나 통상적인  $x$ 의 2차 식 표현에 식(5)의 조건을 고려하여 다음과 같이 제안하자.

$$\Psi^{si}(x,0) \doteq \Psi_{s0} + \frac{qN_A}{2\epsilon_{si}}(x^2 - 2x_d x), \quad (16)$$

$$\Psi^{si}(x,L) \doteq \Psi_{sL} + \frac{qN_A}{2\epsilon_{si}}(x^2 - 2x_d x). \quad (17)$$

그러면 다음과 같은 결과를 얻을 수 있다.

$$B_n^s \doteq B_n^d \doteq 0. \quad (18)$$

2. 단 채널 bulk-type MOSFET의 채널 표면 전위 표면전위  $\Psi_s(y)$ 를 결정하는 계수  $A_n$ 을 구하기 위하여 식(8)과 식(15)를  $x$ 에 대해 미분하고  $x=0$ 을 대입하여 구한 두 식을 식(4)에 대입하면 다음을 얻게 된다.

$$\begin{aligned} & V_{GS} - V_{FB} - \Psi_{s0} - \frac{y}{L} V_{DS} - \frac{qN_A x_d}{C_{ox}} \\ &= \sum_{n=1}^{\infty} k_n t_{ox} A_n [\coth(k_n t_{ox}) + \eta \tanh(k_n x_d)] \sin(k_n y) \end{aligned} \quad (19)$$

단,  $V_{FB} = \Phi_{ms} - Q_{ss}/C_{ox}$ 로 정의된 flat-band 전압이며,  $C_{ox} = \epsilon_{ox}/t_{ox}$ ,  $\eta = \epsilon_{si}/\epsilon_{ox}$ 이다. 식(19)를 만족하는 계수  $A_n$ 을 구하기 위해 다음 식을 고려하자.

$$V_{GS}'' - \frac{y}{L} V_{DS}'' = \sum_{n=1}^{\infty} C_n \sin(k_n y), \quad (20)$$

단,

$$V_{GS}'' = V_{GS} - V_{FB} - \Psi_{s0} - \frac{qN_A x_d}{C_{ox}}, \quad (21)$$

$$\begin{aligned} C_n &= \frac{2}{L} \int_0^L (V_{GS}'' - \frac{y}{L} V_{DS}'') \sin(k_n y) dy \\ &= -\frac{2}{n\pi} [V_{GS}'' [1 - (-1)^n] + (-1)^n V_{DS}']. \end{aligned} \quad (22)$$

그러므로  $A_n$ 은 다음과 같이 정해진다.

$$A_n = \alpha_n V_{GS}'' + \beta_n V_{DS}'', \quad (23)$$

단,  $\alpha_n$  및  $\beta_n$ 은 다음과 같다.

$$\alpha_n = \frac{\frac{2}{n\pi} [1 - (-1)^n]}{k_n t_{ox} \coth(k_n t_{ox}) + k_n t_{ox} \eta \tanh(k_n x_d)}, \quad (24)$$

$$\beta_n = \frac{\frac{2}{n\pi} (-1)^n}{k_n t_{ox} \coth(k_n t_{ox}) + k_n t_{ox} \eta \tanh(k_n x_d)}. \quad (25)$$

따라서, 채널 표면전위  $\Psi_s(y)$ 는 다음과 같이 도출된다.

$$\begin{aligned} \Psi_s(y) &= \Psi_{s0} + \frac{y}{L} V_{DS} \\ &+ \sum_{n=1}^{\infty} (\alpha_n V_{GS}'' + \beta_n V_{DS}'') \sin(k_n y). \end{aligned} \quad (26)$$

3. 단 채널 bulk-type MOSFET의 문턱전압 표현식 채널 표면전위가 최소치  $\Psi_{s,\min}$ 는 식(26)에  $y=y_m$ 를 대입하여 다음 식으로 표현된다.

$$\begin{aligned} \Psi_{s,\min} &= \Psi_{s0} + \frac{y_m}{L} V_{DS} \\ &+ \sum_{n=1}^{\infty} (\alpha_n V_{GS}'' + \beta_n V_{DS}'') \sin(k_n y_m) \end{aligned} \quad (27)$$

단,  $y_m$ 은 다음 식에 의해 얻게 된다.

$$V_{DS} + \sum_{n=1}^{\infty} n\pi (\alpha_n V_{GS}'' + \beta_n V_{DS}'') \cos(k_n y_m) = 0. \quad (28)$$

식(28)의 해  $y_m$ 을 수치 해석을 통하여 구하는 과정에서, Fourier 급수로 표현된 합을 유한한 항들의 합으로 truncate하여 계산함으로써 ripple effect가 발생하고 이로서  $y_m$  값 결정에 어려움이 예상된다. 그러나 장 채널 소자( $L=1\mu m$ )에서는 drain 전압이 그리 크지 않은 한, 표면 전위의 분포가 채널의 중간 지점  $y_m = L/2$ 을 중심으로 넓게 걸쳐 평평하므로 쉽게  $y_m = L/2$ 을 얻게 된다. 그러나 drain 전압이 0.1V 이상인 경우에는  $y_m$ 을 구하기 위해 식(28)을 수치 해석적으로 풀어야 한다. 채널의 길이가 짧은 경우, 식(24)로 정의된  $\alpha_n$ 은 짝수  $n$ 에 대해 0이 되므로, Fourier 급수 전개 총합은 비교적 적은 항들의 합으로 구할 수 있다.

장 채널 소자에서 표면전위의 최소값  $\Psi_{s,\min}$ 을 도출하기 위해,  $\coth(k_n t_{ox})$  및  $\tanh(k_n x_d)$ 를 Taylor 급수 전개하고  $k_n$ 의 2차 항 이상의 고차 항을 무시하여

$$\coth(k_n t_{ox}) \doteq \frac{1}{k_n t_{ox}} + \frac{1}{3} k_n t_{ox}, \quad (29)$$

$$\tanh(k_n x_d) \doteq k_n x_d \quad (30)$$

를 이용하면 장 채널 소자에서 식(24) 및 식(25)는 다음과 같이 근사적으로 쓸 수 있다.

$$\alpha_n|_{L \rightarrow \infty} \doteq \frac{2[1 - (-1)^n]}{n\pi}, \quad (31)$$

$$\beta_n|_{L \rightarrow \infty} \doteq \frac{2(-1)^n}{n\pi}. \quad (32)$$

식(27)에 식(31) 및 식(32)를 이용하고 다음을 고려하면

$$\sum_{n=1}^{\infty} \frac{1 - (-1)^n}{n} \sin\left(\frac{n\pi}{2}\right) = \frac{\pi}{2}, \quad (33)$$

$$\sum_{n=1}^{\infty} \frac{(-1)^n}{n} \sin\left(\frac{n\pi}{2}\right) = -\frac{\pi}{4}, \quad (34)$$

표면전위의 최소 값은 다음과 같이 얻어 진다.

$$\Psi_{s,\min}|_{L \rightarrow \infty} = V_{GS} - V_{FB} - \frac{qN_A x_d}{C_{ox}}. \quad (35)$$

장 채널 소자의 문턱전압이 다음과 같음을 고려하자.

$$V_T|_{L \rightarrow \infty} = V_{FB} + 2\Phi_B + \gamma\sqrt{2\Phi_B - V_{BS}}, \quad (36)$$

단,  $\Phi_B$  는 억셉터 밀도  $N_A$ 로 도핑된 Si body의 Fermi 전위로서  $\Phi_B = (k_B T/q) \ln(N_A/n_i)$  이고,  $\gamma$  는 몸체 효과 계수로서  $\gamma = \sqrt{2\epsilon_{si} q N_A} / C_{ox}$  이다. 식(35)와 식(36)을 고려하면, sub-threshold 조건, 즉  $V_{GS} \leq V_T$  는 다음과 같음을 알 수 있다.<sup>[6, 12]</sup>

$$\Psi_{s,\min} \leq 2\Phi_B. \quad (37)$$

따라서, 상기 부등식에 식(27)을 대입함으로써 단 채널 소자의 문턱전압  $V_T$ 를 다음의 식으로 도출할 수 있다.

$$V_T = V_{FB} + \Psi_{s0} + \gamma\sqrt{2\Phi_B - V_{BS}} + \frac{2\Phi_B - \Psi_{s0} - \frac{y_m}{L} V_{DS} - V_{DS} \sum_{n=1}^{\infty} \beta_n \sin(k_n y_m)}{\sum_{n=1}^{\infty} \alpha_n \sin(k_n y_m)} \quad (38)$$

### III. 모의 실험 결과

앞서 구한 수식에 따라  $\Psi_s(y)$  및  $V_T$ 를 모의 실험한

결과가 그림 2에서 5가지 도시되었다. 계산을 위해  $k_B T/q = 0.026$  [V],  $\epsilon_{ox} = 3.9 \times 8.85 \times 10^{-14}$  [F/cm],  $\epsilon_{si} = 11.8 \times 8.85 \times 10^{-14}$  [F/cm],  $N_D = 1 \times 10^{20}$  [cm<sup>-3</sup>],  $n_i = 1.45 \times 10^{10}$  [cm<sup>-3</sup>]를 사용하였다. 그림 2는 대표적인 단 채널 소자(0.1 $\mu$ m)와 장 채널 소자(1 $\mu$ m)에 대해서 drain 전압( $V_{DS}$ )을 0V, 1V, 2V로 바뀔 때 따른 표면전위( $\Psi_s$ )의 변화를 나타낸다. 장 채널 소자에서 표면전위가 최소가 되는 채널 위치  $y_m$ 을 식(28)로부터 도출할 때 장 채널 소자에서 Fourier 급수 항을 30개 정

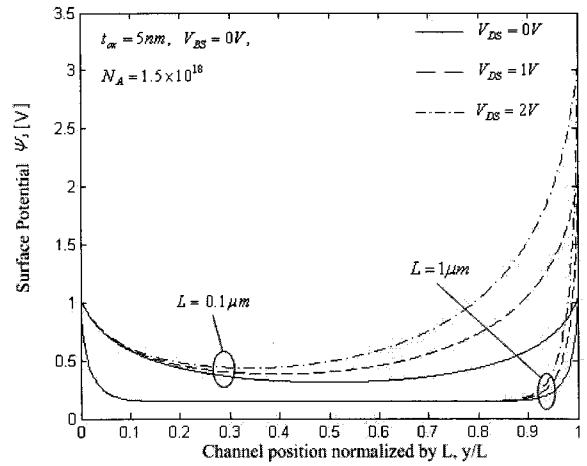


그림 2. 장채널 및 단 채널 Bulk-type MOSFET의 채널 위치에 따른 표면 전위의 변화

Fig. 2. surface potential along the channel position of a long channel and short channel device for various values of drain voltage.

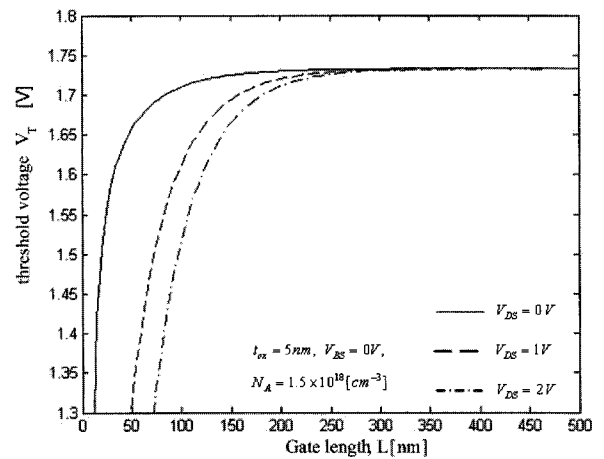


그림 3. 다른 drain 전압에 대한 채널 길이에 따른 문턱 전압의 변화

Fig. 3. threshold voltage versus channel length for various values of drain voltage.

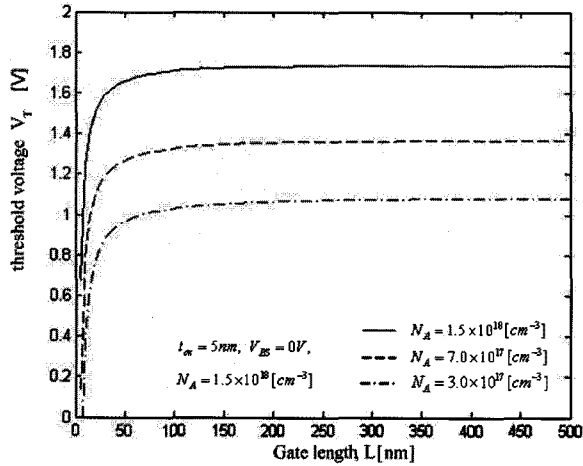


그림 4. 여러  $N_A$  값에 대한 채널 길이에 따른 문턱전압의 변화

Fig. 4. Threshold voltage versus channel length for various values of  $N_A$ .

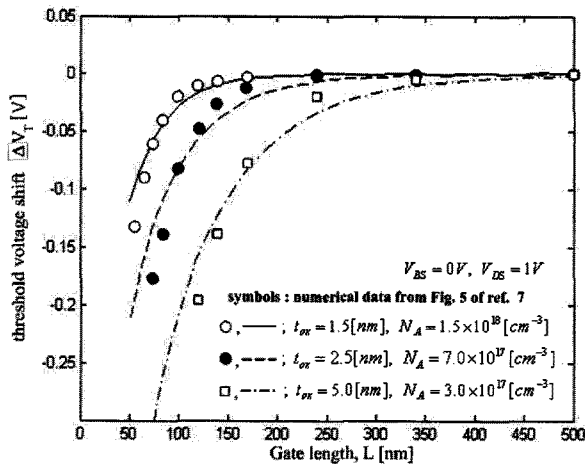


그림 5. 여러  $t_{ox}$  및  $N_A$  값에 대한 채널 길이에 따른 threshold voltage shift

Fig. 5. Threshold voltage shift versus channel length for various values of  $t_{ox}$  and  $N_A$ .

도로 하면 ripple effect가 거의 제거됨을 모의실험을 통해 확인할 수 있었다. 도출된  $y_m/L$  값은 장 채널 소자에서는  $V_{DS}$ 의 증가에 따라 변화가 거의 없는 반면, 단 채널 소자에서는 source 쪽으로 이동하는 것을 볼 수 있었다. 따라서 장 채널 소자보다 단 채널 소자에서 DIBL 현상이 확연히 나타난다는 것을 확인할 수 있었다. 그림 3은 drain 전압에 따른 문턱전압의 변화를 보이고 있다. drain 전압이 증가할수록 단 채널에서 문턱전압의 roll-off 현상을 잘 나타내고 있다. 그림 4는 Si 기판의 도핑 농도( $N_A$ )에 따른 문턱 전압을 나타내고

있다. 도핑 농도가 감소함에 따라 문턱전압이 낮아짐을 보이고 있다. 그림 5는 여러 oxide 두께( $t_{ox}$ )에 대한 threshold voltage shift를 나타낸 것이다. 이들 결과는 bulk-type 단 채널 MOSFET의 문턱전압 식을 모의 실험한 결과가 numerical model과 매우 유사함을 보이고 있다.

#### IV. 결론

본 논문에서는 bulk-type MOSFET의 문턱전압 도출에 관한 비교적 정확한 해석적 모델을 제안하였다. 기존의 논문들의 경우에는 근사 및 fitting parameters를 적용하여 문턱전압의 표현식을 도출한 데 비해 본 논문에서 제안한 해석적 모델은 간단하면서도 순조로운 논리적 과정을 통해서 문턱전압의 표현식을 도출하고 있다. 또한 도출한 문턱전압 식으로 모의실험을 수행한 결과는 소자의 구조적 파라미터들과 인가 바이어스 전압에 대해 비교적 정확한 의존성을 보이고 있다. 따라서 본 모델이 bulk-type MOSFET의 문턱전압 roll-off를 기술하는데 있어 유용하게 적용될 수 있으리라 기대된다.

#### 참고 문헌

- [1] ITRS, International Technology Roadmap for semiconductors; 2008.
- [2] Baccarani G, Wodman MR, Dennard R H. "Generalized scaling theory and its application a 1/4 micrometer MOSFET design", *IEEE Trans. Electron Devices*, vol. 31(4), pp.452, 1984.
- [3] L. D. Yau, "A Simple theory to predict the threshold voltage of short-channel IGFET's", *Solid-State Electron*, vol. 26, pp.1059, 1974.
- [4] Toru Toyabe, Shojiro Asai, "Analytical Models of Threshold Voltage and Breakdown Voltage of Short-Channel MOSFET's Derived from Two-Dimensional Analysis", *IEEE Trans. Electron Devices*, vol. 26(4), pp.453, 1979.
- [5] K. N. Ratnakumar, James D. Meindl, "Short-Channel MOST Threshold Voltage Model" *IEEE Journal of Solid State Circuits*, vol. 17(5), pp.937, 1982.
- [6] D. R. Poole, D. L. Kwong, "Two-Dimensional Analytical Modeling of Threshold Voltages of Short-Channel MOSFET's", *IEEE Electron Devices Letter*, vol. 5(11), pp.443, 1984.

[7] Chun-Hsing Shih, Yi-Min Cheb, Chenhsin Lien, "An analytical threshold voltage roll-off equation for MOSFET by using effective-doping model", *Solid-State Electron*, vol. 49, pp.808, 2005.

[8] Anil Kumar, Toshiharu Nagumo, Gen Tsutsui, Toshiro Hiramoto, "Analytical model of body factor in short channel bulk MOSFETs for low voltage applications", *Solid-State Electron*, vol. 48, pp.1763, 2004.

[9] Raghunath Murali, L. Austin, Lihui Wang, D. Meindl, "Short-Channel Modeling of Bulk Accumulation MOSFETs", *IEEE Trans. Electron Devices*, vol. 51(6), pp.940, 2004.

[10] Raghunath Murali, James D. Meindl, "Modeling the effect of source/drain junction depth on bulk-MOSFET scaling", *Solid-State Electron*, vol.51 pp.823, 2007.

[11] MEDICI Two Dimensional Device Simulation Program, Version 2002. 4, User Manual. Avant! corporation, TCAD Business Unit.

[12] Zhi-Hong Liu, Cheming Hu, Jian-Hui Huang, Tung-Yi Chan, Min-Chie Jeng, Ping K. KO, Y. C. Cheng, "Threshold Voltage Model for Deep-Submicrometer MOSFET's", *IEEE Trans. Electron Devices*, vol. 40(1), pp.86, 1993.

저 자 소 개



양진석(학생회원)  
 2007년 홍익대학교 전자전기  
 공학부 졸업(공학사).  
 2009년 홍익대학교 전자정보통신  
 공학과 졸업(공학석사).  
 <주관심분야: MOSFET, TFT>



오영해(학생회원)  
 2007년 홍익대학교 전자정보통신  
 공학과 졸업 (공학석사).  
 2010년 현재 홍익대학교 전자정보  
 통신공학과 박사과정.  
 <주관심분야: 반도체 소자 설계,  
 PRAM>



서정하(정회원)  
 제41권 SD편 제3호 참조