

논문 2010-47SD-12-2

MLC 플래시 메모리에서의 셀간 간섭 제거 알고리즘

(Cell to Cell Interference Cancellation Algorithms in Multi level cell Flash memory)

전명운*, 김경철*, 신범주**, 이정우*

(Myeongwoon Jeon, Kyungchul Kim, Beomju Shin, and Jungwoo Lee)

요약

NAND Multi-level cell Flash memory는 한 셀에 여러 bit의 정보를 저장하는 방법으로, 용량 집적도를 더욱 높일수 있는 기술로 각광 받고 있다. 하지만 한 셀당 레벨 수를 올릴 경우, 셀간 간섭 등 여러 물리적 이유들로 인해 오류가 발생하며, 이 주된 오류 방향은 unidirectional 함이 알려져 있다. 기존에는 오류 정정 부호(ECC)등을 이용하여 이를 해결하려 했지만, 우리는 셀간 간섭으로 인한 오류에 포커스를 맞추어, 이 영향을 예측하고 줄여서 오류를 보정하는 새로운 알고리즘들을 제안한다. 이 알고리즘은 기존 오류정정부호 기법들과 별도의 단계로 동시에 적용할 수 있기에 여러 정정능력 향상에 효과적이다. 제안된 알고리즘들을 시뮬레이션을 통하여 성능을 비교하고 효율적인 알고리즘이 무엇인지 알아본다

Abstract

NAND multilevel cell (MLC) flash memory is widely issued because it can increase the capability of storage by storing two or more bits to a single cell. However if a number of levels in a cell increases, some physical features like cell to cell interference result cell voltage shift and it is known that a VT shift is unidirectional. To reduce errors by the effects, we can consider error correcting codes(ECC) or signal processing methods. We focus signal processing methods for the cell to cell interference voltage shift effects and propose the algorithms which reduce the effects of the voltage shift by estimating it and making level read voltages be adaptive. These new algorithms can be applied with ECC at the same time, therefore these algorithms are efficient for MLC error correcting ability. We show the bit error rate simulation results of the algorithms and compare the performance of the algorithms.

Keywords : MLC, Flash memory, cell to cell interference, interference cancellation

I. 서론

각종 디지털 정보량이 점차 커짐에 따라 더 많은 데이터 용량을 담는 저장장치에 대한 관심도 커지고 있다. 특히 Flash memory는 가볍고 휴대가 용이한 특성 때문에 다양한 방법을 통해 저장 용량을 늘리려는 시도가 이루어지고 있다.^[1~2] Multi level cell flash memory는

저장 전압을 여러 레벨로 만들어서, 한 셀에 여러 bit의 정보를 담는 방법을 사용한다.^[3~6] 본 논문에서는 NAND Flash memory 중 Multi-level cell (MLC)에서 Vth shift로 인한 에러를 효율적으로 줄일 수 있는 방법을 연구한다. 데이터의 고밀도 집적을 위해서 1개의 셀에 8-level, 16-level 등을 적용하는 방법인 Multi-level cell이 연구되고 있는데 인접 셀 간 coupling, 온도, disturbance 등으로 인한 Vth shift로 인해, 한 셀당 레벨수가 늘어날수록 에러가 급격히 늘어나게 된다.^[7~8] 기존에는 잘 알려진 오류 정정 부호(Error Correction Code)를 이용하여 에러를 수정하는 방법으로 해결하려 했지만, 셀당 레벨 수가 늘어남에 따라 오류 정정 부호

* 정회원, 서울대학교 전기컴퓨터공학부
(Department of Electrical and Computer Science Engineering, Seoul National University)

** 정회원, 하이닉스
(Hynix Inc.)

접수일자: 2010년5월13일, 수정완료일: 2010년11월22일

에 필요한 redundancy의 양이 급격히 늘어나기 때문에 기존 오류 정정부호와 병행하여 다른 접근 방법을 사용하는 것이 효율적일 수 있다.^[10~12]

이러한 문제를 해결하기 위한 새로운 방법으로 적응적 신호처리 간섭제거 기법(Adaptive signal process method)을 제안한다. 먼저 V_{th} shift가 일어나는 주된 요인이 인접 셀 간 커플링이므로 인접한 셀의 분포에 따른 V_{th} shift를 고려하여 V_{read} 를 적응적으로 조절하는 방법을 제안한다. 인접한 셀의 V_{th} 상태에 따라 해당 셀이 어느 정도의 영향을 받고 얼마 정도의 V_{th} shift가 일어났는지 상당부분 예측이 가능하기 때문에 이를 적절히 보상해 주도록 V_{read} 전압을 적응적으로 조절한다. 또한 개별 셀이 받는 인접 셀 간섭을 계산하는 대신 전체적인 평균값을 측정하여 이를 간단하게 이용하는 방법 및 페이지 별로 각 셀이 가지고 있는 데이터의 개수를 이용하여 V_{read} 를 레벨별로 조절하는 방법등을 제안하고 이들의 성능을 측정해 본다. 이 방법들은 기존 오류 정정부호와 동시에 사용할 수 있기 때문에 여러 정정 능력 향상에 효율적이다.

II장 본문에서는 먼저 MLC Flash memory 에서 셀 간 간섭 모델에 대해 언급하고, 주어진 환경에서 오류를 줄이기 위한 몇 가지 신호 처리 알고리즘들을 제안한다. III장에서는 전산 실험 결과를 통해 기존의 방식에 비해 어느 정도의 성능 개선이 이루어졌는지 알아볼 것이다. 마지막으로 IV장에서 결론을 맺도록 하겠다.

II. 본 론

1. 셀간 간섭 및 모델링

가. 셀간 간섭 (Cell to cell interference)

Multi-level cell (MLC)에서 V_{th} Shift로 인한 에러에는 다양한 원인들이 있다. 이웃 셀 간 간섭 (Cell to cell Interference), 셀 누출(Cell Leakage), 온도, V_{pgm} , V_{pass} 방해 (V_{pgm} , V_{pass} Disturbance)등이 이러한 오류를 일으킨다^[9]. 이 중 이웃 셀 간 간섭은 영향도 크고 어느 정도 모델링이 가능한 에러이기 때문에, 이로 인한 에러를 줄이는 것을 주요 목표로 한다.

이웃 셀 간 간섭은 주변 셀의 data가 바뀌면서 Voltage가 변하는데, 이러한 이웃의 영향으로 셀의 Voltage 받기 때문에 발생한다. 이때 V_{th} Shift는 Voltage가 증가하는 방향으로만 일어나게 된다. 이웃 셀

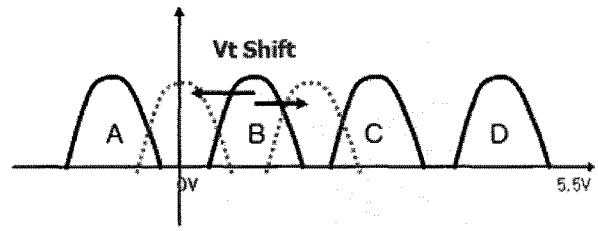


그림 1. 플래시 메모리의 V_{th} shift
Fig. 1. V_{th} shift of flash memory.

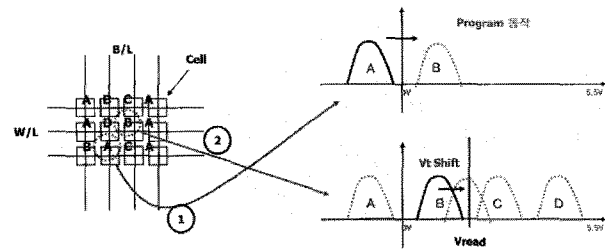


그림 2. 셀 간 간섭에 의한 V_{th} shift
Fig. 2. V_{th} shift by cell to cell interference.

간 간섭은 결국 Programming operation에서 일어난다. 셀간 간섭의 영향은 실측이나 이론적 계산값의 접근을 통해 모델링 할 수 있다. 실제로는 두 셀간의 거리, Program의 순서와 방법, 한 셀당 level 수, 주변 셀의 전압의 변화 등 다양한 요소에 따라 달라진다. 주변 셀에 기록되는 데이터의 종류에 따라 전압 변화량이 달라지고 이에 따라 셀간 간섭의 양이 의존한다.

나. Distribution Model

실제 물리적으로 구현되는 플래시 메모리의 간섭 문제를 이론적으로 분석하고 해결하기 위해서는 간섭에 대한 모델링 뿐 아니라 셀이 가지는 레벨별 voltage의 모델링이 필요하다. distribution 모델에 따라서 여러 알고리즘의 결과값들이 크게 영향을 받으며 실제 모델과 더 가깝고 정교한 모델링이 기초가 되어야 신뢰도 높은 전산 결과값이 나온다.

특정 level을 가지는 데이터를 셀에 저장하기 위해서

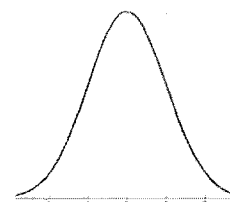


그림 3. 1 레벨 가우시안 모델
Fig. 3. 1 level Gaussian Model.

는 level에 맞는 voltage를 셀 내에 기록하지만 물리적인 이유로 인하여 그 전압 값을 정확히 기록하지 못하고 약간씩 오차가 발생하게 된다. voltage를 기록하는 시도는 셀별로 모두 독립적이며 오차 역시 독립적 이므로 이를 Gaussian Model로 나타낼 수 있다. 그림 3은 일반적인 Gaussian curve를 나타낸 것이다. 그러나 실제 플래시 메모리의 voltage distribution과 정확히 같지는 않으며 이를 보완하기 위해 다른 추가 보정사항들이 필요하다.

2. 셀간 간섭 제거 알고리즘

기존에는 셀간 간섭으로 인해 발생한 오류는 전통적인 오류 정정 부호의 적용이나 또는 Flash memory에 효율적이 되도록 변형된 오류 정정 부호로 해결을 시도했다.^[10-12] 하지만 MLC에서는 한 셀당 레벨수가 많아짐에 따라 오류가 발생이 증가하고 필요한 오류정정부호 공간이 늘어나므로, MLC 오류의 특성을 이용한 새로운 에러 정정 방법을 시도할 수 있다. 셀간 간섭의 원리를 파악하고 이를 이용하여 보다 근본적인 해결을 시도하는 새로운 알고리즘들을 제안한다. 다음 셀간 간섭 제거 알고리즘들은 플래시 메모리에서 데이터 입출력을 담당하는 메모리 컨트롤러단에서 소프트웨어적으로 처리하는 알고리즘들이므로 하드웨어적인 추가 구성 없이 적용 가능하므로 실용적이다. 다만 기법에 따라서 한번의 데이터 읽기를 위해서 두 번 이상 읽거나 컨트롤러의 데이터 처리 등의 오버헤드와 이로 인한 읽기 속도 저하는 존재하지만, 한번의 추가 Read에 필요한 물리적 시간은 현재 메모리 컨트롤러의 처리 속도로 용인 가능한 수준으로 알려져 있으며, 오류 정정 능력 향상과 속도가 서로 상충관계에 있음을 알 수 있다.

가. Adaptive Reading Voltage (ARV)

대부분의 셀은 이웃 간 간섭의 영향을 받는다. 개별 셀별로 그 영향의 크기는 모두 다르겠지만, 이 간섭을 평균내서 이용한다면 어느 정도 에러가 보정되리라 기대할 수 있다.

예를 들면, 전체 셀이 받는 이웃 간 간섭을 평균내 값(Average interference voltage)을 α 라 하고 셀을 읽을 때 level을 구별하는 원래 값을 V_{read} 라 할 때, V_{read} 대신 $V_{read} + \alpha$ 값을 이용하여 데이터를 판별한다면, 이웃 간 간섭이 V_{read} 를 넘어서 에러가 예상되던 일부 셀들이 원래 데이터로 판별될 수 있을 것이다. 이

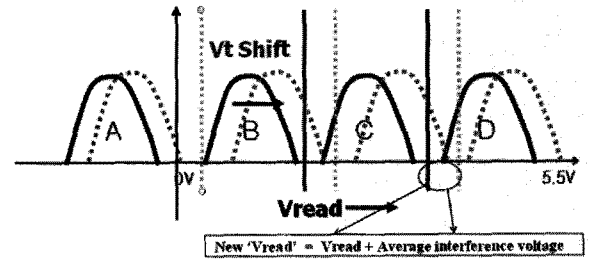


그림 4. Adaptive Reading Voltage 알고리즘
Fig. 4. Adaptive Reading Voltage Algorithm

때 α 의 값은 전체 이웃 간 간섭의 영향을 평균낸 값이므로 무작위 데이터를 가정한다면 거의 일정하리라 기대할 수 있다. 따라서 실제 구현 시에는 처음에 α 값을 미리 측정 또는 계산한 이후, 고정된 상수값으로 사용할 수 있으므로 복잡한 알고리즘이 불필요하며 쉽게 적용이 가능하다.

나. Careful Cell Compensation (CCC)

간섭의 영향을 알 수 있다면, 그 만큼의 영향을 상쇄시켜 계산하면 되지만, 실제로는 특정 셀이 현재 가지고 있는 정확한 Voltage를 알기가 어렵다는 문제가 있다. 이를 보완하기 위해서 셀의 voltage를 대략적으로만 추정하여 간섭으로 인해 에러가 났을 가능성이 높은 셀만 추려낸 후, 이웃 간 간섭을 비교하여 영향이 클 경우에는 데이터가 에러 났을 가능성이 높다고 판단하여 보정 해줄 수 있다.

이웃 간 간섭으로 인해 에러가 났을 가능성이 높은 셀을 'Careful Cell'이라 정의하는데, 이웃 간 간섭의 영향은 셀의 voltage를 높이는 방향성을 가지고 있으므로, 간섭의 영향을 크게 받은 셀은 이로 인해 원래 V_{read} threshold를 넘겼을 가능성이 높다. 즉 V_{read} threshold 근처의 Voltage를 가지는 셀을 추려내서 이를

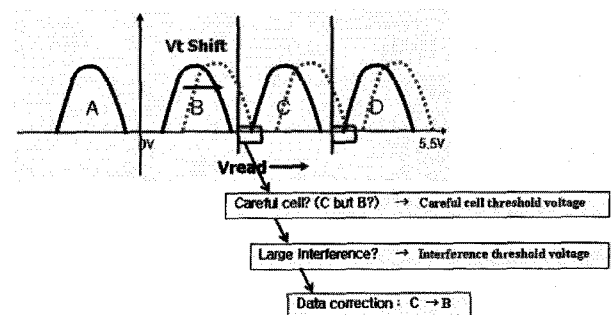


그림 5. Careful Cell Compensation 알고리즘
Fig. 5. Careful Cell Compensation Algorithm.

‘Careful cell’로 분류한다. 이때 Vread threshold를 어느 정도 넘은 셀을 추려내야 하는지를 정해야하는데 이 값을 ‘Careful cell threshold voltage’라 정의한다. 이를 추려내는 방법은 Vread로 셀을 한번 읽고 ‘Vread+Careful cell threshold voltage’값으로 한 번 더 읽어서 만약 판별한 데이터값이 다를 경우에는 ‘Careful cell’ 구간에 있음을 확인할 수 있다. 만약 ‘Careful cell’이라는 판단을 했다면, 이 cell에 대해서만 Interference 검사를 한다. 이미 careful cell 판별을 위해 주변 데이터값을 읽어 놓았기 때문에 이를 이용해서 이웃 간 간섭의 크기를 계산할 수 있다. 이 간섭의 크기가 일정한 수치를 넘으면 간섭으로 인해 에러가 발생했을 거라 기대할 수 있는데 이를 결정하는 threshold를 ‘Interference threshold voltage’라 정의한다. 만약 이웃 간 간섭의 크기가 Interference threshold voltage를 넘었다면 이 셀은 이웃 간 간섭의 크기로 인해 에러가 발생했다고 가정하고 이미 판별된 데이터값을 정정한다. (예를 들면 그림에서 C로 판별되어있지만 Careful cell이고 이웃간간섭이 커서 애초에 B라는 데이터였지만 간섭으로 인해 C로 옮겨간 것이라 생각

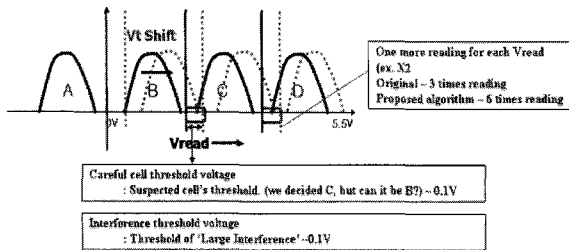


그림 6. Careful Cell Compensation 세부 알고리즘
Fig. 6. Careful Cell Compensation detail algorithm.

표 1. Careful Cell Compensation 알고리즘 설명
Table 1. Careful Cell Compensation Algorithm.

Careful Cell Compensation (CCC) Algorithm	
1	Vread와 Vread+ Careful cell threshold voltage의 값으로 한 셀을 두 번에 걸쳐서 읽는다.
1-1	두 번 읽은 데이터값이 다르다면 (Careful cell이라면) 2번으로.
2	그 셀의 주변데이터를 이용해 이웃간 간섭의 크기를 구한다.
2-1	이웃간 간섭의 크기가 Interference threshold voltage보다 크다면 3번으로
3	원래 데이터값을 한 level 낮은 값으로 바꾸어 에러를 정정한다.

되므로 다시 B로 정정한다) 이때 Vread threshold voltage와 Interference threshold voltage를 정하는 방법은 임의로 정하거나 간단한 계산으로 정하는 방법도 있지만, 좋은 성능을 위해서 시뮬레이션으로 최적화된 값을 구할 수도 있을 것이다. CCC 알고리즘을 사용하기 위해서는 기존과 달리 한 셀을 두 번 읽어야 하기 때문에 추가 지연 시간을 요구하지만 메모리 컨트롤러에서 용인 가능한 지연시간이다.

Careful Cell Compensation Algorithm을 정리하면 표 1과 같다.

다. Multiple Read Careful Cell Compensation (MRCCC)

Careful Cell Compensation 알고리즘 (이하 CCC)은 한 셀을 두 번에 걸쳐서 읽게 된다. 만약 두 번이 아닌 세 번 이상 읽어서 그 셀이 가지고 있는 Voltage를 더 정확히 알게 된다면 CCC의 에러 정정 성능이 향상될 것을 기대할 수 있는데 이를 Multiple Read Careful Cell Compensation (이하 MRCCC) 이라 한다. 기본적인 알고리즘은 CCC와 큰 차이가 없으며, 다만 Careful cell threshold voltage와 Interference threshold voltage가 더 세분화된다. 즉 Careful cell threshold voltage가 여러 개로 늘어나고 각각의 경우에 따라 서로 다른 Interference threshold voltage를 적용하여 이 셀이 이웃 간 간섭으로 인해 에러가 났는지를 여러 경우로 나누어서 판별하게 된다.

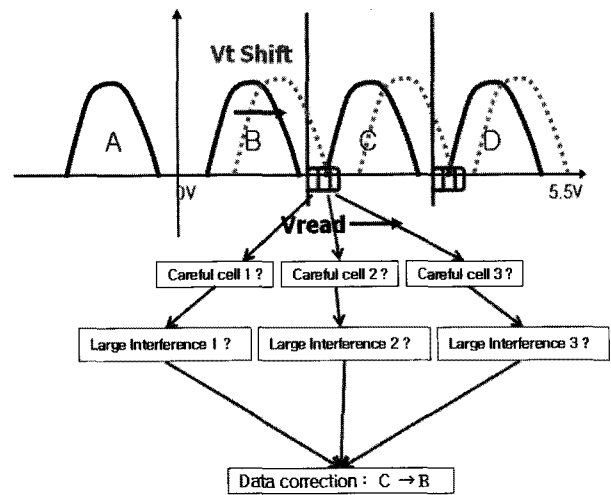


그림 7. Multiple Reading Careful Cell Compensation 알고리즘
Fig. 7. Multiple Reading Careful Cell Compensation Algorithm.

라. Data Count Read (DCR)

DCR 알고리즘은 데이터를 쓸 때 각 데이터 레벨 개수를 Count 하여 그 정보를 기록한 후, 간섭의 영향을 받은 후 읽을 때도 기록된 레벨별 수만큼 데이터가 나오도록 read voltage를 조정하는 방법이다. Flash memory가 page 단위로 data를 읽고 쓴다고 가정하고, 한 page에 data를 쓸 때 각 level별 data의 개수를 별도의 공간에 저장한다. Interference나 noise때문에 cell에 쓰여진 data voltage가 변하기 때문에, ARV 알고리즘만을 적용하여 데이터를 다시 읽을 때는 기록된 데이터 레벨의 수가 다르게 된다. ARV 알고리즘은 interference의 영향을 전체 block단위로 평균하여 read voltage를 옮기는 방식이기 때문이다. DCR 알고리즘에서는 ARV 알고리즘으로 초기 read voltage를 정하고, 쓸 때 count하여 저장한 data level 수에 맞도록 read voltage를 재조정하여 최종 read voltage를 결정한 후 이를 기준으로 복조한다.

예를 들어 한 page에 2000개의 cell이 있고, x3에서 0부터 7까지의 data level이 아래와 같이 각 250개씩 분포한다고 가정한다.

ARV algorithm을 사용하여 초기 read voltage로 복조했을 때 data level 0의 count가 235으로 나왔다면 그것은 0으로 쓴 250개의 cell중 15개의 cell이 1로 잘못 복조되었다고 생각할 수 있다. 그 다음 data level 1의 count가 240으로 나왔으면, data level 0에서 옮겨온 15개의 cell을 같이 생각할 때, 25개의 data level 1이 data level 2로 잘못 복조 되었다고 생각할 수 있는 것이다. 이와 같은 방식으로 따져보면 잘못 복조된 cell의 수는 표 2와 같다.

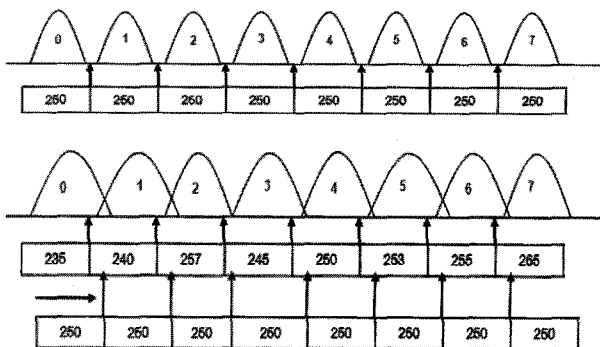


그림 8. Data Count Read - 간섭 전후의 Data 분포 및 Vread조정
Fig. 8. Data Count Read - Data distribution before and after and adjusted Vread.

표 2. Data Count Read 알고리즘 예
Table 2. An example of Data Count Read algorithm.

	0→1	1→2	2→3	3→4	4→5	5→6	6→7
잘못 복조된 cell의 수	15	25	18	23	23	20	15

따라서 data level 0과 1을 구분하는 read voltage는 위의 표에서 잘못 복조된 15개의 cell을 보정하도록 결정하고, data level 1과 2을 구분하는 read voltage는 잘못 복조된 25개의 cell을 보정하도록 결정하는 방식이다. Read voltage의 보정 값을 결정하는 방식으로는 table look-up 방식과 iterative 방식을 사용할 수 있다.

Table look-up 방식은 많은 수의 simulation을 통하여 잘못 복조된 cell의 개수 별 read voltage 보정 값을 table로 만들어 이용하는 것이다. 예를 들어 '0과 1 level 사이에서 15개의 cell이 잘못 복조 되었을 때는 0.13 volt를 오른쪽으로 shift하여 읽으면 된다' 라는 방식으로 실험결과를 토대로 table을 만들어 기록해놓는 것이다. 전산 실험을 통해 얻은 결과에 따르면 같은 수의 cell을 잘못 복조 하더라도, 각 level별로 보정해야 하는 voltage값이 다르게 나온다. 이 알고리즘을 이용하면, 아무 처리도 하지 않을 때 보다 각 level별로 1번씩 더 읽으면 된다.

Iterative 방식은 초기 ARV algorithm에 따른 read voltage에서 적은 voltage 단위로 shift 해가면서 data를 쓸 때의 count값과 가장 비슷하게 나오는 read voltage 값을 찾는다. iteration을 많이 하면 할 수록 보다 정확해져 error probability는 줄어들 것이라 기대할 수 있다.

DCR방식은 통계적 성질을 이용하여 한 page 내에서 작은 순서대로 data level을 결정하는 방식이라 할 수 있다. Data level count만 추가되면 가능하고, 다른 연산

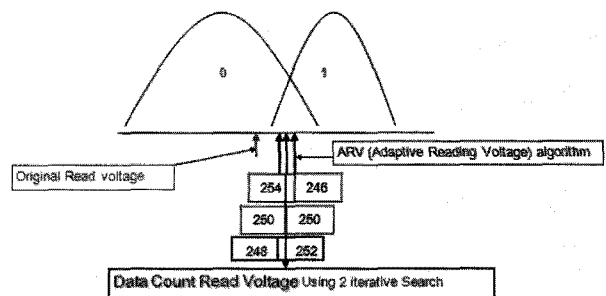


그림 9. Data Count Read Voltage 찾는 과정
Fig. 9. The Process of finding Data Count Read Voltage.

이 필요하지 않아 큰 오버헤드 없이 에러율을 많이 낮출 수 있다는 장점이 있다. 또한 DCR방식을 사용하면 retention 문제도 함께 해결할 수 있다는 장점이 있다. 기존에 retention을 해결하기 위한 방법으로 flash memory 내의 특정한 공간에 known signal을 저장해놓고, 그 signal의 data level별 개수를 세어서 read voltage를 shift하는 moving read 기법이 있다. DCR은 특정 공간에 known signal을 저장하는 대신, 각 page 별로 개수를 count해서 저장하는 방식으로 moving read 방법의 확장이라 볼 수 있다.

III. 실험

앞서 살펴본 Adaptive Reading Voltage(ARV), Careful Cell Compensation(CCC), Multiple Read Careful Cell Compensation (MRCCC), Data Count Read (DCR) 알고리즘에 대하여 Bit Error Rate(BER) 성능을 측정하는 전산 실험을 한다. 실험은 Matlab을 이용하여 MLC Flash memory의 페이지 단위의 데이터를 각종 노이즈와 이웃 셀간 간섭의 영향을 받도록 모델링 한 후 상기 알고리즘을 적용하여 에러 정정 능력을 확인하는 형태로 진행하였다.

가. Simulation Results : ARV, CCC

우선 한셀당 4 level이 있어서 2bit의 정보를 저장할 수 있는 Equal Distribution Model로 시뮬레이션을 한다. Equal distribution Model은 모든 데이터가 균등한 분포를 가지고 있다고 가정하며, 이웃 셀간 간섭을 제외한 오차는 가우시안 레벨 모델을 이용하여 구현한다. 이웃 셀간 간섭 모델은 실제 플래시 메모리 하드웨어 측정을 통해 구해진 모델링 값을 이용하여 전산 실험에 적용하였다.

CCC Algorithm의 성능을 시험하기 위해서는 먼저 최적의 Careful Cell threshold voltage와 Interference threshold voltage를 찾아야 한다. 이 두 요소를 변화시켜가면서 CCC의 BER이 가장 작게 나오는 지점을 찾는다. 시뮬레이션은 기본적으로 Adaptive Reading voltage Algorithm을 적용한 상황에서 추가로 CCC 알고리즘을 적용하였다.

그림 10은 Careful cell threshold와 Interference threshold를 변화시켜 가면서 BER을 3차원으로 표시한 것이다. 위의 그래프에서는 Careful cell threshold

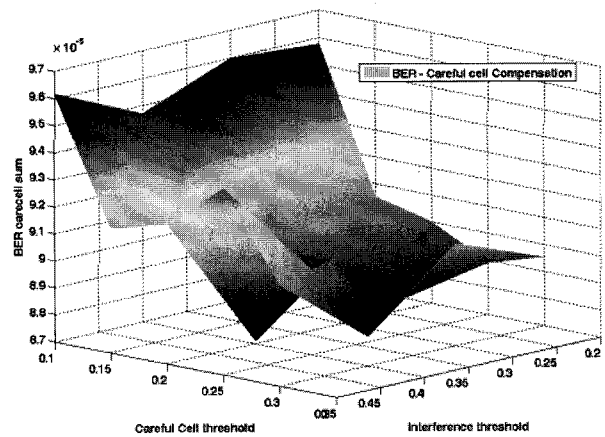


그림 10. CCC에서 각 threshold의 최적 값 찾기
Fig. 10. Finding the optimal thresholds in the CCC algorithm.

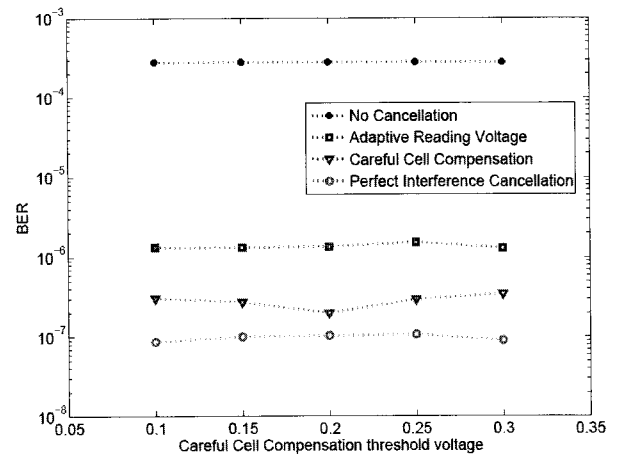


그림 11. CCC와 다른 알고리즘의 BER 비교
Fig. 11. CCC BER comparison with other algorithms.

voltage가 0.2V 일 때, Interference threshold voltage가 0.4V 일 때 최소의 BER을 가지는 것을 알 수 있다. 실제 정확한 수치는 실험의 가정에 따라 달라질 수 있으며, 위 실험은 방법론적인 측면에서 의미가 있다.

다른 알고리즘과 비교하기 위해서 Interference threshold voltage를 0.4V로 고정시키고, Careful cell threshold voltage를 변화시켜가면서 BER을 측정해보면, 아무런 알고리즘을 사용하지 않을 때 가장 성능이 나쁘고, 완벽히 이웃 간 간섭의 영향이 없다고 가정한 Perfect Interference Cancellation이 가장 성능이 좋으며, Adaptive Reading Voltage를 기본적으로 사용한 CCC는 Adaptive reading voltage와 Perfect Interference cancellation Algorithm 사이의 성능을 보여주게 된다. 0.2V에서 가장 최적의 성능을 보여주며 optimal값인 Perfect Interference Cancellation에 평강히

근접하게 됨을 알 수 있다. 최적의 성능을 보여주는 0.2V에서의 결과를 확인하면, 기존의 간섭 제거 알고리즘을 사용하지 않을 때와 비교하면 2×10^{-4} 의 BER에서 2×10^{-7} 로 약 10^{-3} 정도로 에러를 줄이는 큰 효과를 보임을 확인할 수 있으며, 이웃 셀간 간섭이 없다고 가정된 Optimum한 결과인 Perfect Interference Cancellation와 비교해도 큰 차이가 없을 정도로 에러 정정에 좋은 효과를 보인다.

나. Simulation Results : MRCCC

그림 12의 그래프에서 1번 읽는 것은 Original, 2번 읽는 건 CCC 알고리즘을 뜻한다. 3번 이상 읽는 것이 MRCCC인데 3번 읽으면 성능향상이 두드러지는데 4번 이상부터는 크게 성능 향상이 두드러지지는 않는다. 너무 세부적으로 나누면 다른 에러를 잡으면서 새로운 에러를 놓치는 경우가 발생할 수도 있고, Careful cell threshold와 Interference threshold의 최적화 문제가 발생할 수 있다.

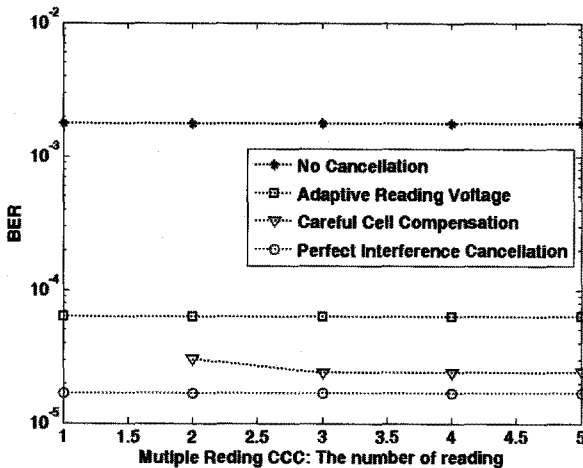


그림 12. MRCCC와 다른 알고리즘의 BER 비교
Fig. 12. MRCCC BER comparison with other algorithms.

다. Simulation Results : DCR

그림 13의 실험은 한 셀당 8 level이 있어서 3bit를 저장할 수 있는 모델로 수행했으며 DCR Optimal 방식은 완벽하게 데이터의 원래 개수를 맞추는 read voltage를 찾았을 때의 결과로, 알고리즘 성능 비교에 사용한다. Iteration 0은 초기 read voltage로 ARV algorithm을 사용하고, 더 이상의 처리 과정이 없는 방법이기 때문에 ARV algorithm과 성능이 같다.

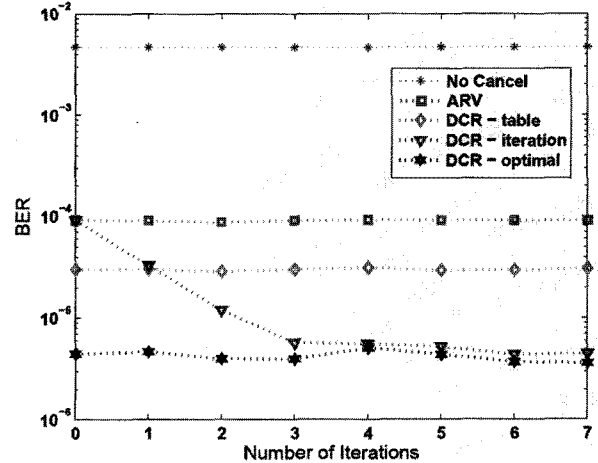


그림 13. DCR Simulation 결과
Fig. 13. Simulation Result of DCR algorithm.

Iteration 수가 많아질수록 성능이 optimal DCR에 가까운 성능을 보이며, 3번의 iteration만 가지고도 optimal DCR과 거의 비슷한 성능을 보였다. Table을 사용하여 DCR을 하는 것도 비교적 좋은 error probability를 보였으며, iteration을 1번 하는 것 보다는 약간 좋은 성능을 보인다. Iteration을 한번 하는 것은 일정한 간격으로 한번만 옮겨봐서 ARV algorithm만 썼을 때 보다 정확한 count에 가까운지 확인해 보는 것인데, table을 사용하는 방법은 잘못 복조된 cell의 수에 따라서 옮기는 read voltage를 변동시키기 때문이라 생각된다. DCR 알고리즘을 사용하면 MLC 모델 parameter에 따라 결과가 다르지만 위 실험에서는 에러율이 약 10^{-3} 만큼 주는 효과가 있음을 그래프에서 확인할 수 있다.

IV. 결 론

MLC 플래시 메모리에서 셀간 간섭의 영향을 많이 줄일 수 있다면, 한 셀당 저장 데이터를 늘릴 수 있기 때문에 큰 집적밀도 향상을 기대할 수 있다. 제안된 신호 처리 방식 알고리즘 등이 간섭의 영향을 줄일 수 있음을 확인할 수 있으며, CCC와 DCR등의 새로운 알고리즘을 통해 간섭제거 기법을 사용하지 않을 때보다 에러율을 모델에 따라 약 10^{-3} 정도 낮추는 효과가 있음을 확인할 수 있다. 기존의 오류 정정 부호 기법과 병행하면 더 적은 오버헤드로 더 좋은 에러 정정 성능을 기대할 수 있다.

참 고 문 헌

- [1] Roberto Bez, Emilio Camerlenghi, Alberto Modelli, and Angelo Visconti, "Introduction to Flash Memory," *IEEE Proc.*, vol. 91, NO.4, April 2003.
- [2] P. Pavan, R. Bez, P. Olivo, and E. Zanoni, "Flash memory cells - An overview," *IEEE Proc.*, vol. 85, pp. 1248 - 1271, Aug. 1997.
- [3] Calligaro C., Manstretta A., Modelli A. and Torelli G. "Technological and Design Constraints for Multilevel Flash Memories," *ICECS '96*, pp.1005-1008, 1996.
- [4] B. Ricco, G. Torelli, M. Lanzoni, A. Manstretta, H. E. Maes, D. Montanari, and A. Modelli, "Nonvolatile multilevel memories for digital applications," *IEEE Proc.*, vol. 86, pp. 2399-2423, Dec. 1998.
- [5] A. Modelli, R. Bez, and A. Visconti, "Multi-level Flash memory technology," *Int. Conf. Solid State Devices and Materials(SSDM)*, pp. 516 - 517, Tokyo, Japan, 2001.
- [6] C. Calligaro, A. Manstretta, A. Modelli, and G. Torelli, "Technological and design constraints for multilevel Flash memories," in *Proc. 3rd IEEE Int. Conf. Electronics, Circuits, and Systems*, pp.1003 - 1008, 1996.
- [7] P. Cappelletti and A. Modelli, "Flash memory reliability," *Flash Memories*, P. Kluwer, pp. 399-441, 1999.
- [8] S. Aritome, R. Shirota, G. Hemnik, T. Endoh, and F. Masuoka, "Reliability issues of Flash memory cells," *IEEE Proc.*, vol. 81, pp. 776 - 788, May 1993.
- [9] Jae-Duk Lee, Sung-Hoi Hur and Jung-Dal Choi, "Effects of Floating-Gate Interference on NAND Flash Memory Cell Operation," *IEEE ElectronDevice Letters*, vol. 23, no. 5, pp. 264-266, May 2002.
- [10] S. Gregori, A. Cabrini, O. Khouri, and G. Torelli, "On-chip error correcting techniques for new-generation Flash memories," *IEEE Proc.*, vol. 91, no. 4, pp. 602-616, 2003.
- [11] M. Grossi, M. Lanzoni, and B. Ricco, "Program schemes for multilevel Flash memories," *IEEE Proc.*, vol. 91, no. 4, pp. 594-601, 2003.
- [12] Y. Cassuto, M. Schwartz, V. Bohossian and J. Bruck, "Codes for multi-level flash memories: Correcting asymmetric limited-magnitude errors," *Proc. IEEE Int. Symp. Information Theory (ISIT)*, p. 1176-1180, 2007.

저 자 소 개



전 명 운(정회원)
 2007년 2월 서울대학교
 전기공학부 학사 졸업
 2009년 2월 서울대학교
 전기컴퓨터공학부
 석사 졸업
 2009년 3월~현재 서울대학교
 전기컴퓨터공학부
 박사과정

<주관심분야 : 스피어 디코딩, MIMO 수신기, LDPC>



김 경 철(정회원)
 1996년 8월 서울대학교
 전기공학부 학사 졸업.
 2006년 9월~현재 서울대학교
 전기컴퓨터공학부
 석박통합과정

<주관심분야 : 이동 통신 시스템, MIMO, 빔 형성, 모드 선택>



신 범 주(정회원)
 1997년 KAIST 전기및전자공학과
 학사 졸업
 1999년 POSTECH 전자전기
 공학과 석사 졸업
 1999년~현재 하이닉스반도체
 Flash응용사업부
 선임연구원

<주관심분야 : 반도체, Flash memory>



이 정 우(정회원)
 1988년 2월 서울대학교
 전자공학과 학사 졸업
 1990년 2월 Princeton Univ.
 Electrical Engineering
 석사 졸업
 1994년 2월 Princeton Univ.
 Electrical Engineering
 박사 졸업

2002년 9월~현재 서울대학교 전기공학부 교수
 <주관심분야 : 이동 통신 시스템, MIMO, 협력 통신, 무선 네트워크 코딩, 무선 멀티미디어>