
유한체상의 순차디지털시스템 구성

박춘명*

Construction of Sequential Digital Systems over Finite Fields

Chun-Myoung Park*

요 약

본 논문에서는 유한체상의 순차디지털시스템을 구성하는 방법을 제안하였다. 제안한 방법은 유한체의 성질로부터 유한체상의 모든 원소를 디지털코드로 할당하는 알고리즘을 제안하였고, 유한체상의 순차디지털시스템을 구성하는데 사용하는 T-gate의 동작특성에 대해 논의하였으며, 이를 토대로 궤환이 없는 순차디지털시스템을 구성하였다. 이를 위해 상태천이도를 상태디지털코드로 할당하였고, 상태함수와 현재상태와 이전상태와의 관계를 나타내는 전순표를 도출하였다. 다음에 상태함수와 전순표로부터 다음상태함수를 도출하였으며, 이를 T-gate와 복호기를 사용하여 순차디지털시스템을 구성하였다. 제안한 방법으로 효과적이고 체계적으로 순차디지털시스템을 구성할 수 있었음을 확인하였다.

ABSTRACT

This paper presents a method of constructing the sequential digital systems over finite fields. We assign all elements in finite fields to digit codes using mathematical properties of finite fields. Also, we discuss the operational characteristics and properties of the building block T-gate which is used to implement the sequential digital systems over finite fields. Then, we implemented sequential digital systems without feed-back. The sequential digital systems without feed-back is constructed as following steps. First, we assign the states in state-transition diagram to state digit codes, then obtain the state function and predecessor table which is explaining the relationship between present states and previous states. Next, we obtained the next-state function from state function and predecessor table. Finally we realize the circuit using T-gate and decoder. The proposed method is more efficiency and systematic than previous method.

키워드

유한체, 디지털코드할당, 상태천이도, 차순상태함수, 제어디지털코드

Key word

Finite fields, digit code assignment, state transition diagram, next state function, control digit code

* 충주대학교 컴퓨터공학과 (교신저자, cmpark@cjnu.ac.kr)

접수일자 : 2010. 04. 12

심사완료일자 : 2010. 06. 29

I. 서 론

현재의 디지털시스템 및 이를 근간으로한 컴퓨터구조, 마이크로프로세서 등의 하드웨어 분야는 전자공학의 발달과 특히 집적도가 매우 높아진 VLSI/ULSI의 발전으로 비약적인 발전을 해왔다.

그러나 이렇게 집적도가 높아진 것에 비해 각종 소자간의 연결, 단자간의 연결 등이 집적회로의 상당부분을 차지하게되는 단점과, 이로 인한 단자수의 제한문제, 많은 정보전송량으로 인한 시간지연 및 정보의 오류 등과 같은 문제점들이 도출되기 시작하였다. 이를 해결하기 위해 최근에 유한체에 근간을 두어 효과적으로 디지털시스템을 분석, 해석 및 종합하는 연구가 활발히 진행 중이다.[1-4]

특히 P가 소수이고 m이 양의 정수인 GF(P^m)상에서 P=2, m=1인 경우는 2진의 근간이 되며 대수학적으로 분할대수가 이 범주에 속하며, 기존의 디지털시스템에 적용이 용이하다는 장점이 있다.[5-9] 본 논문에서는 앞에서 언급한 단점을 보완하고 효과적으로 유한체상의 순차디지털시스템을 구성하는 방법을 제안하였다. 본 논문의 서술과정은 다음과 같다. 제II장에서는 유한체상의 모든 원소들을 디지털코드로 할당하는 내용을 논의하였으며 제III장에서는 본 논문의 순차디지털시스템 구성시에 사용되는 T-gate의 동작특성 및 성질에 대해 논의하였으며 이를 토대로 유한체상의 비례환 순차디지털시스템의 구성방법을 제시하였으며 이를 예에 적용한 후 그 결과를 비교 및 검토하였다. 제IV장의 결론에서는 본 논문에서 제안한 유한체상의 순차디지털시스템구성의 특징을 요약하였다.

II. 유한체상의 원소들의 디지털코드 할당

본 장에서 인용된 유한체상에서 성립하는 수학적 성질은 이미 발표된 여러 참고문헌에서 증명 없이 도입하여 사용한다. 그 중 식(1)을 인수분해하여 m차 기약다항식을 구하고, 이 기약다항식을 0으로 하는 한 근을 α로 할 때 식(2)와 같은 다항식을 얻을 수 있다.

$$X^m - X = 0 \tag{1}$$

여기서 ξ=Pm이고 P는 소수이며 m은 양의 정수이다.

$$F(\alpha) = \sum_{i=0}^{m-1} a_i \alpha^i = a_0 + a_1 \alpha + a_2 \alpha^2 + \dots + a_{m-2} \alpha^{m-2} + a_{m-1} \alpha^{m-1} \tag{2}$$

여기서 α는 P를 범으로 한 정수체 Z_P의 원소를 계수로 하는 m차 기약다항식의 근이고 a_i ∈ Z_P (i=0, 1, ..., P^m-1)이다.

유한체상의 원소들을 디지털코드 할당하는 알고리즘은 그림1과 같다.

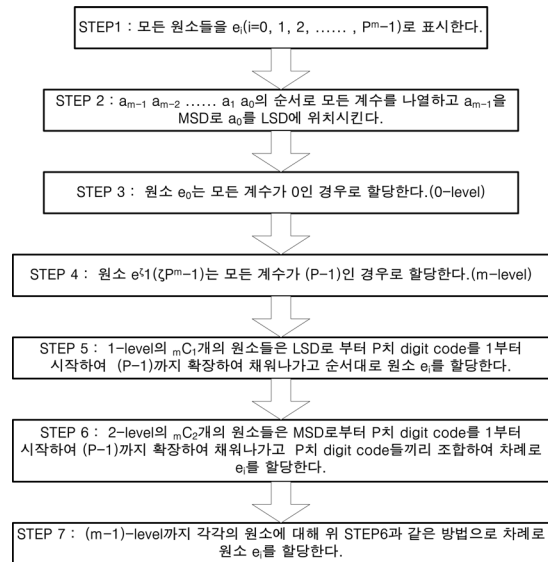


그림 1. 유한체상의 원소들을 디지털코드 할당하는 알고리즘

Fig. 1. Algorithm of assign elements over finite field to digit code

III. 순차디지털시스템 구성

순차디지털시스템의 출력은 조합디지털시스템과는 달리 현재의 입력뿐만 아니라 과거의 입력에 의해서 결정된다. 따라서 현재의 입력은 지연소자 또는 기억

소자에 의해서 그 정보가 입력단으로 케환되어 다음 시간의 입력과 더불어 입력으로 동작을하여야 한다. 일반적으로 순차디지털시스템은 식(3)과 같은 5-tuple로 표시된다.

$$M=(S, I, Z, \delta, \lambda) \quad (3)$$

여기서 S는 상태, I는 입력, Z는 출력, δ 는 차순상태함수, λ 는 출력함수이고, 또한, $S, I, Z=e_i \in GF(P^m)$ ($i=0, 1, 2, \dots, P^m-1$)이다.

한편, 식(3)의 δ 는 식(4)와 같은 사상(mapping) 관계를 가진다.

$$S_t \times I \xrightarrow{\delta} S_{t+1} \quad (4)$$

여기서 S_t 는 현재상태이고 S_{t+1} 은 차순상태이다.

한편, λ 는 Mealy model과 Moore model에 따라 다음과 같이 표시된다.

1) Mealy model인 경우

$$S_t \times I \xrightarrow{\lambda} Z_t \quad (5)$$

2) Moore model인 경우

$$S_t \xrightarrow{\lambda} Z_t \quad (6)$$

식(5)와 (6)에서 살펴본 바와 같이 Moore model에서의 출력은 오직 현재상태의 함수로만 이루어진다. 본 논문에서는 Moore model을 다룬다.

3-1. T-gate 구성

본 논문에서 순차디지털시스템구성에 사용되는 빌딩블록의 기본 논리소자는 T-gate이며 이에 대한 블록도는 그림2와 같다. 그림2에서, I_i 는 입력, Z는 출력이고, $I_i, Z=e_i \in GF(P^m)$ ($i=0, 1, 2, \dots, P^m-1$)이고 a_j ($j=0, 1, 2, \dots, m-1$)는 제어디지털코드이며, $a_j \in \{0, 1, 2, \dots, (P-1)\}$ 이다. 또한, R는 이며, 여기서 V_k 는 상태디지털코드이고 $k=0, 1, 2, \dots, m-1$ 이다.

3-2. 비케환 순차디지털시스템구성

1) 차순상태함수

순차디지털시스템을 구성할 때 차순상태함수를 구하는 것은 중요하다. 또한 순차디지털시스템에서는 현재상태와 차순상태를 동시에 다루어야 하므로 시간 t를 사용하여 차순상태함수를 표현하면 식(7)과 같이 표현할 수 있다.

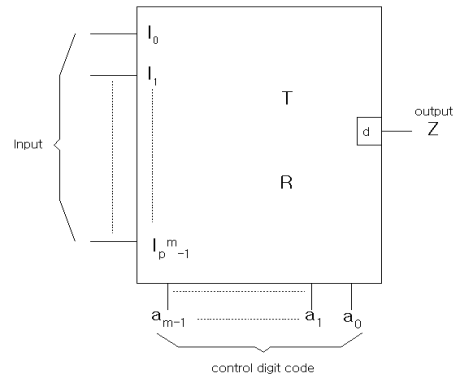


그림 2. 순차디지털시스템구성에 사용되는 빌딩블럭 T-gate의 블록도.

Fig. 2. The block diagram of the Building Block T-gate which is used constructing the sequential logic digital systems.

$$S_{t+1}=\delta(S_t, I_t) \quad (7)$$

여기서 $S_{t+1}, S_t, I_t=e_i \in GF(P^m)$ ($i=0, 1, 2, \dots, P^m-1$)이다.

한편, 상태 S를 Π 장의 유한체상 원소들을 디지털코드로 할당 알고리즘에 따라서 상태디지털코드 V_k ($k=0, 1, 2, \dots, m-1$)로 할당할 수 있으며 이는 현존의 2진에서의 순차디지털시스템에서 각 상태를 비트코드로 코드화 한 것과 개념이 유사하다. 그러므로 상태디지털코드로 각 상태를 표시한 후 상태디지털코드별로 그 값이 1에서부터 (P-1)까지에 해당하는 상태식을 구한다. 이때 상태와 상태의 합은 modP 합이다. 특히, P=2인 GF(2^m)상의 가산은 mod2 합이므로 이는 EX-OR 연산으로 가능하다. 따라서 유한체상에서의 상태디지털코드 V_k 는 $V_{m-1}, V_{m-2}, \dots, V_1, V_0$ 로 생성되며 V_k 값에 따른 상태식을 구하면 식(8)과 같다.

$$V_{kt} = (S_0 + S_1 + \dots + S_{\zeta-1})_t \quad (8)$$

여기서, ζ 는 P^m-1 이고, $k=0, 1, 2, \dots, m-1$ 이며 $+$ 는 $\text{mod}P$ 합이다.

또한, 차순상태함수는 현재상태와 이전상태와의 관계를 표시하는 전순상태표로부터 앞에서 구한 상태식(8)을 토대로 구할 수 있다. 위의 내용을 식으로 표현하면 식(9)와 같다.

$$\begin{aligned} S(V_k)_{t+1} &= (S_0 + S_1 + \dots + S_{\zeta-1})_t \cdot I_0 + (S_0 + S_1 + \dots + S_{\zeta-1})_t \\ &\cdot I_1 + \dots + (S_0 + S_1 + \dots + S_{\zeta-1})_t \cdot I_{\zeta-1} \\ &= \left(\sum_{i=0}^{P^m-1} S_i \right)_t I_0 + \left(\sum_{i=0}^{P^m-1} S_i \right)_t I_1 + \dots + \left(\sum_{i=0}^{P^m-1} S_i \right)_t I_{\zeta-1} \\ &= \sum_{j=0}^{P^m-1} \left(\sum_{i=0}^{P^m-1} S_i \right)_t I_j \end{aligned} \quad (9)$$

여기서 ζ 는 P^m-1 이고, S_i 는 V_k 의 값에 따른 상태이다.

여기서, V_k 는 상태 digit code($k=0, 1, 2, \dots, m-1$)이고, $V_k \in \{0, 1, 2, \dots, P-1\}$ 이며, $S_i = e_i \in \text{GF}(P^m)$ ($i=0, 1, 2, \dots, P^m-1$)이다. 또한, $\sum, +$ 는 $\text{mod}P$ 합이다.

2) 순차디지털시스템의 회로실현

순차디지털시스템의 회로는 그림3과 같은 블록도로 도시된다.

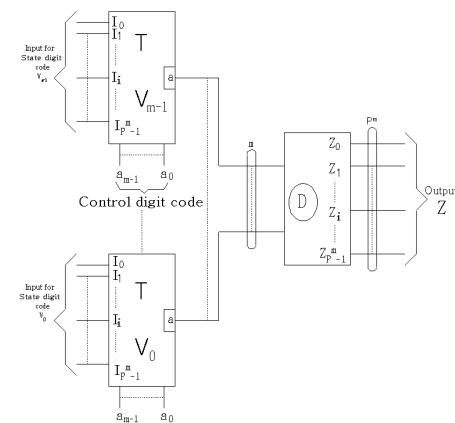


그림 3. 유한체상의 순차디지털시스템의 회로 블록도
Fig. 3. The block diagram of the sequential digital systems over finite field.

3) 순차디지털시스템구성 알고리즘

순차논리디지털시스템의 구성 알고리즘을 도출하면 그림4와 같다.

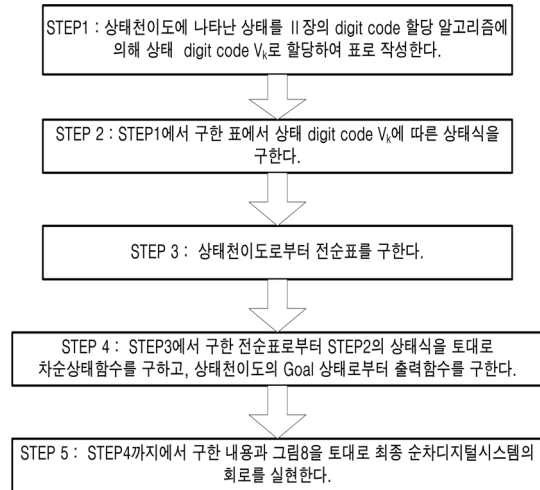


그림 4. 순차디지털시스템구성 알고리즘
Fig. 4. Algorithm of sequential digital system construction.

3-3. 적용 및 비교.검토

본 논문에서 제안한 유한체상의 순차디지털시스템 구성을 예를 들어 적용하고 그 결과를 비교 및 검토하였다. 그림5와 같은 유한체 $\text{GF}(2^3)$ 상의 상태천이도로부터 III장의 2절인 비귀환 순차디지털시스템을 구성하면 다음과 같다.

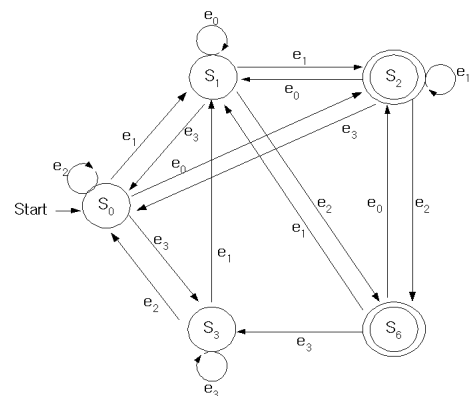


그림 5. $\text{GF}(2^3)$ 상 상태천이도
Fig. 5. The state transition diagram over $\text{GF}(2^3)$.

STEP 1 : 그림5의 상태천이도에 나타난 상태는 S_0, S_1, S_2, S_3, S_6 이고 이들을 상태 digit code V_k 로 할당하면 표1과 같다.

표 1. 그림5의 상태를 상태디지트코드로 할당
Table 1. The assignment of states in Fig.5 to state digit codes.

| present state | state digit code | V_2 | V_1 | V_0 |
|---------------|------------------|-------|-------|-------|
| S_0 | | 0 | 0 | 0 |
| S_1 | | 0 | 0 | 1 |
| S_2 | | 0 | 1 | 0 |
| S_3 | | 1 | 0 | 0 |
| S_6 | | 0 | 1 | 1 |

STEP 2 : 위 표1에서 상태식을 구하면 다음 식(10), (11) 및 (12)와 같다.

$$V_{2t} = (S_3)_t \tag{10}$$

$$V_{1t} = (S_2 + S_6)_t \tag{11}$$

$$V_{0t} = (S_1 + S_6)_t \tag{12}$$

STEP 3 : 그림5의 상태천이도로부터 전순표를 구하면 표2와 같다.

표 2. 그림5에 대한 전순표
Table 2. The predecessor table of the Fig.5.

| final states | input | I_0 | I_1 | I_2 | I_3 |
|--------------|-------|----------------|-----------------|------------|-----------------|
| S_0 | | * | * | S_0, S_3 | S_1, S_2 |
| S_1 | | S_1, S_2 | S_0, S_3, S_6 | * | * |
| S_2 | | S_0, S_6 | S_1, S_2 | * | * |
| S_3 | | * | * | * | S_0, S_3, S_6 |
| S_6 | | * | * | S_1, S_2 | * |
| | | previous state | | | |

STEP 4 : 전순표인 표2와 상태식을 토대로 차순상태 함수를 구하면 식(13), (14), (15)와 같고 상태천이도의 Goal상태로부터 출력함수를 구하면 식(16)과 같다.

$$S(V_{2t+1}) = (S_0 + S_3 + S_6)_t I_3 \tag{13}$$

$$S(V_{1t+1}) = (S_0 + S_6)_t I_0 + (S_1 + S_2)_t I_1 + (S_1 + S_2)_t I_2 \tag{14}$$

$$S(V_{0t+1}) = (S_1 + S_2)_t I_0 + (S_0 + S_3 + S_6)_t I_1 + (S_1 + S_2)_t I_2 \tag{15}$$

$$Z_t = (S_2 + S_6)_t \tag{16}$$

STEP 5 : 위 STEP4까지의 내용과 그림3을 사용하여 순차디지탈시스템회로를 실현하면 다음 그림6과 같다.

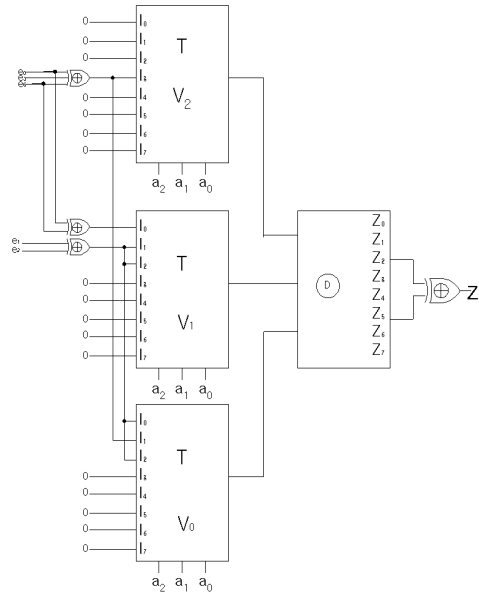


그림 6. 그림5의 순차디지탈시스템의 회로실현
Fig. 6. The circuit realization of the sequential digital systems for the Fig.5.

인용한 논문의 방법은 2진논리의 만능구조(Universal structure) 개념을 순차논리에 적용하여 구현하는 방법인데, 이 방법은 모든 입출력 관계에 적용해야하는 단점이 있다. 본 논문에서 제안한 방법과 인용 논문]에서의 방법의 디지털시스템의 하드웨어 비교는 각각 사용 소자가 동일하지 않아 직접 비교는 어렵지만 각각의 순차디지탈시스템에서의 블럭을 1개의 단일소자로 간주하여 비교하면 표3과 같다.

표 3. 비교표
Table 3. The comparison table.

| Adit. D. Singh etc. | ULM 5 |
|---------------------|--------------------|
| This paper | T-gate 3 Decoder 1 |

IV. 결론

본 논문에서는 순차디지털시스템을 구성하기 위하여 유한체상의 모든 원소들을 유한체의 수학적 성질을 이용하여 디지털코드로 할당하였다. 이들 디지털코드가 T-gate의 제어디지털코드 $a_k(k=0, 1, 2, \dots, m-2, m-1)$ 로 사용되며, 제한이 없는 순차디지털시스템 구성시에는 상태디지털코드 $V_k(k=0, 1, 2, \dots, m-2, m-1)$ 로 사용된다. 본 논문에서 제안한 비제한 순차디지털시스템구성 방법은 다음으로 요약된다. 이 방법은 II장에서 제시한 유한체상의 원소들을 디지털코드할당 알고리즘에 의해 상태천이도상의 상태를 할당한 후 이들 상태디지털코드 별로 그 값에 따른 상태들로부터 상태식을 구한다. 다음에 상태천이도로부터 전순표를 구한 후 앞에서 구한 상태식을 토대로 V_k 별로 차순상태함수를 구하고, Gaol상태로부터 출력함수를 구하여 T-gate와 복호기를 사용하여 순차디지털시스템을 구성하는 방법이다. 제안한 방법은 인용 논문에서의 구성시에 필요로 하는 계산방법에 비해선 복잡한 계산이 요구되지 않는다. 또한 순차디지털시스템 구성시 T-gate의 갯수가 적다. 이때 순차디지털시스템 구성에 필요한 T-gate의 갯수는 T-gate의 갯수 $\leq m$ 이다.

참고문헌

- [1] Stallings, Computer Organization and Architecture: Designing for Performance, 8/e, Prentice Hall, 2010.
- [2] Miller and McDonald, Microcomputer Engineering, 4/e, Prentice Hall, 2009.
- [3] Mano and Kime, Logic and Computer Design Fundamentals, 4/e, Prentice Hall, 2008.
- [4] Floyd and Buchla, Electronics Fundamentals: Circuits, Devices & Applications, 8/e, Prentice Hall, 2010.
- [5] R.J.McEliece, Finite Fields for Computer Science and Engineers, Kluwer Academic Publishers, 2000.
- [6] E.Artin, Galois Theory, NAPCO Graphics arts, Inc., Wisconsin. 2002.
- [7] M.davio, Jean-Pierre, Deschamps and A.Thayse, Discrete and Switching Functions, McGraw-Hill

international Book company, 2001.

- [8] T.H., M.K. and T.H., "Prospects of mvl VLSI processors," IEICE Trans. Electron, vol.E76-C, no.3, pp.383-392, March 2006.
- [9] W.R.E. "Synthesis of finite state algorithm in a galois field $GF(P^m)$," IEEE Trans. Compt., vol. C-30, pp.225-229, Mar. 2004.

저자소개

박춘명(Chun-Myoung Park)

한국해양정보통신학회 논문지
제14권 제6호 참조