

논문 23-3-8

## 실험계획법을 적용한 X7R 적층 칩 커패시터의 희토류( $Y_2O_3$ , $Er_2O_3$ ) 첨가에 따른 전기적 특성

### The Electrical Properties of Mutilayer Chip Capacitor with X7R by Addition of Rare-Earth Ions ( $Y_2O_3$ , $Er_2O_3$ ) using Design of Experiments

윤중락<sup>1,a</sup>, 문 환<sup>2</sup>, 이현용<sup>3</sup>

(Jung Rag Yoon<sup>1,a</sup>, Hwan Moon<sup>2</sup>, and Heun Young Lee<sup>3</sup>)

#### Abstract

Employing statistical design of experiments, the difference in doping behaviors of rare-earth ions and their effects on the dielectric property and microstructure of  $BaTiO_3$ - $MgO$ - $MnO_2$ - $(Ba_{0.4}Ca_{0.6})SiO_3$ - $Re_2O_3$  (Re =  $Y_2O_3$ ,  $Er_2O_3$ ) system were investigated. Through the statistical analysis we have found that the amount of  $Re_2O_3$  are significantly affecting on the dielectric properties. The  $Re_2O_3$  improved the dielectric constant, dielectric loss and R\*C constant, so the appropriate contents of  $Y_2O_3$  and  $Er_2O_3$  were 0.8 ~ 1.2 mol% and 0.8 ~ 1.3 mol%, respectively. The MLCC(mutilayer chip capacitor) with  $2.0 \times 1.2 \times 1.2$  mm size and 475 nF was also suited for X7R with the above composition. It showed that the dielectric constant and RC constant were 2,839 and 3,675  $\Omega F$ , respectively in the sintering condition at 1250°C in  $PO_2$   $10^{-7}$  Mpa.

**Key Word** : MLCC, X7R, Dielectric constant, R\*C constant, Statistical design, TCC(Temperature coefficient capacitance)

#### 1. 서론

최근 휴대용 전화기나 노트북과 같은 휴대용 전자기기의 수요 증가와 함께 부품의 소형화, 고성능화, 저 소모 전력 부품의 요구가 증가되고 있다. 커패시터의 경우 소형이면서 고용량을 얻기 위해 적층형 구조를 하고 있으며 세라믹 유전체, 내부 전극, 외부 전극으로 구성된다. 고용량 적층 칩 커패시터를 얻기 위해서는 높은 유전율을 가지는 유전체를 적용하거나 유전체 두께를 얇게 하면서 유전체의 적층수를 증가시켜야 한다. 특히, 최근에는 고

용량 적층 칩 커패시터의 경우 BME(base metal electrode) MLCC의 지속적인 신뢰성 향상에 따라 내부 전극으로 Pd나 Ag-Pd와 같은 고가의 귀금속 대신 Ni 이나 Cu등과 같은 저가의 비금속을 적용함으로써 가격 경쟁력이 우수한 적층 칩 세라믹 커패시터를 생산하고 있다[1,2]. 비금속을 적용한 적층 칩 커패시터는 낮은 산소 분압인 환원 분위기에서 소결하여야 하므로 유전체 세라믹이 내환원성을 가져야 한다. EIA(electronic industries association)에서는 대표적인 적층 칩 커패시터의 규격으로 온도 특성에 따라 Y5V, X7R, NP0등으로 구분하고 있다. X7R 온도특성은, 25°C에서의 정전용량을 기준으로 할 때, -55°C에서 125°C의 온도범위에서 정전용량 변화율이  $\pm 15\%$  이하인 특성을 가지는 것으로 정의한다[3]. X7R 온도 특성을 가지면서도 고용량 커패시터를 만들기 위한 기존의 연구에서는  $BaTiO_3$ 를 주조성으로 하여  $MgO$ ,  $Y_2O_3$ ,  $MnO_2$ , 희토류 ( $Dy_2O_3$ ,  $Ho_2O_3$ ,  $Er_2O_3$ ), 저온 소결소

1. 삼화콘덴서공업(주) 연구소  
(경기도 용인시 남사면 북리 124)

2. 연세대학교 세라믹공학과  
3. 명지대학교 전기공학과

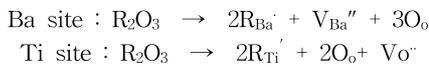
a. Corresponding Author : [yoonjungrag@yahoo.co.kr](mailto:yoonjungrag@yahoo.co.kr)

접수일자 : 2009. 12. 19

1차 심사 : 2010. 2. 8

심사완료 : 2010. 2. 23

제( $V_2O_5$ ,  $SiO_2$ ,  $CaSiO_3$ )를 첨가하여 유전 특성을 향상시켰다는 보고는 있으나 희토류 성분 역할과 첨가비에 따른 유전 특성 및 전기적 특성에 대한 연구는 부족한 실정이다[1,2]. 지금까지 알려진 바로는 희토류 성분의 첨가는 정전용량의 온도의존성을 안정화 시키면서 수명시간을 증가시키는 것으로 알려져 있다[4,5]. 희토류 원소의 역할로서는 환원분위기에서 소결시 낮은 산소 분압 때문에 형성된 산소 공공에 의해 전자가 형성되며 이로 인하여 절연저항의 열화가 발생하는 현상을 제어하는 역할을 한다. 희토류의 역할은 아래 식에 나타나듯이 A-site 또는 B-site에 치환하여 엑셉터와 도우너 역할을 하여 농도를 최적화하여 신뢰성을 향상시키는 것으로 알려져 왔다[1,2,4,5].



하지만, 고용량 적층 칩 커패시터 개발을 위해서는 신뢰성 뿐 만 아니라 유전율, 유전손실, 절연저항( $R^*C$ )등을 고려한 조성이 필요하다. 본 연구에서는 고용량 적층 칩 커패시터에 적합한 조성을 얻기 위하여 실험계획법을 적용하여  $BaTiO_3$ - $MgO$ - $MnO_2$ - $(Ba_{0.4}Ca_{0.6})SiO_3$  유리프릿 조성에  $Y_2O_3$  및  $Er_2O_3$  단독 또는 동시에 첨가하여 첨가량에 따른 유전 및 전기적 특성을 연구하였다. 또한, 실험계획법에서 얻은 최적의 조성을 이용하여 적층 칩 커패시터를 제작하여 고용량 적층 칩 커패시터 소재로서의 응용 가능성을 검토하였다.

## 2. 실험 방법

### 2.1 유전체 원료 및 적층 칩 커패시터 제작

본 실험에서 사용한 분말은 용매열법(hydrothermal method)로 제조된  $BaTiO_3$  (Sakai, BT-04B)를 사용하였으며 첨가제로는  $MgO$ ,  $MnO_2$ ,  $(Ba_{0.4}Ca_{0.6})SiO_3$  유리 프릿을 적용하였다. 유전특성 및 온도 특성 향상을 위하여 표 1과 같이 희토류 원소인  $Y_2O_3$  및  $Er_2O_3$  단독 또는 동시에 첨가하였다. 조성에 따라 순수물과 지르코니아 물을 넣고 비드밀을 이용하여 24시간 혼합, 분쇄하였다. 그린시트 제작을 위한 슬러리는 세라믹 원료, 분산제 및 용매(톨루엔/에탄올)를 적정비로 배합한 후 바스켓 밀을 이용하여 8시간 혼합, 분산하였다. 혼합, 분산된 슬러리에 PVB (Sekisui, BM-2), DOP (DC chemical)를 적정 배합비로 첨가한 후 4시간 혼합

하여 슬러리를 제작하였으며, 닥터블레이드 방식을 적용하여 실리콘 코팅한 PET 필름위에  $7 \mu m$  그린시트를 성형하였다. 그린시트위에 평균입경  $D_{50}$  0.4  $\mu m$ 인 Ni 금속분말과 공제로서 0.1  $\mu m$   $BaTiO_3$ 를 적용하여 만든 페이스트를 스크린 프린트법을 적용하여 내부전극을 형성하였다. 조성에 따른 전기적 특성을 평가하기 위한 시료는 세라믹 적층 칩 공정을 적용하여  $10 \times 10 \times 2.0$  mm인 내부전극이 없는 시료를 준비하였다. 고용량 적층 칩 커패시터 제작은 일반적인 적층 칩 커패시터 제조공정을 적용하여 적층, 압착, 절단하여  $2.0 \times 1.2 \times 1.2$  mm인 적층 칩을 제작하였다. 적층 칩을  $260^\circ C$ 에서 48시간 바인더 탈지 후  $H_2$ - $N_2$ - $H_2O$ 를 이용하여  $PO_2 = 10^{-11}$  MPa 분압하에서  $1250^\circ C$ , 2시간 소성하였다. 적층 칩 커패시터의 신뢰성 향상을 위하여 재산화 열처리는  $900^\circ C$ ,  $PO_2 = 10^{-7}$  MPa 분위기에서 2시간 행하였다. 소성 칩을 내부 전극이 도출되도록 연마 후 Cu 전극을 이용하여 외부전극을 형성하여  $800^\circ C$ 에서 10분간 환원분위기에서 소성하였다. 외부전극을 형성 한 후 제품의 납땀성 향상을 위하여 바렐을 이용한 전해도금으로 Ni 2 ~ 5  $\mu m$ , Sn 3 ~ 5  $\mu m$  두께로 도금하였다. 유전율과 손실은 1 kHz, 1  $V_{rms}$  조건으로 LCR 측정기 (HP4278A, HP, USA)를 이용하여 커패시턴스 값을 측정 한 후 유전율을 계산하였다. 절연저항 저항 측정은 고저항 측정기 (HP4339B, HP, USA)를 이용하여 측정하였으며  $R(\text{절연저항}) * C(\text{정전용량})$  값으로 나타내었다. 온도 특성은  $-55^\circ C \sim 125^\circ C$ , 1 kHz, 1  $V_{rms}$  조건에서 온도특성 측정기(4220A, S&A Inc., USA)를 이용하여 측정하였다.

### 2.2 반응표면 분석법

반응표면분석법은 통계소프트웨어인 MINITAB을 이용하여 실험설계는 중심합성(central composite)법을 적용하였다[7].

실험인자로는  $BaTiO_3$ - $MgO$ - $MnO_2$ - $(Ba_{0.4}Ca_{0.6})SiO_3$  유리프릿 조성(주조성이라 칭함)에 희토류 원소인  $Y_2O_3$  및  $Er_2O_3$  단독 또는 동시에 첨가하였으며 특성으로는 밀도, 유전율, 유전손실,  $R^*C$ 값으로 하였다. 표 1에는 3인자 혼합물 실험 설계를 통한 첨가량을 나타내었으며  $Y_2O_3$  0 ~ 1 mol%,  $Er_2O_3$  0 ~ 1 mol%의 범위에서 실험을 설계하였다.

## 3. 결과 및 고찰

그림 1은  $Y_2O_3$  및  $Er_2O_3$  첨가량에 따른 XRD 결과로서 이온이 원자 반경이 유사한  $Y^{3+}$ ,  $Er^{3+}$ 이온이

표 1. 실험계획법을 적용한 실험조건.

Table 1. Test condition using design of experiments.

Batch No.	BT 구조형	Y <sub>2</sub> O <sub>3</sub> (mol%)	Er <sub>2</sub> O <sub>3</sub> (mol%)
1	100	0	0
2	100	0	0.5
3	100	0	1
4	100	0.5	0
5	100	0.5	0.5
6	100	0.5	1
7	100	1	0
8	100	1	0.5
9	100	1	1

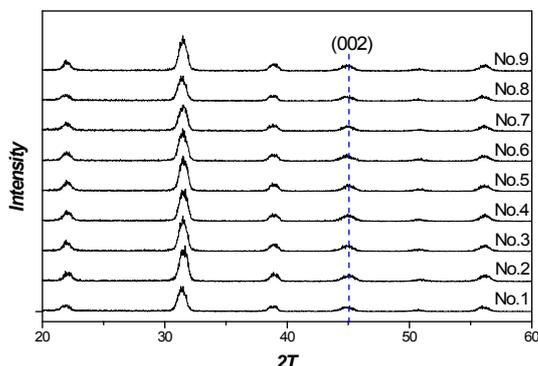


그림 1. Y<sub>2</sub>O<sub>3</sub> 및 Er<sub>2</sub>O<sub>3</sub> 첨가량에 따른 XRD 결과.  
Fig. 1. XRD results as a function of content of Y<sub>2</sub>O<sub>3</sub> and Er<sub>2</sub>O<sub>3</sub>.

첨가량에 관계없이 Ba, Ti위치에 치환되어 이차상이 보이지 않았다. 하지만, 첨가량에 따라 45.6도 영역에 있는 (002) 피크의 변화를 보면 첨가량이 증가함에 따라 (-)측으로 이동함을 볼 수 있다. 이와 같은 결과는 (Ba<sub>1-2X</sub>R<sub>2X</sub>)(Ti<sub>1-X</sub>Mg<sub>X</sub>)O<sub>3</sub> (X = 0 ~ 0.15, R=La, Sm, Dy, Ho, Er)계에서 중간크기의 이온반경을 가지는 Dy, Ho, Er이온의 경우 이온크기에 따라 X가 작은 영역에서 격자상수가 감소되고 X가 큰 영역에서 격자상수가 증가하여 (002) 피크가 이동한다는 기존의 보고한 유사한 결과를 나타내고 있다[1].

그림 2는 Y<sub>2</sub>O<sub>3</sub> 및 Er<sub>2</sub>O<sub>3</sub> 첨가량에 따른 미세구조로서 No 6, 8, 9와 같이 Y<sub>2</sub>O<sub>3</sub> 및 Er<sub>2</sub>O<sub>3</sub>을 함하여 1.5 mol% 이상이면 기공이 많이 존재함을 볼 수 있으며 희토류 함량이 0.5 ~ 1.0 mol%에서는 치밀한 미세 구조를 나타내고 있다. 희토류 함량이

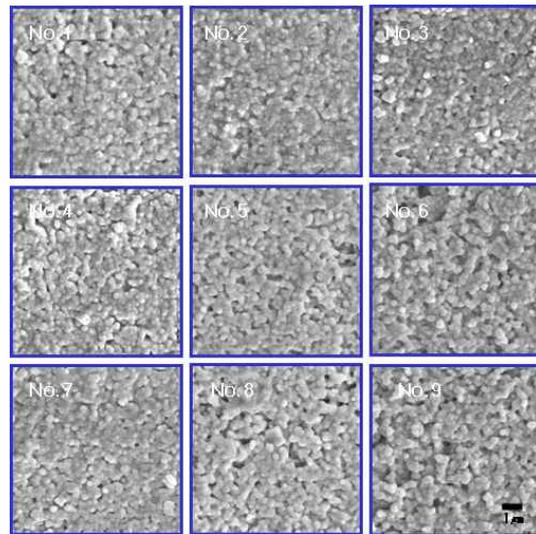


그림 2. Y<sub>2</sub>O<sub>3</sub> 및 Er<sub>2</sub>O<sub>3</sub> 첨가량에 따른 미세구조.  
Fig. 2. Microstructure as a function of content of Y<sub>2</sub>O<sub>3</sub> and Er<sub>2</sub>O<sub>3</sub>.

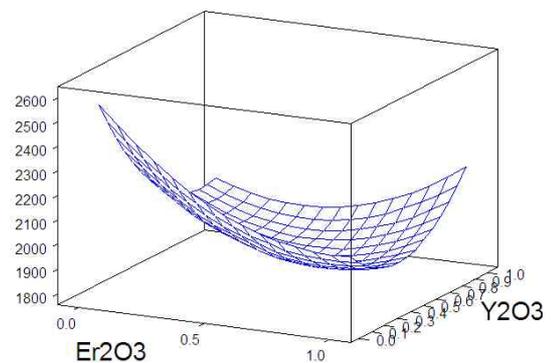


그림 3. Y<sub>2</sub>O<sub>3</sub> 및 Er<sub>2</sub>O<sub>3</sub> 첨가량에 따른 유전율.  
Fig. 3. Dielectric constant as a function of content of Y<sub>2</sub>O<sub>3</sub> and Er<sub>2</sub>O<sub>3</sub>.

증가할수록 기공이 많이 나타나는 결과는 소성온도에 의한 영향과 함께 첨가제가 소결 억제제로 작용하여 소결성 저하에 의한 것으로 판단되며 전체적으로 첨가제에 의한 입성장은 크게 나타나지 않음을 볼 수 있다.

그림 3은 Y<sub>2</sub>O<sub>3</sub> 및 Er<sub>2</sub>O<sub>3</sub> 첨가량에 따른 유전율로서 희토류 함량이 증가할수록 유전율이 감소함을 볼 수 있다. 이와 같은 결과는 미세구조에서 나타나듯이 기공에 의한 영향도 있지만 기존에

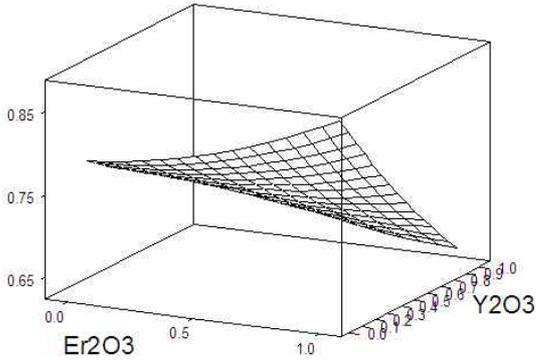


그림 4.  $Y_2O_3$  및  $Er_2O_3$  첨가량에 따른 유전손실.  
Fig. 4. Dielectric loss as a function of content of  $Y_2O_3$  and  $Er_2O_3$ .

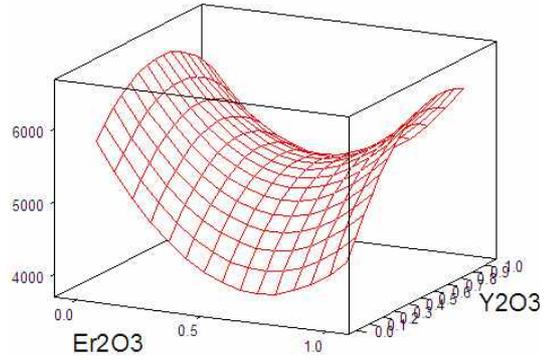


그림 5.  $Y_2O_3$  및  $Er_2O_3$  첨가량에 따른 R\*C 값.  
Fig. 5. R\*C value as a function of content of  $Y_2O_3$  and  $Er_2O_3$ .

알려진 것과 같이 코어 셸 (core-shell) 구조에 의한 셸 영역의 증가로 판단된다. 코어는 고유전율을 가지는 순수한  $BaTiO_3$ 로 강유전체상으로 구성되어 있지만 셸은 첨가제의 확산에 의해 생성된 층으로 회토류 증가에 따라 낮은 유전율을 가지는 상유전체상인 셸 영역이 증가하여 나타난 결과로 판단된다[1,2,4,5].

그림 4는  $Y_2O_3$  및  $Er_2O_3$  첨가량에 따른 유전손실로서  $Er_2O_3$  단독 첨가시 함량이 증가할수록 유전손실이 증가하는 경향을 보이나  $Y_2O_3$  및  $Er_2O_3$ 를 동시에 첨가하는 경우에는 첨가량이 증가할수록 유전손실이 감소함을 볼 수 있다. 일 회토류 증가에 따른 유전손실 감소는 회토류 원소의 첨가량 증가로 인한 상유전성을 띠는 셸 영역의 증가가 큰 영향을 미치는 것으로 판단된다.

그림 5는  $Y_2O_3$  및  $Er_2O_3$  첨가량에 따른 R\*C값으로서  $Er_2O_3$ 를 단독 첨가시 함량이 증가할수록 절연저항이 감소하는 경향을 보이는 데 비하여  $Y_2O_3$ 의 경우 0.5 mol%까지는 증가하는 경향을 보인다.  $Y_2O_3$  및  $Er_2O_3$ 를 동시에 첨가하는 경우에는 0.5 mol%까지는 첨가량이 증가할수록 감소함을 볼 수 있으나 이상 첨가시에는 증가하는 경향을 나타낸다. 일반적으로 고신뢰성의 고용량 적층 칩 커패시터 제작을 위해서는 R\*C값의 값이 1000  $\Omega F$  이상은 되어야 한다. 일반적으로 R\*C 값을 증가시키기 위해서는 유리 프린트 첨가에 의해 입계면의 저항을 높이거나 MgO와 회토류 원소 ( $R_2O_3$ )의 적절한 첨가에 의해 페로브스카이트 구조에서 A자리와 B 자리를 모두 치환할 수 있는 양립성을 가지는 첨가제를 첨가하여 소결중에 발생하는

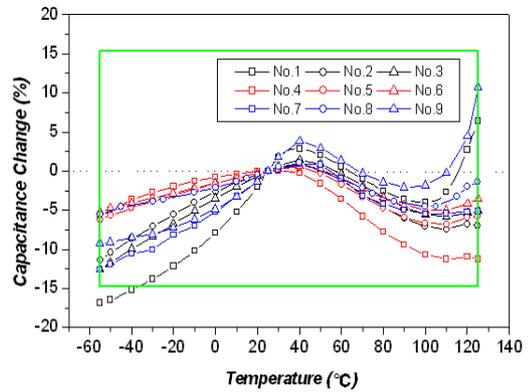


그림 6.  $Y_2O_3$  및  $Er_2O_3$  첨가량에 따른 온도특성.  
Fig. 6. Temperature coefficient capacitance as a function of content of  $Y_2O_3$  and  $Er_2O_3$ .

산소 빈자리를 최소화하는 방법이 있다[4,5]. 본 논문에서는  $Y_2O_3$  및  $Er_2O_3$ 를 동시에 첨가시 원자반경 크기 및 첨가량에 따라 A자리와 B 자리에 도너와 억셉터로 작용하여 원자가 보상이 이루어져 R\*C 값이 증가되는 것으로 판단된다.

그림 6은  $Y_2O_3$  및  $Er_2O_3$  첨가량에 따른 온도특성 그림이다. 유전율의 온도특성은 유전율의 경우와 유사하게 그레인과 그레인 계면간의 서로 다른 화학적 조성하는 코어셸 구조에 의한 것으로 알려져 있다[1,2]. 고용량 적층 칩 커패시터 제작시 유전체 두께가 감소함에 따라 온도 특성 곡선이 저온 영역에서는 정전용량이 상승하고 고온 영역에서는 감소하는 현상이 나타난다. 따라서 고용량 적층 칩 커패시터 유전체 조성으로는 85°C 근처에서 용량

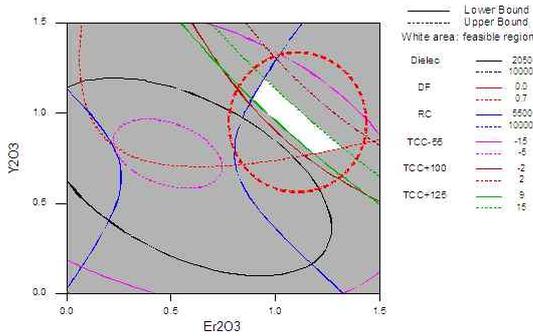


그림 7.  $Y_2O_3$  및  $Er_2O_3$  첨가량에 따른 최적 조성 영역.

Fig. 7. Optimum composition region as a function of content of  $Y_2O_3$  and  $Er_2O_3$ .

표 2. 고용량 적층 칩 커패시터 전기적 특성.  
Table 2. Electrical properties of high capacitance MLCC.

Capacitance (nF)	Dissipation Factor (%)	Dielectric Strength (V/ $\mu$ m)	Insulation Resistance (G $\Omega$ ) 16V, 60 sec	RC constant (sF)	Dielectric constant
475	1.6	47.20	min 5.20	3675 (60 sec) 7659 (120 sec)	2839.13

변화율이 -3% 이내인 조성이 고용량 적층 칩 커패시터 제작시 우수한 것으로 알려져 있으며[6] 본 실험에서도  $Y_2O_3$  및  $Er_2O_3$ 를 단독으로 첨가한 경우 보다는 동시에 첨가한 조성에서 우수한 온도 특성을 나타냄을 볼 수 있다.

그림 7은 고용량 적층 칩 커패시터 제작을 위한 최적 조성 영역을 반응표면분석법[7]을 적용하여 분석한 그림이다. 조건영역으로는 유전율 2200 이상, 유전손실 1.0%이하, R\*C 값 1,000 이상 및 온도 특성을 고려한  $Y_2O_3$  및  $Er_2O_3$  첨가량을 최적화한 그림이다. 그림에서 흰색 부분으로 나타난 영역이 고용량 적층 칩 커패시터로서 사용 가능한 최적 조성영역이며  $Y_2O_3$  0.8 ~ 1.2 mol%,  $Er_2O_3$  0.8 ~ 1.3 mol%를 동시에 첨가하는 조성으로 나타났다.

표 2는 그림 7에서 최적 조성 영역의 조성을 이용하여 적층 칩 커패시터를 제작한 결과로서 정전용량, 적층수, 유전체 두께를 고려한 역산 유전율 2840이고 손실은 1.6%로서 내부전극이 없는 경우보다 유전율은 500 높게 나타나는 데 비하여 유전손실은 증가함을 볼 수 있다. 이와같은 결과는 고용량 적층 칩 커패시터 제작시 내부전극에 포함된 공제와 유전체과의 반응에 의한 영향 및 내부전극 저항에 의한 것으로 판단된다[6]. 신뢰성과 연관되

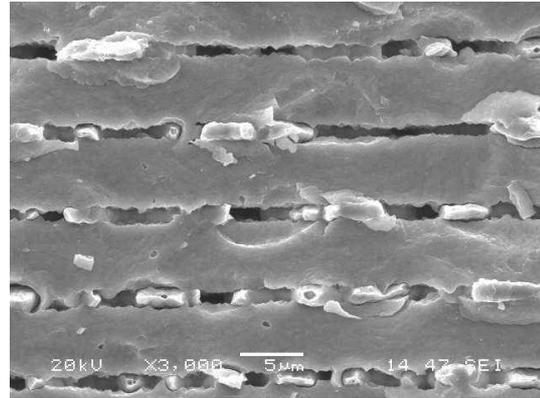


그림 8. MLCC의 내부 단면구조.

Fig. 8. Cross section Microstructure of MLCC.

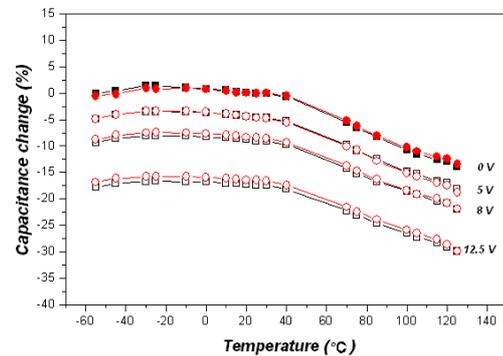


그림 9. 온도 및 인가전압 변화에 따른 용량 특성.

Fig. 9. Capacitance characteristic of MLCC as a function of temperature and bias voltage change.

는 R\*C값 및 단위 두께당 절연파괴 전압은 3675  $\Omega$ F, 47.2 V/ $\mu$ m로 우수한 특성을 얻었다. 그림 8은 적층 칩 커패시터의 미세구조로서 유전체 두께 5  $\mu$ m, 내부전극 두께 0.8  $\mu$ m로서 치밀한 미세구조를 나타내었다.

그림 9는 고용량 적층 칩 커패시터의 온도변화 및 인가전압에 따른 용량 변화율 특성을 나타낸 그림이다. 인가전압에 무관하게 정전용량의 변화는 저온영역인 -55 ~ 25 $^{\circ}$ C에서는 -1.5%, 고온영역인 25 ~ 125 $^{\circ}$ C에서 -12.5%로 모두 X7R 특성을 만족하였다. 인가전압에 따른 정전용량 변화는 인가전압이 증가할수록 정전용량이 감소함을 볼 수 있으나 인가전압에 따른 온도 특성은 변화가 크지 않음을 확인 할 수 있었다.

#### 4. 결 론

BaTiO<sub>3</sub>-MgO-MnO<sub>2</sub>-(Ba<sub>0.4</sub>Ca<sub>0.6</sub>)SiO<sub>3</sub> 유리프릿 조성에 Y<sub>2</sub>O<sub>3</sub> 및 Er<sub>2</sub>O<sub>3</sub> 단독 또는 동시에 첨가하여 첨가량에 따른 전기적 특성 결과 다음과 같은 결론을 얻었다. 고용량 적층 칩 커패시터 제작을 위한 최적영역은 Y<sub>2</sub>O<sub>3</sub> 0.8 ~ 1.2 mol%, Er<sub>2</sub>O<sub>3</sub> 0.8 ~ 1.3 mol%를 동시에 첨가하는 경우로 나타났으며 적층 칩 커패시터 원료로서의 적용 가능성을 확인 하였다.

상기 조성을 적용하여 적층 칩 커패시터를 제작하여 475 nF의 정전용량을 얻었으며 단위 두께당 절연파괴 전압이 47.2 V/ $\mu$ m로, 유전손실 1.6%인 우수한 고용량 적층 칩 커패시터를 얻었다. 또한, 온도변화에 따른 용량 변화는 X7R 특성을 만족하였으며 인가전압에 따른 용량 변화도 우수함을 확인할 수 있었다.

#### 참고 문헌

[1] H. Kishi, N. Kohzu, J. Sugino, H. Ohsato, Y. Iguchi, and T. Okuda, "The effect of rare-

earth (La, Sm, Dy, Ho and Er) and Mg on the microstructure in BaTiO<sub>3</sub>", J. Eur. Ceram. Soc., Vol. 19, p. 1043, 1999.

[2] 윤중락, 김민기, 정태석, 우병철, "고압용 X7R 적층칩 세라믹 커패시터의 Er<sub>2</sub>O<sub>3</sub> 및 유리프릿 첨가에 따른 전기적 특성", 전기전자재료학회 논문지, 21권, 5호, p. 440, 2008.

[3] Electronic Industries Association, Specification, #RS198.

[4] K.-J Park, C.-H. Kim, Y.-J. Yoon, S.-M. Song, Y.-T. Kim, and K.-H. Hur, "Doping behaviors of dysprosium, yttrium and holmium in a BaTiO<sub>3</sub> ceramics", Journal of the European Ceramic Society, Vol. 29, p. 1735, 2009.

[5] 박금진, 김창훈, 김영태, 허강원, "BaTiO<sub>3</sub> 세라믹내 (Dy,Y,Ho) 첨가 효과", 한국세라믹학회 논문지, 46권, 2호, p. 181, 2009.

[6] 윤중락, 우병철, 이현용, 이석원, "고용량 적층 세라믹 커패시터에서 설계 및 제조공정에 따른 전기적 특성 평가", 전기전자재료학회논문지, 20권, 2호, p. 118, 2007.

[7] Minitab Release ver.13: User's Guide 1,2,3, 2000.