

논문 23-3-2

# 1700 V급 EST소자의 설계 및 제작에 관한 연구

## Design and Fabrication of 1700 V Emitter Switched Thyristor

강이구<sup>1,a</sup>, 안병섭<sup>1</sup>, 남태진<sup>1</sup>  
(Ey Goo Kang<sup>1,a</sup>, Ahn Byoung Sub<sup>1</sup>, and Tae Jin Nam<sup>1</sup>)

### Abstract

In this paper, the trench gate emitter switched thyristor(EST) with trench gate electrode is proposed for improving snap-back effect which leads to a lot of problems in device applications. The parasitic thyristor which is inherent in the conventional EST is completely eliminated in this structure, allowing higher maximum controllable current densities for ESTs. The dual trench gate allows homogenous current distribution in the EST and preserves the unique feature of the gate controlled current saturation of the thyristor current. The characteristics of the 1700 V forward blocking EST obtained from two-dimensional numerical simulations (MEDICI) is described and compared with that of a conventional EST. we carried out layout, design and process of EST devices

**Key Words :** Power devices, Emitter switched thyristor, 1700 V breakdown voltage, MCT, On resistance

### 1. 서론

전력 반도체 소자는 사용되는 정격 전력에 따라 저전력, 중전력 그리고 대전력용 소자로 구분되고 있다[1,2]. IGBT는 1 kV 이하의 중·대전력 분야에 응용되는 가장 일반적이고 우수한 전력 반도체 소자이다. 그러나 IGBT를 4 kV 이상의 대전력 분야에 사용한다면, 순방향 온 전압 강하가 매우 크기 때문에 스위칭을 수행할 때 드는 소모되는 전력이 상당히 크기 때문에 이러한 대전력 분야에서는 IGBT보다는 게이트 소호형 사이리스터(GTO)를 많이 사용한다. 그러나 GTO는 전류 구동 방식이기 때문에 구동회로가 복잡하고, 게이트 구동전류가 소자의 도통전류의 30%에 달하여 소자의 동작시 매우 큰 전력 소모를 가져올 수 있다[3,4].

이러한 단점을 극복하기 위하여 에미터스위치사이리스터(EST)나 베이스저항사이리스터 (BRT)와 같은 MOS 구동형 사이리스터가 제안되었는데, MOS 구동형 사이리스터는 입력임피던스가 높고,

게이트 구동회로가 간단하다. 특히 EST는 GTO에 비해 낮은 순방향 전압특성을 갖고, 유일하게 전류포화 특성을 갖는다. 그러나 트랜지스터의 큰 온저항과 사이리스터의 작은 온저항의 차이에 의해 동작의 전이 과정에서 부저항영역을 포함하는 스냅-백 현상이 발생한다. 스냅-백 영역을 억제하기 위해서는 스냅 백 전류와 전압을 감소시켜 트랜지스터 동작영역을 최소한으로 억제할 필요가 있다[5].

따라서 본 연구에서는 스냅-백을 억제함과 동시에 기존의 범용 소자에 비해 우수한 항복특성을 갖는 트랜치 전극형 EST를 제안하고자 한다. 또한 이 소자의 타당성을 검증하기 위해 2차원 소자 시뮬레이터인 MEDICI를 이용하여 전기적인 특성을 분석·고찰하였으며, 최적화를 이룬 다음 그것을 바탕으로 TEG를 제작하여 다이오드, MOSFET영역, JFET영역, 필드링의 특성을 분석하였다. 또한 시제품을 제작한 결과 1700 V의 내압을 가지고 있어 앞으로 산업용 인버터, 고속철도등에 충분히 활용 가능할 것으로 판단된다.

1. 극동대학교 컴퓨터정보표준학부  
(충북 음성군 감곡면 왕창리 산 5)  
a. Corresponding Author : keg@kdu.ac.kr  
접수일자 : 2009. 10. 16  
1차 심사 : 2010. 2. 11  
심사완료 : 2010. 2. 18

### 2. 본론

#### 2.1 1700 V EST 소자의 구조 및 동작원리

전력 반도체 소자는 사용되는 정격 전력에 따라

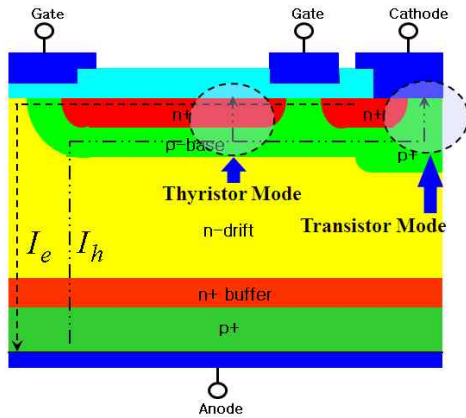


그림 1. 일반적인 EST 소자의 구조.  
Fig. 1. The structure of planar EST.

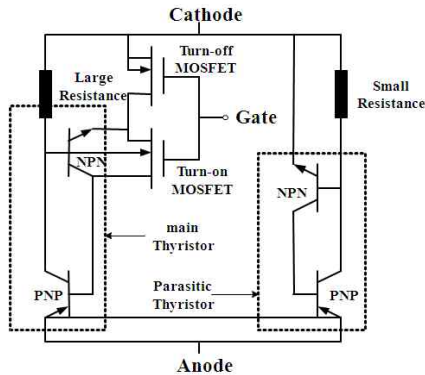


그림 2. EST 소자의 등가회로.  
Fig. 2. The equivalent circuit of EST devices.

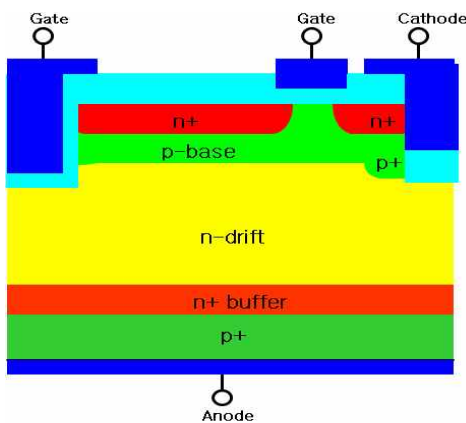


그림 3. 제안한 트랜치 전극 EST 소자의 구조.  
Fig. 3. The structure of proposed trench gate EST.

저전력, 중전력 그리고 대전력용 소자로 구분되고 있다. IGBT는 1 kV 이하의 중·대전력 분야에 응용되는 가장 일반적이고 우수한 전력 반도체 소자이다. 그러나 IGBT를 4 kV 이상의 대전력 분야에 사용한다면, 순방향 온 전압 강하가 매우 크기 때문에 스위칭을 수행할 때 드는 소모되는 전력이 상당히 크기 때문에 이러한 대전력 분야에서는 IGBT보다는 Gate Turn Off Thyristor(GTO)를 많이 사용한다. 그러나 GTO는 전류 구동 방식이기 때문에 구동회로가 복잡하고, 게이트 구동전류가 소자의 도통전류의 30%에 달하여 소자의 동작시 매우 큰 전력 소모를 가져올 수 있다.

이러한 단점을 극복하기 위하여 에미터 스위치 사이리스터(EST)나 베이스저항사이리스터 (BRT)와 같은 MOS 구동형 사이리스터가 제안되었는데, MOS 구동형 사이리스터는 입력임피던스가 높고, 게이트 구동회로가 간단하다. 특히 EST는 GTO에 비해 낮은 순방향 전압특성을 갖고, 유일하게 전류 포화 특성을 갖는다. 그러나 트랜지스터의 큰 온저항과 사이리스터의 작은 온저항의 차이에 의해 동작의 전이 과정에서 부저항영역을 포함하는 스냅-백 현상이 발생한다. 스냅-백 영역을 억제하기 위해서는 스냅 백 전류와 전압을 감소시켜 트랜지스터 동작영역을 최소한으로 억제할 필요가 있다.

따라서 본 연구에서는 스냅-백을 억제함과 동시에 기존의 범용 소자에 비해 우수한 항복특성을 갖는 트랜치 전극형 EST를 제안하고자 한다. 또한 이 소자의 타당성을 검증하기 위해 2차원 소자 시뮬레이터인 MEDICI를 이용하여 전기적인 특성을 분석·고찰하였으며, 최적화를 이룬 다음 그것을 바탕으로 또한 planar EST 시제품을 제작한 결과 1700 V의 내압을 가지고 있어 앞으로 산업용 인버터, 고속철도등에 충분히 활용 가능할 것으로 판단된다.

그림 1과 그림 3은 기존의 범용 수직형 Dual Gate EST와 제안된 수직 트랜치 전극형 Dual Gate EST의 구조를 나타내고 있다. 그리고 그림 2에 EST 소자의 등가회로를 나타내고 있다.

EST 소자의 순방향 동작은 게이트에 문턱전압보다 큰 전압을 인가하면서부터 시작된다. 전자는 n+ 에미터에서 출발하여 n+ 플로팅 영역 다시 n- 채널(게이트 1영역)을 거쳐 n- 드리프트 영역으로 주입된다. 주입된 전자는 pnp 트랜지스터의 베이스 전류로써 주입되어 트랜지스터를 구동시킨다. 그 결과 p+ 애노드로부터 홀들이 주입되어 n- 드리프트 영역을 거쳐 p- 베이스 영역에 도달된다. 도달한

홀들은 p- 베이스영역과 플로오팅 n+ 에미터영역간의 전위장벽을 넘지 못하고 p- 베이스내에서 수평 방향으로 흘러 캐소드 전극으로 빠져 나간다.

이와 같이 EST는 초반에는 트랜지스터 방식으로 도통되므로 온 저항이 크게 나타난다. 애노드 전압이 점진적으로 증가하면, p+ 애노드 영역으로부터 홀 주입량이 증가하여 p- 베이스 영역에 도달하는 홀이 증가한다. 이러한 홀 전류가 흐르면 p- 베이스 내의 수평저항 성분에 의하여 수평경로상의 전압강하가 나타나고 p- 베이스영역과 플로오팅 n+ 영역사이의 접합에 순방향 전압을 가한 것과 같은 효과를 얻게 된다. 홀전류가 증가하면 접합사이의 전위는 0.7 V에 도달하게 되고, p- 베이스/n+ 플로오팅 접합은 순방향으로 도통하게 되고, npn 트랜지스터가 도통된다. 이때 소자는 사이리스터 방식으로 동작하고, 낮은 온 저항을 보이게 된다.

이러한 두 동작 방식간의 온-저항의 차이에 의해 부저항 영역을 포함하는 스냅 백 영역이 발생한다. 사이리스터의 응용시 문제가 되는 이러한 스냅 백을 억제하기 위해서는 동작의 전이가 일어나는 스냅 백 전류가 감소시켜야 한다. 스냅 백 전류를 감소시키기 위해서는 낮은 애노드 전류 조건에서도 p- 베이스/n+ 플로오팅 접합에 수평저항을 증가시키기 위해서는 소자의 설계시 p-베이스 농도를 낮추거나 p- 베이스 수평 길이를 길게 설계하는 방법이 많이 이용된다. 그러나 베이스 농도를 낮출 경우에는 게이트 하단의 채널을 형성하는 문턱전압이 낮아지고, 항복전압이 펀치 스루 현상에 의해 감소할 가능성이 있다.

농도를 낮출 경우 문턱전압이 낮아지는 효과보다는 공핍층이 넓어져 펀치 스루가 일찍 발생하여 항복전압이 낮아지는 것이 더 큰 문제라고 판단되어, 제안된 구조의 경우는 모든 전극을 트랜치 구조로 형성되었기 때문에 소자의 내부에 걸리는 전계가 형성된 트랜치 산화막에 집중된다. 따라서 p 베이스 농도를 낮추어도 기존의 구조보다 항복전압을 크게 유지할 수 있다. 또한 홀 전류가 흐르는 길이가 짧아지게 되어 스냅 백 전류-전압이 낮아지는 효과를 가져 올 수 있다.

**2.2 시뮬레이션 및 전기적 특성**

1700 V 급 트랜치 게이트 EST의 최적설계를 수행하였다. 구조는 half cell로 하였으며 셀 피치는 4 um 이며, 소자의 설계 및 공정 파라미터를 최적화 하기 위해 파라미터별로 시뮬레이션을 수행하여 설계 및 공정파라미터를 추출하였다.

**표 1.** 드리프트 농도에 따른 항복전압 변화.

**Table 1.** Breakdown characteristics according to drift concentration.

doping profile (cm <sup>-3</sup> )	Breakdown Voltage(V)
1 × 10 <sup>13</sup> cm <sup>-3</sup>	594
3 × 10 <sup>13</sup> cm <sup>-3</sup>	1442
5 × 10 <sup>13</sup> cm <sup>-3</sup>	1829
6 × 10 <sup>13</sup> cm <sup>-3</sup>	1764
7 × 10 <sup>13</sup> cm <sup>-3</sup>	1631
8 × 10 <sup>13</sup> cm <sup>-3</sup>	1444
1 × 10 <sup>14</sup> cm <sup>-3</sup>	1332
3 × 10 <sup>14</sup> cm <sup>-3</sup>	599

**2.2.1 N-drift 농도의 추출**

이론상 P+/ N 접합에서 N 영역으로 확장되는 공핍층의 두께는 다음 식 (1)과 같다.

$$W = 2.6 \times 10^{10} N_D^{-7/8} \tag{1}$$

그러므로 역 바이어스시 p-base와 n-drift 접합 (식 (1)을 적용하기 위해 P+/ N 접합이라 고려)에서 n-drift 영역의 농도가 증가할수록 콜렉터 쪽으로 확산되는 공핍층이 줄어들어 항복전압이 감소할 것이다. 또한 표 1에서 볼 수 있듯이, 시뮬레이션 결과 5 x 10<sup>13</sup> cm<sup>-3</sup> 이상의 농도에선 농도가 증가할수록 항복전압이 감소함을 확인할 수 있었다. 하지만 3 x 10<sup>13</sup> cm<sup>-3</sup> 이하에선 오히려 항복전압이 감소하였는데 이는 공핍층이 콜렉터까지 확장되어 펀치스루가 발생하였기 때문이다. 시뮬레이션 상 펀치스루가 발생 하였을 때 도핑농도는 1 x 10<sup>13</sup> cm<sup>-3</sup> 과 3 x 10<sup>13</sup> cm<sup>-3</sup> 이다. 이 값을 식 (1) 에 대입하면 역 바이어스시 n-drift 영역으로 확장되는 공핍층의 두께는 각각 1125 um 와 430 um 이다. 그러나 n-drift의 두께가 250 um 이기 때문에 펀치스루가 발생하였음을 수식적으로 증명할 수 있다.

1700 V 급 소자에서 만들기 위해선 마진 20% 를 고려하여 2040 V 의 항복전압을 갖는 소자를 설계해야한다. 표 1의 항복전압은 모두 2040 V 이하이므로 가장 큰 1829 V 일 때인 5 x 10<sup>13</sup> cm<sup>-3</sup> 로 n-drift 농도를 선택하였다.

표 2. Drift 두께에 따른 항복전압 변화.

Table 2. Breakdown characteristics according to drift layer thickness.

Thickness (um)	Breakdown Voltage(V)	Thickness (um)	Breakdown Voltage(V)
230	1672	320	2158
240	1735	330	2183
250	1829	340	2197
260	1876	350	2217
270	1961	360	2232
280	1997	370	2245
300	2097		

표 3. Drift 두께가 280 um 일 때 트렌치 게이트의 깊이에 따른 특성변화.

Table 3. When drift layer thickness is 280 um, the electrical characteristics variation according to trench gate depth.

Trench depth (um)	Breakdown Voltage(V)	VCE,sat (V)
3	1997	2.5
3.5	1997	2.5
4	1993	2.3
4.5	1965	2.15
5	1935	2.05
6	1886	1.91
7	1874	1.88
8	1862	1.83
9	1843	1.80
10	1838	1.73

### 2.2.2 N-drift 두께와 트렌치 깊이

둘째, n-drift의 두께에 따른 항복전압 변화를 시뮬레이션을 통해 알아보았다.

이론상 drift 두께가 증가하면 공핍층 뿐만 아니라 n-drift 영역의 저항에 의해 항복전압이 증가할 것이다. 표 2의 시뮬레이션 결과에서도 drift 두께가 증가함에 따라 항복전압의 증가함을 볼 수 있었다. 두께가 너무 두꺼우면 온 상태 전압강하가 증가하기 때문에 2040 V 에 가깝고 가장 얇은 것을 선택하여야 한다. 또한 트렌치 게이트의 깊이의 증가에 따라 트렌치 하단에 집중되는 전계가 증가하기 때문에 항복전압이 크게 감소함으로 이를 고려해야한다. 이것은 표 2를 통해 알 수 있다.

위의 시뮬레이션 결과에서 볼 수 있듯이 트렌치

표 4. Trench gate의 depth가 7 um 일 때 Drift 두께에 따른 breakdown voltage 변화.

Table 4. When trench gate depth is 7 um, the breakdown voltage variation according to the drift layer thickness.

Thickness (um)	Breakdown Voltage(V)
320	2011
330	2061
340	2063
350	2079
360	2090
370	2103

게이트의 깊이가 증가함에 따라 항복전압이 감소하였다. 위의 항복전압은 목표 전압보다 40 V 이상 작기 때문에 드리프트의 두께를 증가시켜야 한다. 또한 전자 전류가 트렌치 측면을 따라 수직방향으로 흐르기 때문에 트렌치 게이트의 깊이가 증가할수록 온 상태 전압강하는 감소하였다. 이 때문에 목표 전압에 맞추기 위해 트렌치 깊이를 줄이는 것은 오히려 순방향 전도 특성을 악화시킨다. 항복전압을 높이면서 온 상태 전압강하를 감소시키기 위해 적절한 파라미터 선택이 필요하다.

현재 산업적으로 TEST 제작 시 트렌치 깊이가 7 um 일 때까지 소자의 안정성을 유지할 수 있다. 그러므로 우수한 순방향 전도 특성을 유지하기 위해 트렌치 깊이를 7 um 로 고정한 후 표 3 에서 비교적 항복전압이 큰 드리프트 두께에서 항복전압을 측정하였다. Drift 두께를 320 um 부터 370 um 까지 변화시켜가며 시뮬레이션을 수행하였고 트렌치 게이트의 너비는 기존 조건인 1 um 로 고정하였다.

시뮬레이션 결과 드리프트 두께를 320 um을 정하였다. 항복전압이 클수록 좋지만 목표 전압인 2040 V 보다는 작아야 하므로 2011 V 일 때를 선택하였다.

항복전압에 가장 큰 영향을 끼치는 drift영역의 농도 및 두께를 각각  $5 \times 10^{13} \text{ cm}^{-3}$  와 320 um 로 정하여 2011 V 의 항복전압을 갖는 소자를 만들었다. 이 소자의 온 상태 전압강하는 2.14 V 인데 이 값은 초기 값인 1.88 V 보다 0.26 V 큰 값이다. 그러므로 온 상태 전압강하를 줄이기 위해 트렌치 게이트의 너비의 최적화가 필요하다.

표 5. 트렌치 게이트의 너비 변화에 따른 특성변화.

Table 5. The electrical characteristics according to trench gate width.

Trench gate		Breakdown Voltage(V)	VCE,sat (V)
Depth	Width		
7	0.5	1772	2.23
	0.8	1989	2.17
	1	2011	2.14
	1.5	2041	2.09
	1.8	2107	2.03
	2	2127	1.99
	2.2	2144	1.96
	2.5	2153	1.93

2.2.3 트렌치 너비에 따른 전기적 특성

세 번째로 트렌치 게이트의 너비의 변화에 따른 시뮬레이션을 수행하였다. 이론상 트렌치 게이트의 너비가 증가함에 따라 트렌치 하단에 집중되었던 전계가 퍼짐으로 항복전압이 증가하고 트렌치 하단에 생성된 축적층에 의한 PIN diode effect에 의해 온상태 전압강하가 감소한다. 트렌치 게이트의 깊이는 기존 조건인 7 um 로 고정하였고 깊이를 1 um 에서 2.5 um 까지 변화를 주었다.

항복전압이 2040 V 이하이고 온 상태 전압강하가 작은 너비가 2 um 일 때가 가장 적당한 트렌치 너비이다. 그 때 항복전압은 2127 V 이고 Vce,sat 은 1.99 V 이다. 그러므로 트렌치 게이트의 깊이와 너비는 각각 7 um 와 2 um 가 적합하다.

하지만 EST 소자는 단위 셀이 아닌 수십 수백의 단위 셀을 사용하여 제작하기 때문에 트렌치 너비를 최대한 줄이고 셀 피치를 줄이는 것이 더 바람직하다. 단위 셀이 많을수록 전류 경로가 많아 지므로 Vce,sat과 같은 순방향 전도 특성이 크게 향상되기 때문이다. 하지만 트렌치 너비가 작을수록 단위셀의 수는 많아지지만 트렌치 하단의 전계 분산 효과가 감소되어 항복전압과 같은 블러킹 특성은 나빠진다. 이와 같은 효과를 알아보기 위해 전체 셀 너비를 16 um 로 고정하고 트렌치 게이트의 너비를 1 um 로 하여 시뮬레이션을 하였다.

동일한 조건의 half cell 구조에선 표 5 에서 볼 수 있듯이 항복전압이 2011 V 이고 Vce,sat이 2.14 V 이다. 하지만 그림 4와 같이 4개의 half cell로 이루어진 구조는 항복전압이 2007 V 로 4 V 감소하였고 Vce,sat이 1.82 V 로 0.32 V 감소하였다. 이 값은 표 5에서 볼 수 있듯이 너비를 1.5 um 증가시켜 얻는 Vce,sat의 감소(약 0.15 V)보다 크다. 그러므로 트렌치 게이트의 너비를 증가시켜 얻는 Vce,sat 감소 효과보다 오히려 트렌치 게이트의 너

표 6. P-base 농도에 따른 전기적 특성 변화.

Table 6. The electrical characteristics according to p-base concentration.

P-base (cm <sup>-3</sup> )	Breakdown Voltage(V)	VCE,sat (V)	VTH (V)
5E16	2009	2.13	3.1
7E16	2010	2.14	3.78
9E16	2011	2.14	4.46
1E17	2011	2.14	4.83
2E17	2013	2.16	8.47

비를 감소시켜 cell pitch가 작은 소자를 만드는 것이 더 효과적이다. 또한 산업적으로도 트렌치 게이트의 너비를 최소한 작게 만드는 추세이다. 본 연구실에서 작년에 수행했던 모든 제작에 최소 선폭을 2 um 로 하였기 때문에 half cell의 트렌치 너비를 가장 작은 1 um로 정한다.

2.2.4 P-base 농도

네 번째로 TEST에서 Vth에 큰 영향을 미치는 파라미터인 p-base의 농도 변화에 따른 시뮬레이션을 수행하였다. 이론상 p-base 농도가 증가할수록 트렌치 측면에 반전층 형성되기 어렵기 Vth에 증가한다. 그러므로 Vth에 최적 설계를 위해 p-base의 농도의 변화시켜가며 시뮬레이션을 수행하였다. 시뮬레이션 결과는 아래 표 6과 같다. 본 연구실에서 수행하면서 얻었던 데이터를 참고하여 p-base의 농도를 5 x 10<sup>16</sup> cm<sup>-3</sup> 에서 2 x 10<sup>17</sup> cm<sup>-3</sup> 까지 변화시켰다.

우선 p-base 농도가 증가함에 따라 항복전압이 증가함을 볼 수 있다. 이는 p-base와 n-drift 사이의 접합에서 p-base 농도의 증가에 따라 n-drift쪽으로 공핍층의 확산이 더 많이 되었기 때문이다. 다음으로 p-base 농도가 증가할수록 PNP BJT에서 홀의 재결합 및 산란의 향상으로 인해 Vce,sat 이 증가하였다. 마지막으로 p-base 농도가 증가할수록 Vth가 증가하였는데 이는 위에서 설명하였듯이 p-base 농도가 증가할수록 트렌치 측면에 반전층이 형성되기 어렵기 때문이다. 이와 같이 p-base 농도 변화에 따라 전기적 특성이 변함을 시뮬레이션을 통해 알아보았다. 그러나 항복전압과 Vce,sat 은 변화가 거의 없어 파라미터 선택 시 고려하지 않았다.

현재 산업적으로 이용되는 EST는 대부분 Vth가 5 V 이므로 표 6에서 4.83 V 를 나타내는 1 x 10<sup>17</sup> cm<sup>-3</sup>를 p-base 농도로 선택하였다.

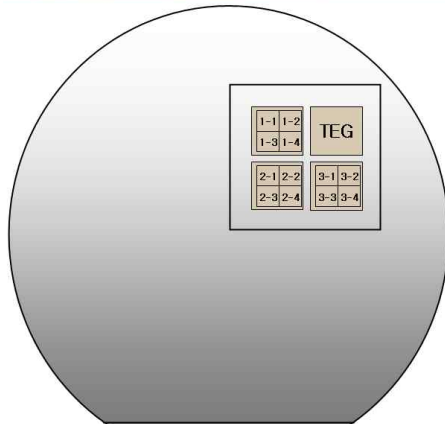


그림 4. 웨이퍼 레벨에서 EST full cell 배치도.  
Fig. 4. EST full cell layout at wafer level.

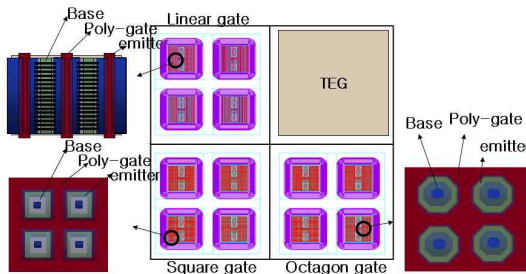


그림 5. 배치된 게이트 전극 모양에 따른 full cell 배치.  
Fig. 5. Full cell layout to gate electrodes.

### 2.3 시제품제작에 따른 특성평가

Full cell EST를 측정하기 전에 TEG 측정을 통해서 EST 소자의 파트별 부분 공정 상태를 체크하여 그 결과를 위의 TEG 측정 분석을 통해 상세히 설명했다. 앞서 실행된 TEG 측정 결과를 바탕으로 full cell EST 소자를 측정하였다. 총 7개의 웨이퍼로 공정을 진행하였으며 EST 소자는 각 웨이퍼의 1사분면에 세 가지 게이트 구조를 가지고 제작되었다. 위의 TEG 측정을 통해서 알 수 있듯이 총 7개의 제작된 웨이퍼 중 공정이 온전하게 진행된 웨이퍼는 H1과 L3 두 장이고 이 두 웨이퍼 중에서 EST 특성은 H1 웨이퍼에서만 관측되므로 H1 웨이퍼 만 측정했다. 아래 그림은 H1 웨이퍼의 full cell EST 소자 구조를 보이고 있다.

그림 4의 구조에서 알 수 있듯이 웨이퍼의 1사분면에 TEG 와 full cell EST가 형성되었다. 웨이

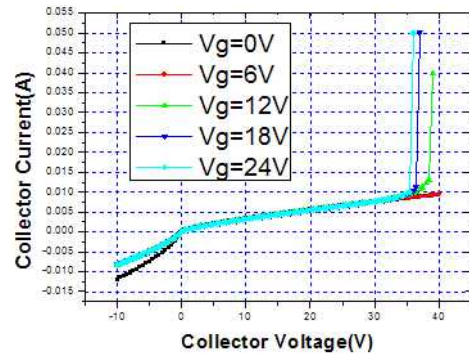


그림 6. 제작된 소자의 I-V 특성 곡선.  
Fig. 6. I-V characteristics of fabricated EST.

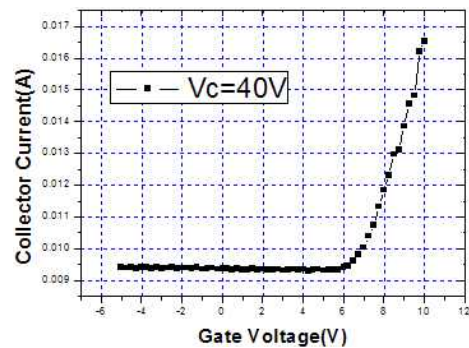


그림 7. 제작된 소자의 Vth 특성 곡선.  
Fig. 7. Vth characteristics of fabricated EST.

퍼의 2~4사분면은 공정 비용문제로 마스크 절감을 위해 사용할 수 없었으며 모든 측정은 웨이퍼의 1사분면에서 진행되었다. 그림 5는 제작된 full cell EST의 게이트 구조를 나타낸다. Full cell EST는 모두 12개가 있고 게이트 구조에 따라 세 그룹으로 나누어져 있다. 그림 5와 같이 EST 소자를 편의상 제작된 위치에 따라 1-1부터 3-4까지 임의로 명명하였다. 1-1부터 1-4의 full cell EST는 linear 게이트 구조를 하고 있고 2-1부터 2-4는 square 게이트 그리고 3-1에서 3-4는 octagon 게이트 구조를 가진다. 각 full cell EST의 게이트 구조를 다르게 함으로써 게이트 구조가 EST의 전기적 특성에 미치는 영향을 분석해 보고자 위와 같이 게이트 구조를 split 했다.

그림 6과 7은 각 cell에서 측정된 I-V curve와 문턱전압 Vth 곡선을 나타낸다. 문턱전압 Vth는 측정이 성공적으로 이루어진 소자에서 약 7 V로 측정되었다. 설계한 Vth 값인 4 V와 실제 측정된

값의 차이는 TEG 측정 보고서에 자세히 분석되어 있듯이 채널영역의 도핑농도가 설계값 보다 커져서  $V_{th}$ 가 증가하였음을 예측할 수 있다.  $V_{th}$ 가 7 V 이므로 I-V curve는 7 V 이하 (0 V~6 V) 에서는 channel 형성이 되지 않기 때문에 전류 흐름이 없으며  $V_{th}$ 가 7 V 이상인 경우 (12 V~24 V) 전류가  $V_{ce}$  가 약 40 V에서 소자가 turn on 되면서 I-V curve split 이 발생한다. 내압은 1700 V를 충분히 달성하였다.

### 3. 결론

1700 V급의 EST를 실제 제작하기 위한 설계/layout/공정을 시행하였다. Cell의 기존의 전통적인 EST와 트렌치 Type의 EST 구조를 채택하였으며 초고압을 지탱하기 위해 웨이퍼의 비저항은 65 와 145 ohm으로 분리하여 제작하였다. EST type은 플래나형을 위주로 하여 트렌치 형태 같이 형성 될 수 있도록 하였으며 전기적 특성의 확보와 함께 공정 능력을 고려하여 설계 및 공정을 진행하였다. 제작할 소자의 항복전압은 2000 V이었으며  $V_{ce,sat}$ 은 3.1 V 였다. 공정은 EST 제작시 진행되는 기본적인 공정 순서로 진행하였다. 1700 V 소자의 제작과 더불어 2500 V급에서 양호한 전기적 특성을 획득하기 위한 새로운 구조의 cell 및 필드링도 제안하였다. Cell의 경우 항복전압이 발생하는 주요 영역인 P-base의 굴곡 부분을 변경하는 구조 및 발생하는 전계를 흡수 내지는 분산시키기 위한 구조를 제안하여 전기적 특성을 평가한 결과 비교적 목적으로 하는 효과를 획득 할 수 있었다. 또한 필드링의 개발에 있어서도 마지막 필드링에 집중하는 전계를 분산, 흡수하기 위한 여러 방법들을 제안하여 이에 대한 전기적 특성을 평가

분석하여 비교적 정량적인 개선 정도를 알아 낼 수 있었다. 향후 이러한 새로운 구조를 바탕으로 EST를 제작하는 경우 기술적 우위의 확보 및 특허권의 확보가 가능할 것으로 보인다.

### 감사의 글

본 연구는 지식경제부 전력산업원천기술개발 중 전력선행기술사업(2008T100100248)의 지원을 받아 수행되었음.

### 참고 문헌

- [1] E. G. Kang and M. Y. Sung, "A novel lateral trench electrode IGBT for super electrical characteristics", J. of KIEEME(in Korean), Vol. 15, No. 9, p. 758, 2002.
- [2] E. G. Kang, B. J. Kim, and Y. H. Lee, "A study on electrical characteristics of trench field ring for breakdown characteristics", J. of KIEEME(in Korean), Vol. 23, No. 1, p. 1, 2010.
- [3] S. Sridhar and B. J. Baliga, "The dual gate emitter switched thyristor", IEEE EDL, Vol. 17, No. 1, p. 25, 1996.
- [4] N. Iwamuro, M. S. Shekar, and B. Jayant Baliga, "Forward biased safe operating area of emitter switched thyristor", IEEE Trans. ED, Vol. 42, No. 2, p. 334, 1995.
- [5] N. Thapar and B. Jayant Baliga, "An experimental evaluation of the on-state performance of trench IGBT designs", Solid-State Electronics, Vol. 42, No. 5, p. 771, 1998.