

## 2500 V급 NPT-IGBT소자의 설계에 관한 연구

### Study on Design of 2500 V NPT IGBT

강이구<sup>1,a</sup>, 안병섭<sup>1</sup>, 남태진<sup>1</sup>

(Ey Goo Kang<sup>1,a</sup>, Ahn Byoung Sub<sup>1</sup>, and Tae Jin Nam<sup>1</sup>)

#### Abstract

In this paper, we proposed 2500 V Non punch-through(NPT) Insulated gate bipolar transistor(IGBT) for high voltage industry application. we carried out optimal simulation for high efficiency of 2500 V NPT IGBT according to size of device. In results, we obtained design parameter with 375 um n-drift thickness, 15 um gate length, and 8um emitter windows. After we simulate with optimal parameter, we obtained 2840 V breakdown voltage and 3.4V Vce,sat. These design and process parameter will be used designing of more 2000 V NPT IGBT devices.

**Key Words** : Insulated gate bipolar transistor, Breakdown voltage, On resistance

#### 1. 서론

최근 전기전자 산업중 가장 주목받는 분야의 하나로 부상하고 있는 고전압 대용량 전력전자 산업에 있어서 전력 변환 장치 및 제어 장치의 핵심부품으로 활용되고 있는 전력용 반도체 소자는 전력용 바이폴라 트랜지스터의 개발과 더불어 급진적인 발전의 계기를 맞이하였으며, 그후 전력용 MOSFET, IGBT(insulated gate bipolar transistor), MCT(MOS controlled thyristor), SIT(static induction thyristor)등이 개발되어 기존에 있던 사이리스터, GTO(gate turn off)등과 함께 널리 사용되고 있는 중이다[1,2].

이러한 전력용 반도체 소자는 산업 시스템의 신뢰성을 높이고 다기능화 하면서 대용량화 및 고내압화를 실현시키기 위한 핵심부품으로 기존의 가전 및 산업용 뿐 만 아니라 교통분야에서 고속전철, 전기자동차, 전력분야의 FACTS (flexible AC transmission system, 가변성 교류 송전), HVDC(high voltage DC, 초고압 직류) 송전 및

미사일 관련 장비 계통의 시스템화와 군사정보 시스템인 Micro-Airplane의 설계 제작 등에도 크게 이용될 것으로 기대되고 있다. 대용량 고속 스위칭용 IGBT는 현재 가장 주목받고 있는 전력 스위칭 소자의 한가지로서 종래의 전력용 바이폴라 트랜지스터와 비교할 때 MOS 게이트에 의한 구동의 간소화와 주파수의 고속화가 도모되는 전력 반도체 소자이다. 특히, 전력 변환장치에서의 인버터 장치는 소형 경량화, 고성능화, 고효율화 그리고 무소음화가 급속히 진전되어 그 적용범위가 확대되고 있다[3-5].

본 연구에서는 고속전철 및 송전등과 대용량의 전력변환스위치에 사용되는 2500 V급 IGBT의 최적 설계를 수행하였으며, 그에 따른 소자 및 공정 파라미터를 추출하여 소자의 최적화를 성공적으로 이루었다.

#### 2. 결과 및 고찰

##### 2.1 2500 V IGBT 소자의 구조 및 동작원리

그림 1은 플래너 타입의 IGBT 구조를 나타내고 있다. 2000 V 미만의 IGBT 소자는 NPT 트랜치 게이트 형으로 IGBT 소자를 형성하지만 2000 V 이상에서는 고내압을 유지하기 위해 에피층의 두께를 늘여야 하기 때문에 NPT 플래너 구조를 선택하였다.

1. 극동대학교 컴퓨터정보표준학부  
(충북 음성군 감곡면 왕장리 산5)

a. Corresponding Author : keg@kdu.ac.kr

접수일자 : 2009. 11. 2

1차 심사 : 2010. 1. 29

심사완료 : 2010. 2. 22

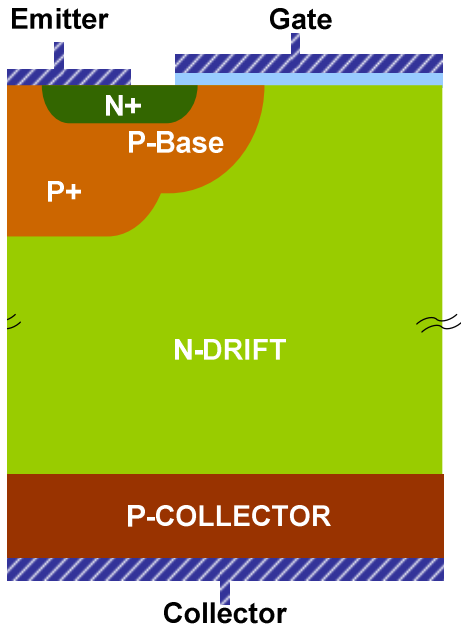


그림 1. 2500 V 플레너 형 IGBT 구조.  
Fig. 1. The structure of 2500 V planar type IGBT.

IGBT의 특성에 영향을 미치는 파라미터들 중에서 비대칭 IGBT 구조에서는 n+ 버퍼층의 불순물 농도와 두께가, 그리고 대칭 IGBT 구조에서는 n-드리프트 층의 불순물 농도와 두께가 특성에 중요한 영향을 미치는 요소로 작용하므로 n+ 버퍼층이나 n-드리프트 층의 두께는 그 층에서의 전하량(불순물 농도×두께)이 임계 항복전압에 의해 계산된 전하량보다 큰 범위내에서 가능한 얇게 설계해야 한다.

IGBT와 전력용 MOSFET의 구조적인 차이는 MOSFET의 n+ 드레인 영역 대신 p+ 콜렉터 영역이 있다는 점이다. 이러한 구조에서 게이트가 에미터에 전기적으로 단락되어 있고, n+ 에미터와 p-베이스 접합은 p 베이스 영역과 n+ 에미터 영역을 단락시키고 있는 ‘에미터 단락 전극’에 의해 순방향 바이어스가 되지 않도록 유지하고 있을 때, 에미터에 대해 부전압이 콜렉터에 인가되면 n drift와 p+ 콜렉터접합이 역방향 바이어스 되어 전류전도를 저지하는 ‘역방향 저지 모드’의 동작이 되며 애노드에 정전압이 인가되면 p 베이스와 n 드리프트 접합이 역방향 바이어스 되어 전류전도를 저지하는 ‘순방향 저지 모드’의 동작이 된다. 에미터에

표 1. 시뮬레이션에 사용되는 기본 IGBT 변수.  
Table 1. Basic IGBT parameter for simulation.

$D_T$	$D_P$	$D_b$	$D_{nd1}$
400 um	0.5 um	3.5 um	399.5 um
$L_T$	$L_G$	$L_E$	$L_b$
28 um	20 um	8 um	10.5 um

( $D_T$  : 소자의 깊이,  $D_P$  : N+의 접합깊이,  $D_b$  : 베이스 영역의 깊이,  $D_{nd1}$  : 드리프트의 깊이,  $L_T$  : 소자의 너비,  $L_G$  : Gate 너비,  $L_E$  : 에미터 너비,  $L_b$  : 베이스 너비)

대해 MOSFET의 문턱 전압 이상의 정전압이 인가되면 게이트 전극 밑의 p 베이스 표면에 반전층이 유지되어 n+ 캐소드 n- 드리프트 영역 사이에 채널이 형성되며 이때 애노드에 정전압이 인가되면 채널을 통해 n+ 캐소드 영역으로부터 n- 드리프트 영역으로 전자가 공급되어 PNP 트랜지스터의 베이스 전류를 제공하게 되고 순방향 바이어스 되어 있는 p+ 콜렉터 영역으로부터 n- 드리프트 영역으로 정공이 주입되기 시작하여 ‘순방향 전도 모드’의 동작을 하게 된다. 주입된 정공의 농도는 n- 드리프트 영역의 도핑 농도에 비해 보통 100~1000배 정도의 값을 가지므로 n- 드리프트 영역의 전도도를 증가시키게 되고 콜렉터 전압의 증가에 따라 주입되는 정공 전류의 양과 이를 보상하기 위한 전자 전류의 양도 증가하게 된다.

### 2.2 농도 변화에 따른 최적화 시뮬레이션

시뮬레이션에 앞서 P+ 콜렉터 농도는  $1 \times 10^{17}$  (atoms/cm<sup>3</sup>)을 사용하였다. 이것은 턴 오프 시간과 Vce,sat, 및 항복전압을 고려하여 선정된 것으로서, 앞으로 진행 되어지는 표 1에서 제시한 길이 및 너비를 바탕으로 지행 되어 질 모든 시뮬레이션에 고정된 값으로 사용되어진다. 따라서 앞으로 진행 되어지는 농도 변화에 따른 모든 IGBT 소자의 구조적 시뮬레이션의 크기는 표 1에서 제시한 값을 사용하며 P+ 콜렉터 농도는  $1 \times 10^{17}$ (atoms/cm<sup>3</sup>)로 진행 되어질 것이다.

NPT 형 IGBT의 크기와 P+ 콜렉터를 선정한다음으로 IGBT 소자의 전기적 특성(역방향 항복전압, 순방향 전압, 턴-오프 시간)에 가장 큰 영향을 미치는 요소인 N-드리프트 영역의 농도와 래치-업 전류에 영향을 미치는 P-베이스 및 에미터

P+의 농도등의 변화에 따른 IGBT 소자의 전기적 특성의 경향성을 파악하여 최적화된 소자를 확보하고자 하였다.

농도 변화에 따른 시뮬레이션은 3단계로 진행되어지며 그 순서는 N-드리프트 농도 변화에 따른 특성분석 후 P-베이스 와 에미터 (P+/N+) 순으로 진행 되어 진다.

2.2.1 N-드리프트 농도변화에 따른 분석

콜렉터 농도를 위와 같이 정한 다음으로 항복전압 및 기타 특성에 가장 큰 영향을 미치는 요소인 N-드리프트 영역의 농도는 IGBT 소자의 에피층으로서 내압을 정하는데 가장 중요한 영향을 미치는 부분이다.

N-드리프트의 영역은 BJT의 베이스 부분과 같은 역할을 함으로 농도의 증가는 베이스 영역의 저항의 감소를 유도하고, 반대로 낮은 농도는 높은 저항을 유도한다. 따라서 N-드리프트 영역의 농도 증가는 IGBT 소자의 낮은 항복 전압을 유발하는 단점으로 작용할 것이며, 반면 낮은 Vce,sat 전압을 갖는 장점으로 작용할 것이다. 따라서 본 실험에서는 이론을 바탕으로 N-드리프트 영역의 농도 변화가 IGBT 소자에 미치는 전기적 특성을 분석하기 위한 시뮬레이션을 진행 하였으며, 표 5를 통해 확인 할 수 있듯이 N-드리프트 농도 변화에 따른 특성 분석은 N-드리프트 농도를  $3 \times 10^{13}$ (atoms/cm<sup>3</sup>)부터  $4 \times 10^{13}$ (atoms/cm<sup>3</sup>)까지 증가시킴으로 진행하였다.

농도 변화에 따른 결과분석은 표 2를 통해 표기하였다.

시뮬레이션 결과 우리는 N-드리프트 농도의 변화에 따른 항복 전압의 변화와 Vce,sat에 대한 전기적 특성에 대한 경향성이 이론적인 접근과 같음을 확인 할 수 있었다. 따라서 우리는 2500 V급 IGBT 소자의 내압과 순방향 전압을 고려하여, N-드리프트 농도의 최적의 값이  $3.5 \times 10^{13}$ (atoms/cm<sup>3</sup>)임을 확인하였다.

2.2.2 P-베이스 농도 변화에 따른 분석

P-베이스 농도 변화를 주기에 앞서 P-베이스 영역의 크기가 각각 길이 10.5 um, 너비 3.5 um임을 확인하고 이를 유지하기 위해 기존에 상용되던 공정 조건을 바꿔 시뮬레이션을 진행하였다. 이것은 P-베이스 농도가 아닌 크기의 변화로 인해 발생 할 수 있는 전기적 특성을 막기 위함으로 정밀한 결과를 얻기 위해 진행하였다.

표 2. N-드리프트 농도 변화에 따른 전기적 특성 분석.

Table 2. The electrical characteristics according to N-drift concentration.

N-drift	P-base	Emitter (N+)	Emitter (P+)	Breakdown Voltage	Vce,sat
$3.0 \times 10^{13}$				3019	3.779
$3.5 \times 10^{13}$	$1.00 \times 10^{13}$	$2.0 \times 10^{16}$	$5.0 \times 10^{14}$	2833	3.798
$4.0 \times 10^{13}$				2724	4.063

\* N-드리프트 이외의 농도 값은 Dose 량으로 표현한 결과이다.

표 3. P-베이스 농도 변화에 따른 전기적 특성 분석.

Table 3. The electrical characteristics according to p-base concentration.

N-drift	P-base	Emitter (N+)	Emitter (P+)	Breakdown Voltage	Vce,sat
$4.0 \times 10^{13}$	$1.00 \times 10^{13}$	$2.0 \times 10^{16}$	$5.0 \times 10^{14}$	2724	4.594
	$3.00 \times 10^{13}$			2729	4.558
	$5.00 \times 10^{13}$			2738	4.541

\* N-드리프트 이외의 농도 값은 Dose 량으로 표현한 결과이다.

표 3은 P-베이스 농도 변화에 따른 결과 값을 표기한 것이다.

시뮬레이션 결과 P-베이스 농도의 변화에 따른 항복 전압의 변화와 Vce,sat에 대한 전기적 특성에 대한 경향성을 확인하였다. 따라서 2500 V급 IGBT 소자의 항복 전압과 Vce,sat을 고려하여 P-베이스 농도의 최적의 값이  $3.0 \times 10^{13}$ (atoms/cm<sup>3</sup>)임을 확인하였다.

2.2.3 에미터(N+/P+) 농도 변화에 따른 분석

다음으로 진행되는 에미터 농도 변화에 따른 시뮬레이션은 에미터 영역 중 N+와 P+로 나뉘 진행하였다.

표 4를 보면 에미터 영역 (N+, P+)의 농도가 증가할수록 항복 전압의 변화는 크게 보이지 않았으나 Vce,sat의 값이 변화하는 것을 확인 할 수 있었다.

표 4. 에미터(N+, P+) 농도 변화에 따른 전기적 특성 분석.

Table 4. The Electrical characteristics according to Emitter(N+, P+) concentration.

N-drift	P-base	Emitter (N+)	Emitter (P+)	Breakdown Voltage	Vce,sat
4.0×10 <sup>13</sup>	1.00×10 <sup>13</sup>	1.0×10 <sup>16</sup>	1.0×10 <sup>14</sup>	2724	4.063
		3.0×10 <sup>16</sup>		2728	3.595
		5.0×10 <sup>16</sup>		2726	3.603
		1.0×10 <sup>16</sup>	1.0×10 <sup>14</sup>	2731	3.932
			3.0×10 <sup>14</sup>	2724	4.063
			5.0×10 <sup>14</sup>	2727	3.904

\* N-드리프트 이외의 농도 값은 Dose 량으로 표현한 결과이다.

시뮬레이션 결과 에미터(N+, P+) 농도의 변화에 따른 전기적 특성 결과 에미터 영역의 농도변화가 IGBT 소자에 미치는 영향이 매우 작음을 확인 할 수 있었다. 따라서 향후 진행될 최적화를 위한 에미터(N+, P+) 영역의 농도는 N+영역 3.0×10<sup>16</sup> (atoms/cm<sup>3</sup>), P+영역 1.0×10<sup>14</sup>(atoms/cm<sup>3</sup>)으로 선정하였다.

2.2.4 농도 변화의 최적화

시뮬레이션 결과 농도에 따른 전기적 특성의 경향성을 확인 할 수 있었으며 이를 바탕으로 N-드리프트와 에미터(N+, P+) 및 P-베이스의 최적화를 위한 농도를 정할 수 있었다.

그림 2는 농도 변화에 따른 시뮬레이션 결과를 보여주고 있으며, 이를 바탕으로 표 5와 같은 IGBT 소자의 농도를 최적화 하였다.

표 5에서 주어진 농도를 바탕으로 크기를 고정 한 상태에서 진행된 최적화 시뮬레이션 결과 IGBT 소자의 대표적인 항복 전압과 Vce,sat이 각각 2833 V와 3.779 V임을 확인하였다.

표 5의 최적화된 농도의 결과는 다음 장에서 진행되는 크기변화에 따른 특성 분석에 기본 농도로 사용된다.

2.3 소자의 크기(길이, 너비, 깊이) 변화에 따른 분석

앞서 진행된 농도를 바탕으로 이번 장에서는 크기 변화에 따른 전기적 특성을 분석하여 최적화

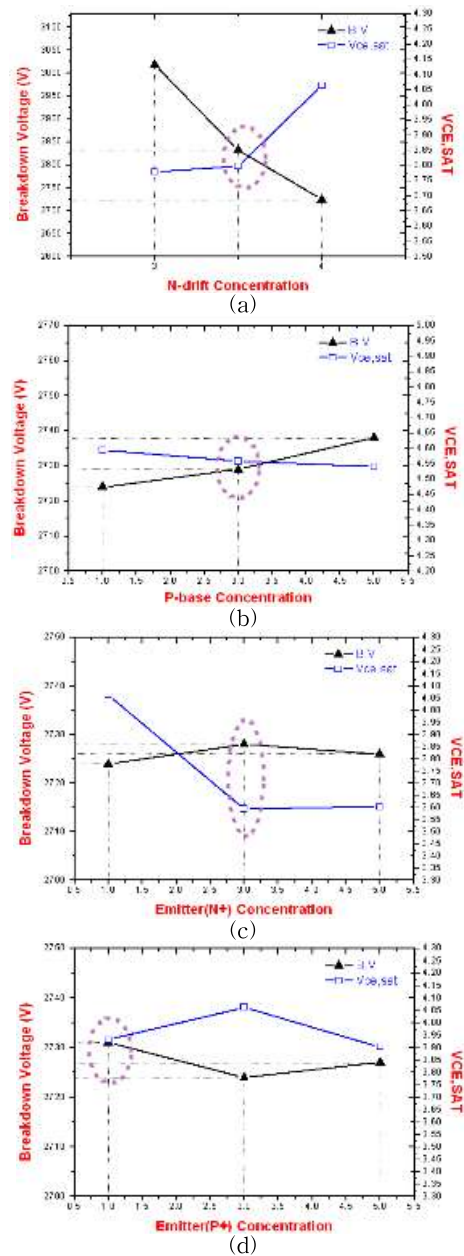


그림 2. 농도 변화에 따른 특성 분석. (a) N-드리프트 농도 변화 (b) P-베이스 농도 변화 (c) 에미터(N+) 농도 변화 (d) 에미터(P+) 농도 변화

Fig. 2. Electrical characteristics according to concentration variation. (a) N-drift Concentration (b) P-base Concentration (c) Emitter(N+) Concentration (d) Emitter(P+) Concentration

표 5. 시뮬레이션 결과에 따른 농도의 최적화 사양.

Table 5. The optimal parameter according to simulation results.

N-drift	P-base	Emitter (N+)	Emitter (P+)
$3.50 \times 10^{13}$	$3.00 \times 10^{13}$	$3.00 \times 10^{16}$	$1.00 \times 10^{14}$

\* N-드리프트 이외의 농도 값은 Dose 량으로 표현하였다.

시뮬레이션을 진행하였으며, 크기 변화에 따른 진행은 항복 전압과  $V_{ce,sat}$  및 기타 특성에 가장 큰 영향을 미치는 요소인 N-드리프트 영역의 두께와 게이트 길이 변화에 따른 경향성을 파악하여 최적화된 소자를 확보하고자 하였다.

크기 변화에 따른 특성을 분석하기 위해 첫 번째로 진행되는 N-드리프트의 두께는 NPT IGBT 인 경우 전계를 인위적으로 막아주는 버퍼 영역이 없기 때문에 N-드리프트의 두께는 펀치스루 현상을 막기 위해 일정영역 이상의 길이를 갖도록 유지하는 것이 중요함으로서 이번 실험에서는 펀치스루 현상을 극복하고 반면 N-드리프트 영역의 깊이를 최소화하기 위해 진행 되었다. 또한, 두 번째로 진행되는 게이트 길이는 소자 전체의 너비를 결정하고 저항을 결정하는 중요한 파라미터로 작용하기 때문에 게이트 길이에 따른 전기적 손실을 최소화 하기위해 실험을 진행하였다.

최적화를 위한 시뮬레이션의 진행은 농도의 최적화 작업을 통해 구성된 표 5에의 농도를 기초로 하여 지행하였다.

2.3.1 N-드리프트 깊이 변화에 따른 분석

펀치스루 현상에 가장 많은 영향을 미치는 N-드리프트의 깊이에 따른 전기적 특성을 분석하기 위해 진행되는 본 시험은 N-드리프트 농도  $3.5 \times 10^{13}$ 에서 N-드리프트가 갖는 깊이를 330 um에서 400 um 까지 증가시킴으로 시뮬레이션을 진행하였다.

표 6은 농도의 변화 없이 N-드리프트 영역의 깊이만을 변화주어 이때에 발생하는 전기적 특성 결과를 표로 기록한 것이다.

시뮬레이션 결과 N-드리프트 영역의 깊이가 증가하는 항복 전압을 높이는 장점을 가지고 있으나  $V_{ce,sat}$ 의 증가시키는 단점을 가지고 있다. 따라서

표 6. N-드리프트 깊이 변화에 따른 전기적 특성 분석.

Table 6. The analysis of electrical characteristics according to N-drift depth.

N-drift depth	Total width	Gate lechth	window (N+/P+)n	Breakdown Voltage	$V_{ce,sat}$
330	28	20	4 / 4	2502	2.742
340				2582	2.885
360				2735	3.255
<b>375</b>				<b>2793</b>	<b>3.562</b>
400				2812	4.063

표 7. 게이트 길이 크기 변화에 따른 전기적 특성 분석.

Table 7. The analysis of electrical characteristics according to gate length.

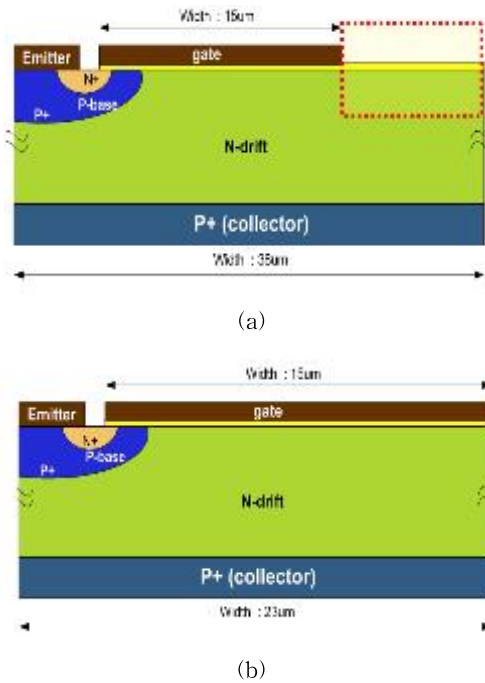
N-drift depth	Total width	Gate lechth	window (N+/P+)n	Breakdown Voltage	$V_{ce,sat}$
400	38	12	N+4 um P+4 um	1318	3.580
		15		1109	3.497
		20		1691	3.462
		25		2823	3.458
		30		2846	3.476
	20	12	N+4 um P+4 um	2832	3.737
	<b>23</b>	<b>15</b>		<b>2832</b>	<b>3.577</b>
	28	20		2837	3.500
	33	25		2843	3.446
	38	30		2846	3.476

실험을 통해 확인 되었듯 N-드리프트 깊이에 따른 항복 전압과  $V_{ce,sat}$ 간의 전기적 손실을 최소화하기 위한 N-드리프트 영역의 깊이는 375 um임을 확인하였다.

2.3.2 게이트 길이 변화에 따른 분석

게이트 길이의 증가는 IGBT 내구 구조 중 MOS의 축적 영역을 증가시켜  $V_{ce,sat}$ 을 감소시키는 작용을 한다. 또한 게이트 길이의 변화는 직접적으로 소자의 전반적인 길이에 영향을 줌으로서 불필요한 소자의 너비를 갖게 할 수 있다.

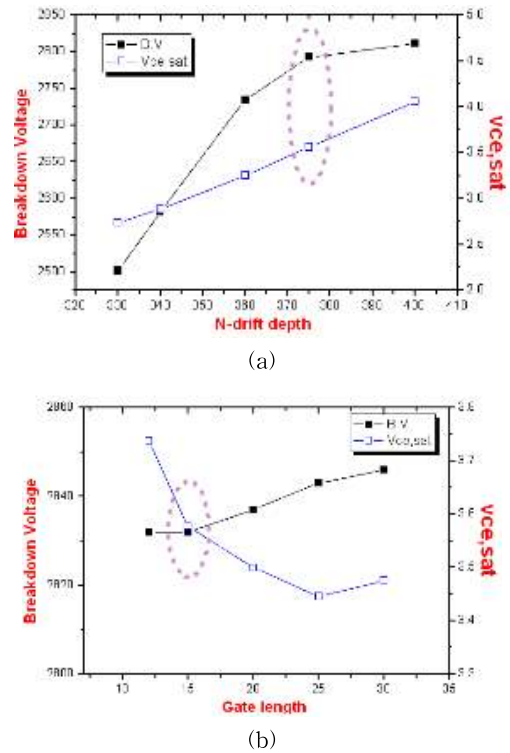
따라서 게이트 길이의 따른 시뮬레이션 진행은



**그림 3.** 게이트 길이 변화에 따른 웨이퍼 변화.  
 (a) 동일한 웨이퍼 영역내의 게이트변화  
 (b) 게이트 변화에 따른 웨이퍼 길이 변화  
**Fig. 3.** Wafer variation according to gate length.  
 (a) gate variation in same wafer (b) wafer length variation according to gate length

소자의 너비를 고정 시킨 상태에서 전기적 특성을 분석하여 불필요한 소자의 너비를 감소시키기 위한 첫 번째 방법과 게이트 길이 변화에 따라 소자의 너비 또한 같은 변화를 주어 불필요한 소자의 너비를 감소시키기 위한 두 번째 방법으로 나누어 진행하였다.

그림 3은 게이트 길이 변화에 따른 웨이퍼 길이 변화를 표현한 것으로서 (a)는 38 um의 웨이퍼에 게이트 길이를 12 um부터 30 um까지 증가시킴으로 시뮬레이션을 진행하였으며 이때 윈도우의 길이는 모든 시뮬레이션에 있어 8 um로 고정하였다. 시뮬레이션결과 고정된 웨이퍼 상태에서의 게이트 변화는 게이트 영역 이외의 부분(적색표시)의 사이즈가 커질수록 항복 전압이 감소하는 것을 확인 하였으며, 이는 전계가 게이트의 끝 부분인 산화막에



**그림 4.** 크기 변화 따른 시뮬레이션 결과.  
 (a) N-드리프트 깊이 변화 (b) 게이트 길이 변화  
**Fig. 4.** The simulation results to size.  
 (a) N drift length (b) Gate length

집중하는 현상으로 감소하는 것을 시뮬레이션 결과를 통해 확인하였다.

그림 3의 (b)는 게이트 길이 변화에 따른 웨이퍼의 변화를 표현한 것으로 (a)에서와 같은 게이트 영역 이외의 적색 부분이 없이 진행 되었다. 게이트 변화에 따른 진행은 12 um부터 30 um까지 그림 (a)에서와 같은 방법으로 진행 하였으며, 웨이퍼의 길이는 게이트 변화에 따라 20 um에서 38 um로 증가하였다.

시뮬레이션 결과 게이트 길이 변화에 따른 웨이퍼 길이 변화의 전기적 특성은 항복 전압과  $V_{ce,sat}$  모두 게이트 30 um, 웨이퍼 38 um로 가장 좋은 값을 보였으나 소자 면적에 따른 특성의 효율 차이를 고려하여 최적화 시뮬레이션을 위한 웨이퍼와 게이트의 길이는 각각 23 um와 15 um임을 확인하였다.

**표 8.** 시뮬레이션 결과에 따른 크기의 최적화 Spec.

**Table 8.** The optimal size to simulation results.

N-drift depth	Total length	Gate length	windows (N+/P+)
375 um	23 um	15 um	8 um (4 um/4 um)

2.3.3 크기(길이, 너비, 깊이) 변화의 최적화

앞서 N-드리프트와 게이트변화에 따른 전기적 특성의 경향성을 시뮬레이션을 통해 확인할 수 있었으며, 이를 바탕으로 N-드리프트와 게이트 및 Total 너비의 최적화를 위한 크기를 정할 수 있었다.

그림 4는 크기 변화에 따른 시뮬레이션 결과를 보여주고 있다. 그림은 크기 변화에 따른 전기적 특성을 확인하기 위해 표시한 것으로 경향성이 없는 웨이퍼 38 um 일 때 게이트 변화와 windows 영역 N+와 P+의 길이에 따른 결과는 그래프로 표기 하지 않았다.

표 8은 그림 4를 바탕으로 동일한 농도에서의 IGBT 소자의 크기를 최적화 한 것으로 2500 V급 IGBT 소자의 최적화 시뮬레이션을 위한 사양으로 사용된다.

2.4 최적화 시뮬레이션(농도 + 크기)

앞서 진행되어진 농도 변화에 따른 최적화 및 크기 변화에 따른 최적화 시뮬레이션의 결과를 통해 증명된 전기적 특성은 Vce,sat인 경우 게이트에 15 V를 인가한 상태에서 컬렉터 전류 Ic가 100 A/cm<sup>2</sup>일 때 Vce,sat 값을 측정된 결과이며, 이때 정공의 라이프타임(life time)은 1 us로 고정하여 시뮬레이션을 수행한 결과이다. 또한, 앞서 진행된 시뮬레이션 결과에는 표시 하지 않았으나 모든 결과의 Vth값은 5~5.5 V를 유지한 상태에서 진행되어진 것으로서 변수 변경에 따른 시뮬레이션 결과가 동일하였기에 기록하지 않았다.

따라서 이러한 결과들을 바탕으로 2500 V IGBT 소자의 최적화 시뮬레이션 결과는 소자의 최적화를 위한 목표 사양을 달성하고 구조에 따른 전기적 손실을 최소화하기 위해 진행한 결과 최적화를 통한 전기적 특성은 항복 전압 2810 V, Vce,sat 3.4 V로 2500 V급 IGBT의 기본 사양을 만족하면서 소자의 크기를 최소화 하였다. 표 9는 최적화된 IGBT의 사양과 그에 따른 시뮬레이션 결과를 보여준다.

**표 9.** 최적화된 IGBT의 사양 및 시뮬레이션 결과.

**Table 9.** The optimal 2500 V IGBT parameter.

	N-drift length	Gate length	Emitter windows	B.V	Vce,sat
Size / Result	375 um	15 um	8 um (4 um/4 um)	2810 V	3.4 V

3. 결 론

2500 V NPT-IGBT 구조가 갖는 전기적 손실을 줄이기 위한 최적화 시뮬레이션은 IGBT소자가 갖는 전기적 손실을 최소화 하고 면적에 따른 효율성을 증가시키기 위해 진행 되어진 것이다. 따라서 소자의 최적화를 위해 농도과 크기의 변화에 따른 시뮬레이션 결과 표 9와 같은 결과를 얻을 수 있었으며, 실험을 통해 얻어진 결과는 향후 진행 되어질 IGBT 소자의 설계 및 공정 기술에 기반으로 사용됨으로서 향 후 진행되어지는 소자 설계의 효율성을 높이는데 사용되어질 것이다.

감사의 글

본 연구는 지식경제부 전력 IT 및 전력선행기술 사업의 지원을 받아 수행되었음.

참고 문헌

[1] E. G. Kang and M. Y. Sung, "A novel lateral trench electrode IGBT for super electrical characteristics", J. KIEEME(in Korean), Vol. 15, No. 9, p. 758, 2002.

[2] K. Sheng, S. J. Finney, and B. W. Williams, "Improved understand-switched thyristors", in Proceedings of the ISPSD, p. 48, 1994.

[3] S. Sridhar and B. J. Baliga, "The dual gate emitter switched thyristor", IEEE EDL, Vol. 17, p. 25, 1996.

[4] N. Iwamuro and A. Okamoto, "Forward biased safe operating area of emitter switched thyristor", IEEE Trans. ED, Vol. 42, p. 334, 1995.

[5] N. Thapar and B. J. Baligar, "An experimental evluation of the on-state performance of trench IGBT designs", SSE, Vol. 45, No. 5, p. 771, 1998