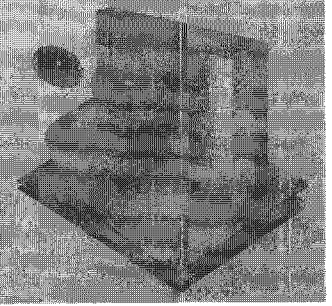


본드-와이어 안테나를 이용한 칩과 칩 사이의 RF 무선 데이터 통신



Wu-Hsin Chen 박사과정, Dimitrios Peroulis 교수,
Byunghoo Jung 교수 (The School of Electrical and Computer Engineering, Purdue Univ.)

1. 서론

몇 개의 칩(Chip)들이 집적된 멀티칩 시스템(Multichip system)에서 칩들 사이의 통신에 있어서 높은 통신 대역폭에 대한 요구가 매년 증가하고 있다. 모듈이나 인쇄 회로 기판(PCB) 상에서 여러 칩으로 구성된 크고, 복잡한 시스템은 수십 Gb/s 이상의 내부 데이터 전송속도(Interconnecting data rate)를 요구한다. 이러한 전송속도의 증가는 표피효과, 유전체 흡수, 임피던스 불일치에 의해 채널에서 신호의 감쇠나 왜곡을 발생시킨다. 이러한 문제를 해결하기 위해 사용되고 있는 기존의 방법의 데이터 전송 대역폭은 이제 한계에 다다르고 있다[1]. SONET 등과 같이 인터넷 시스템에 사용되어 높은 대역폭에 대한 가능성이 증명된 광통신을 이용하여 이러한 문제를 해결하고 통신 채널을 대체하려는 노력이 계속되고 있으나[2-5], 광통신은 광신호를 생성하고 변조하기 위해 실리콘 계열이 아닌 화합물 반도체 소자와 광 도파관등의 추가적인 소자들이 필요하게 되어 시스템이 복잡해지고 비용이 증가하는 문제점이 있다.

멀티칩 시스템에서의 이런 문제점들을 해결하고 칩과 칩 사이의 원활한 통신을 위해서 2000년대 초부터 RF/무선 데이터 링크 시스템에 대한 연구가 이루어지고 있다[6,7]. RF/무선 데이터 링크 시스템은 짧은 거리에서 높은 데이터 전송 속도에서도 불구하고 구리선 통신에 필적할만한 신호 특성을 나타내어

시스템의 안정성 및 유연성을 향상시킬 수 있다[7]. 또한 두 개의 칩 사이뿐만 아니라 하나의 칩과 여러 개 칩간의 다중 전송을 요구하는 시스템에서 사용할 수 있는 장점이 있다. RF/무선 데이터 링크 시스템에서는 칩과 칩 사이의 통신을 위해서는 무선 안테나가 필수적인 요소이다. 무선 안테나의 대표적 형태는 실리콘 기판위에 안테나를 집적한 온-칩(On-chip) 안테나이다. RF 트랜지스터들의 크기가 최근 급속하게 줄어들어 따라 f_T (Unity current gain frequency)도 최대 수백 GHz까지 증가하여 초장파 대역(U-band) 주파수로 작동하는 무선 수신기에 대한 연구 결과들이 발표되고 있다[9-12]. 자유공간에서 이러한 초장파 대역에서 캐리어 주파수의 1/4 파장은 1.2-1.9 mm로 실리콘 웨이퍼 상에 안테나의 집적이 가능하다[13,14]. 실리콘 기판위에 집적된 온-칩(On-chip) 안테나는 외부 전송선로를 제거할 수 있고 안테나를 조립할 필요가 없어 비용을 줄일 수 있다. 그러나 실리콘 기판의 높은 유전 상수(11.7)와 낮은 기판 전기저항률($20 \Omega\text{-cm}$)로 인하여 온-칩 안테나는 효율이 낮고[15,16] 안테나 성능을 향상시키기 위해서는 값비싼 추가적인 프로세스가 필요한 단점이 있다[17-20]. 또한 온-칩 안테나는 IC 면적의 상당 부분을 차지하고 있어 칩 사이의 통신에 응용하기에는 많은 제약이 따른다.

RF/무선 데이터 링크 시스템의 무선 안테나의 문제를 해결하기 위한 최신 기술이 본드-와이어(Bond-wire) 무선 안테나이다. 이는 기판 또는 칩에 부착된 하나 이상의 와이어를 방사 소자로 사용하여 안테나



를 구현하는 것이다. 본드 와이어 소자로 형성된 안테나를 IC(집적 회로) 칩과 함께 완전히 패키징함으로써 집적형 RF 무선 통신 시스템을 구성하는 방법이다. 반도체 IC의 패키지에 사용하는 와이어 본딩은 전력 및 신호 분배를 위한 전기적 경로를 제공하기 위해 칩과 기판을 알루미늄 와이어나 골드 와이어를 이용하여 상호 접속시키는 반도체 패키지 공정에 공통으로 사용되는 방법이다. 본드-와이어를 무선 안테나로 사용하여 칩과 칩 사이의 무선 통신을 하는 기술은 무선 PAN, 무선 LAN, 무선 WAN, 셀룰러 네트워크, 또는 임의의 가상 무선 네트워크 또는 시스템과 같은 무선 네트워크에서 디바이스들의 송, 수신기에 안테나를 제공하여 신호를 효율적으로 송 또는 수신하게 하는 방법이다. 그림 1은 본드-와이어를 이용한 칩과 칩 사이의 무선 마이크로 네트워크 시스템 개념을 보여준다. 본드-와이어 무선 안테나에 대한 아이디어는 2004년에 미국 특허등록에 처음 도입되었으나 실제 소자가 제작된 것은 아니고 개념만 정립한 것이었다[21].

본고에서는 본드-와이어 안테나와 43-GHz 트랜시버(Transceiver)를 결합하여 칩과 칩 사이의 근거리 초고속 무선 통신을 구현한 최신 기술에 대해 소개하려고 한다. 무선 트랜시버는 180 nm SiGe BiCMOS 기술을 사용하였으며, 표준 Chip-on-board 패키지를 이용하여 FR4 PCB 보드에 IC를 탑재했다. 본드-와이어 안테나는 온-칩 안테나의 면적 문제, 비용 및 효율성과 같은 중요한 문제를 해결할 수 있었다. 구현된 본드-와이어를 이용한 칩과 칩 사이의 근

거리 초고속 RF 무선 통신 기술의 세부 사항은 아래와 같다.

2. 시스템 구성

트랜스시버 시스템의 블록 다이어그램은 그림 2에 나타내었다. 본드-와이어를 이용한 칩과 칩 사이의 근거리 초고속 RF 무선 통신 시스템은 다음과 같은 소자로 구성되어 동작한다. 먼저 의사? 랜덤 비트열(PRBS(Pseudo Random Bit Sequence)) 발생기로부터 만들어진 입력 데이터는 진폭편이방식(ASK(Amplitude shift keying)) 변조기에 의해 변조되고, 2 단계의 전력증폭기(PA(Power amplifier))의 해 증폭된 후, 본드-와이어 안테나에 전송된다. 전력증폭기는 변조된 신호를 0 dBm까지 증폭한 후, 임피던스 매칭된 안테나로 보낸다. 수신쪽의 본드-와이어 안테나를 통해 전달 받은 신호는 저잡음 증폭기로 입력되고 복조되어 원래 신호로 복구된다. 공통 에미터와 이미터 폴로워로 연차적으로 구성된 전치 증폭기(Pre-amp)는 포락선 검출기(ED(Envelope Detector))의 문턱전압보다 높게 신호를 증폭한다. 쌍극성 트랜지스터로 구성된 포락선 검출기는 고속 신호를 복조하고 베이스밴드로 하향 변환한다. 쌍극성 포락선 검출기의 다음 단계에 있는 가변이득증폭기(VGA(Variable gain amplifier))는 35-dB 다이내믹레인지(Dynamic range)를 가지기 때문에 수신기단의 이득은 50 dB부터 85 dB까지 변화한다.

수신부의 마지막에 위치한 비교기는 1비트 양자화기(Quantizer)로 동작하여 입력신호의 로직 레벨을 복구하고 불평형 신호(Single-ended signal)를 차동출력(Differential output)으로 변환한다. 비동기식(Non-coherent) 수신기는 복잡한 발진 신호 생성기

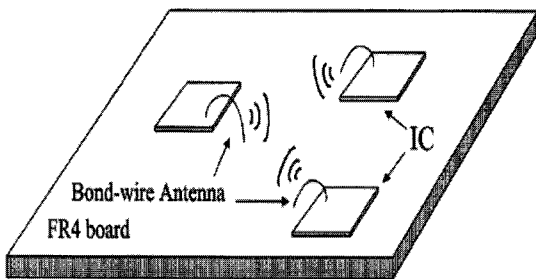


그림 1. 본드-와이어를 이용한 무선 마이크로 네트워크 시스템.

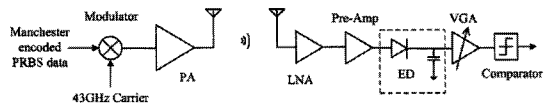


그림 2. 트랜스시버 시스템의 블록 다이어그램

와 정밀한 위상 정렬회로가 필요하지 않는 구조로 저전력 동작이 가능하다[22]. 또한 진폭편이방식 변조는 파워증폭기와 수신기들의 선형성에 크게 영향을 받지 않는 구조이다. 시뮬레이션과 설계과정에서의 랜덤 비트 열 데이터의 1과 0을 균등하게 배분하고, 포락선 검출기의 직류 바이어스 지점을 유지하기 위해 맨체스터 코딩(Manchester coding)을 사용하였다.

채널의 손실을 계산하기 위해 채널을 가시선(Line-of-sight)이라고 이 지배적이라고 가정하고 자유공간에서의 손실 수식을 사용하였다. 그 결과 43 GHz 대역에서 10 cm 채널 경로손실은 45 dB이다. 안테나 이득을 0.4 dBi[23], 전력증폭기의 출력 전력을 0 dBm 및 그 외 이득 손실을 20 dB로 가정할 때, 10 cm의 채널 거리에서 수신기 입력단의 신호 전력은 -64.2 dBm(0.4 mV, on 50 Ω)이다.

3. 본드-와이어 안테나

칩과 칩 사이의 성공적인 데이터 통신을 하기 위해서 안테나에 영향을 주는 몇 가지 중요한 사항들을 고려해야 한다. 우선, 안테나의 이득은 위치에 따라 변하며, 그 위치에서 얼마나 신호를 잘 방출하는지 나타내는 요소이다. 따라서 동일한 PCB 기판의 두 개의 칩 사이에 신호를 주고받기 위해서는 안테나는 PCB표면과 평행한 방향으로 비교적 높은 이득을 가져야만 한다. 또한, 안테나는 두 개의 칩과 독립적으로 분리되고 가능한 적은 전력을 소비하며 작동할 수

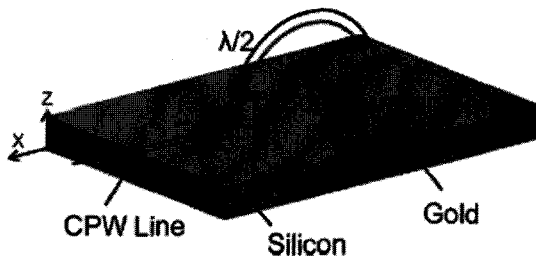


그림 3. 본드 와이어 안테나 구조.

있도록 효율이 좋아야 한다. 이러한 이유로 수평면 방사 효율이 나쁜 평면 안테나는 사용할 수 없다.

본드-와이어 안테나는 반원으로 구부러진 25 μm 두께의 동근 와이어를 사용했으며, 와이어의 길이는 동작주파수의 λ/2이다[23]. 안테나는 Ansoft HFSS FEM[24] Software를 이용하여 모델링 했다. 그림 3은 HFSS 시뮬레이션에 사용되는 구조를 보여준다. 안테나가 제대로 동작하기 위해 안테나의 끝부분은 접지되어야 한다. 칩의 상부면에는 큰 면적의 접지 금속을 형성할 수 없으므로 0.07 λ 크기의 접지 금속 조각을 안테나 밑면에 구성하였다. 시뮬레이션 된 방사패턴은 최대 2 dBi와 최소 -2.5 dBi를 가지는 타원형 모양으로 루프의 축을 따라 2-dBi의 이득이 관찰된다.

본드-와이어 안테나의 샘플은 안테나만의 특성을 테스트하기 위해 트랜시버 칩으로부터 분리해서 제작했다. 일반적인 측정 장비를 이용하여 안테나의 이득을 측정하였으며[25], 방사패턴은 2가지 평면인 E-평면(또는 Elevation plane)과 H-평면(or azimuth)에서 측정하였다. 또한 안테나의 이득값을 계산하기 위해 S₂₁ 값을 측정하였다. 안테나의 방사효율은 최대이득을 방향성으로 나누는 것과 같다. 최대 이득은 치구를 통해서 직접적으로 측정할 수 있다. 따라서 안테나의 방사효율은 측정된 최대 이득값과 HFSS에서 시뮬레이션된 방향성 값으로부터 추출해야 한다.

4. 회로 구현

4.1 저잡음 증폭기(Low-Noise Amplifier)

본 시스템에 적용된 저잡음 증폭기(LNA)는 인터더가 연결된 구조로 회로도도 그림 4에 나타냈다. 첫 번째 단의 부하 임피던스를 증가시키기 위해 증폭기의 출력에 에미터 팔로워는 접속시켜 저잡음 증폭기가 더 큰 이득과 잡음 지수(Noise figure)를 갖도록 하였다. 또한 저잡음 증폭기의 성능을 향상시키기 위해 인덕터 L2를 CE와 CB사이에 첨가했다. L2는 Q1의 컬렉터로부터 Q2의 에미터의 기생 커패시턴스를 분리함으로써 대역폭을 증가시킨다[26]. 트랜지



스터 Q2의 크기를 적당하게 선택하면 Q2의 베이스 누설신호를 줄이기 위한 $C_{\pi 2}$ (베이스-에미터 커패시턴스)는 제거될 수 있어 저잡음 증폭기의 이득을 증가시킬 수 있다[27].

4.2 포락선 검출기(Envelope Detector)

일반적으로 다이오드가 연결된 포락선 검출기는 큰 전압 강하와 스위칭 속도 때문에 고속 직렬 링크된 응용에는 적합하지 않다.

따라서 본 연구에서는 다이오드 대신 그림 5(a)에서 보는 것과 같이 쌍극성 트랜지스터의 PN 접합을

사용하였으며 포락선 검출기의 단순화된 모델은 그림 5(b)에 나타내었다. 이 모델에서 포락선 검출기의 대역폭은 I_b 와 C_c 에 의해 결정된다. 전류원 I_b 은 기준 값으로 작동하고, Q1 트랜지스터는 전하 펌프처럼 동작한다. 만약 평균 전류가 Q1 트랜지스터를 통해 커패시터에 주입되는 I_b 보다 크게 되면, 출력 전압 V_o 는 증가하고, 반대의 경우이면 감소한다 [28]. 입력되는 데이터의 패턴은 V_o 출력의 DC 바이어스 전압에 영향을 끼친다. DC 바이어스인가 전압에서 데이터 변동은 시스템 성능에 나쁜 영향을 주기 때문에, 같은 값이 길게 연속되는 것을 방지하고 0과 1의 균형을 맞추기 위해 맨체스터 코딩을 사용하였다.

수신기의 감도는 포락선 검출기에서 감지할 수 있는 최소 전압과 앞 단의 이득에 의해 결정되기 때문에, 본 연구에서는 그림 6과 같이 4개의 전치 증폭기, 2개의 포락선 검출기가 최소로 감지할 수 있는 입력신호를 증가시키기 위한 대역폭 증폭기 쌍을 연속적으로 연결한 포락선 검출기 단을 구성하였다.

포락선 검출기 앞단에 위치한 4개의 전치 증폭기들은 수신기단의 감도를 증가시켜 22.7 dB의 이득을 얻게 해준다. 입력 신호의 크기가 첫 번째 포락선 검출기에 의해 복조될 수 있게 충분히 크면 다음 단들은 증폭기로 동작하고, 두 번째 포락선 검출기는 신호에 영향을 주지 않는다. 만약 첫 번째 포락선 검출기의 출력이 약하거나 잔류 반송파 신호가 많이 포함되어 있는 경우는 다음 증폭기에 의해 잔류 반송파 신호는 억제되고 베이스 밴드는 증폭된다. 따라서 두 번째 포락선 검출기의 동작에 의해 포락선 검

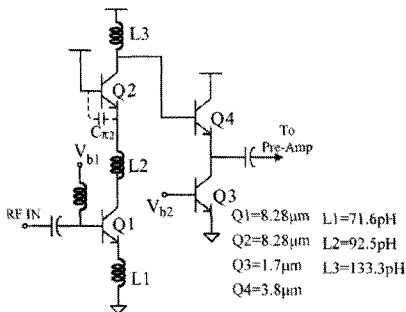


그림 4. 저잡음 증폭기의 회로도.

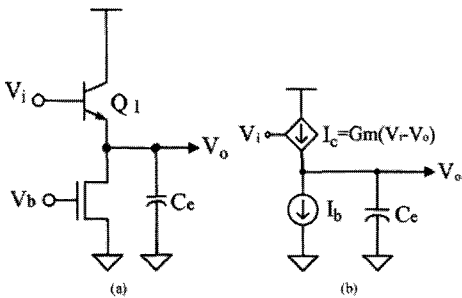


그림 5. 포락선 검출기의 회로도.

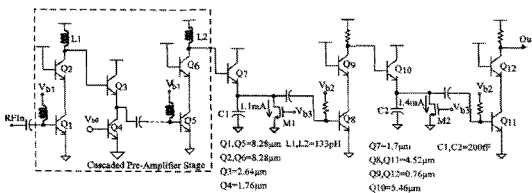


그림 6. 전치 증폭기와 포락선 검출기의 연결 회로도.

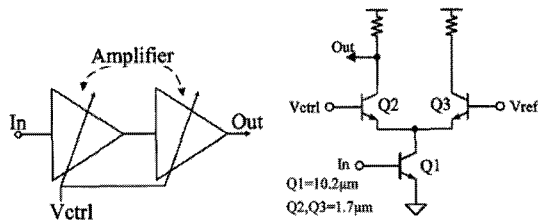


그림 7. 가변이득 증폭기의 회로도.



함께 단일단 LC 공진회로를 형성한다.

높은 데이터 속도와 반송파 주파수 때문에 스위치의 대역폭을 향상시키는 게 필요하다. 트랜지스터 Q2의 컬렉터에서 부하가 없이 오른쪽 트랜지스터는 에미터 폴로워로 작동하고 왼쪽 트랜지스터는 공통 베이스 증폭기로 작동한다. 에미터 폴로워의 밴드폭이 공통 베이스 증폭기의 밴드폭 보다 높기 때문에 Node A에서 전압은 \bar{D} 를 따른다. 아날로그 스위치의 스위칭 속도는 단일 공통 베이스 증폭기보다 높다. 인덕터 L2는 노드 A의 임피던스를 증가시켜 스위칭 속도를 증가시킨다. 스위칭으로 작동하는 동안 Q1과 Q2의 내부 기생 커패시턴스는 인덕터 L2를 통해 빠르게 방전하게 된다.

4.6 전력 증폭기(Power Amplifier)

전력증폭기(PA)의 회로도도 그림 10에 나타내었다. 공통 소스로 구성된 두 개의 A형 증폭기가 연결된 구조이다[30]. 비록 A형 증폭기는 다른 전력 증폭기와 비교하여 낮은 전력 효율을 가지지만 주파수 응답 특성이 우수하여 높은 주파수 대역폭 응용에서는 중요하게 사용된다. 증폭기의 첫 번째 단은 변조기로부터 전력 증폭기를 분리시키는 드라이버로 작동하고, 두 번째 단은 최대 효율로 안테나를 동작시키게 설계되었다. 각 단은 베이스 임피던스를 감소시키고, 항복전압을 증가시키기 위해 전류 미러 구조를 갖는 자기 바이어스 회로는 가지고 있다[31].

전송선로 정합회로를 사용하는 대신 부하 인덕터와 MIM 커패시터를 포함하는 단일단 L-네트워크를

입력단과 출력단의 임피던스 정합을 위해 사용하였다. 이 정합 네트워크는 U-밴드나 더 높은 주파수 회로의 설계에서 기생 임피던스를 최소화한다[32]. 전력증폭기의 최대 출력 전력은 ON/OFF 비율이 28 dB인 정합 조건에서 0 dBm이다.

5. 측정 결과

트랜시버는 쌍극성 트랜지스터의 f_T 가 155 GHz인 특성을 갖는 Jazz 180-nm SiGe BiCMOS 공정기술을 이용하여 제작했다. 그림 11은 제작된 트랜시버의 다이 사진을 보여준다. 전체 면적은 약 0.62 mm²이다. 집적회로(IC)는 표준 COB(Chip-on-board) 패키지 기술을 이용하여 FR4 측정 보드위에 장착하였다. 트랜시버를 테스트하기 위해 두 가지 종류의 PCB를 설계했다. 첫 번째 PCB는 현실적인 조건에서 안테나의 특성을 측정하기 위해 송신기와

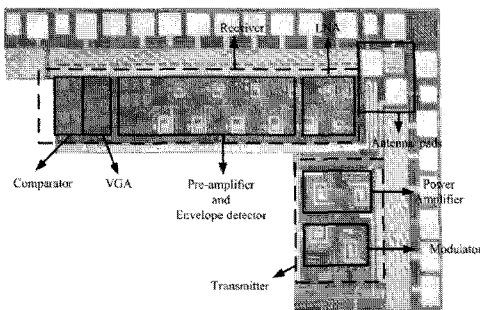


그림 11. 제작된 트랜시버 사진.

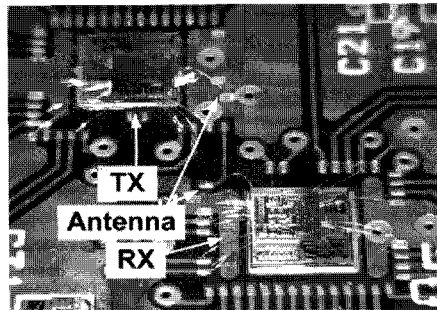


그림 12. 트랜시버 집적회로와 본드-와이어 안테나.

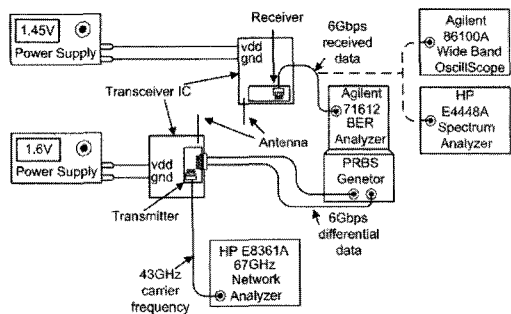


그림 13. 측정 시스템의 구성도.

수신기의 거리를 0.5 cm로 고정하였다. 두 번째는, 통신 거리에 따른 무선 연결 능력을 측정하기 위해 송신기와 수신기를 두 장의 PCB에 각각 장착하였다. 송신기와 수신기의 전원공급장치는 결선에 따른 신호 누설을 방지하기 위해 완전히 분리시켰다.

그림 12는 트랜시버 집적회로와 보드위의 안테나를 근접 촬영한 사진이다. 반도체 패키지 제작 시 사용하는 와이어 본딩 기술을 사용하여 본드-와이어 안테나를 제작하였다. 본드 와이어 안테나의 길이는 43 GHz 반송파의 반파장인 3.5 mm로 설정하였다.

그림 13은 칩과 칩 사이의 무선 통신 성능을 측정하기 위한 측정 시스템의 구성도이다. 43 GHz 반송파는 네트워크 분석기에 의해 67 GHz GSG 프로브를 통해 송신기에 공급된다. 랜덤 입력 패턴은 Agilent 71612 PRBS 발생기/비트오류율(BER(Bit-error rate)) 분석기를 통해 발생된다. 이 PRBS 발생기는 데이터 코딩을 제공하지 되지 않기 때문에 맨체스터 코딩의 테스트 패턴은 컴퓨터를 통해 만들

어졌고 패턴 생성기로 입력되었다. 비트오류율 분석기의 RAM 크기의 제한 때문에, PRMS 코드의 최대 크기는 $2^{15}-1$ 로 하였다. 수신기의 출력 데이터는 GSG 프로브와 SMA 케이블을 통해 비트오류율 분석기로 다시 보내진다. 모든 고속 신호들은 고주파 프로브(High frequency probe)를 통해 공급되고 측정되었다.

무선 데이터 통신의 특성은 0.5 cm에서 4 cm까지 통신거리를 변화하면서 아이 다이어그램(Eye diagram)과 비트오류율 측정으로 평가하였다. 그림 14는 거리가 2 cm 일 때 5 Gb/s의 수신기 출력의 아이 다이어그램이다. 신호 대 잡음비 SNR(Signal-to-noise ratio)은 24 dB이고 17.8 ps의 RMS Jitter 특성과 비트오류율은 2.6×10^{-11} 이다.

전송되는 데이터 속도 및 거리에 따른 비트오류율의 측정값은 그림 15에 표시했다. 무선 통신 거리가 0.5 cm일 때 비트오류율(Bit error rate)은 2 Gb/s

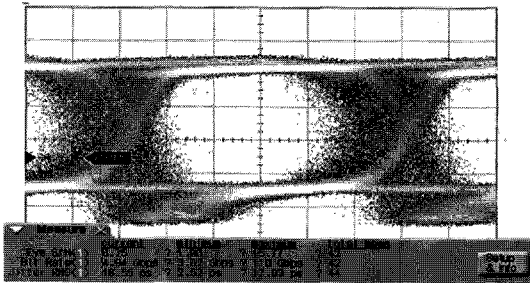


그림 14. 수신기 출력의 아이 다이어그램.

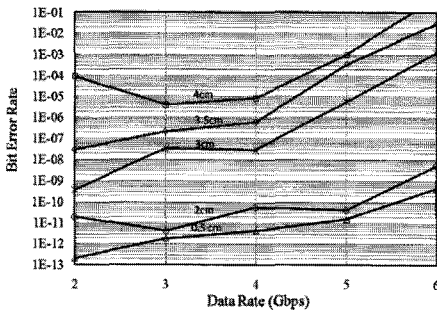


그림 15. 데이터 속도 및 거리에 따른 비트오류율.

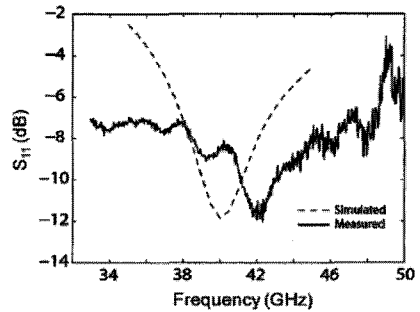


그림 16. 온 칩 본드-와이어 안테나의 반사손실.

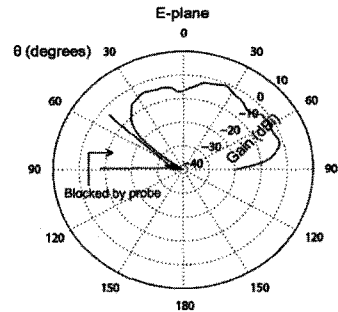


그림 17. 안테나의 E-평면 지향선도(Radiation pattern).



에서 4×10^{-13} 이고 6 Gb/s에서는 4×10^{-10} 로 증가하였다. 거리가 2 cm보다 작아졌을 때는 5 Gb/s에서 트랜시버의 비트오류율은 10^{-11} 이다. 거리 3 cm에서 데이터 속도가 6 Gb/s일 때와 거리 4 cm에서 데이터 속도가 5 Gb/s일 때 비트오류율은 10^{-3} 으로 측정되었다. 그림 15에서 보듯이 일부 경우에 2 Gb/s 데이터 속도에서 4 Gb/s 데이터 속도보다 비트오류율이 증가하는 것을 볼 수 있는데, 이것은 다중 경로 효과와 밀접한 관련이 있다. 프로브 스테이션의 제한된 공간 때문에, 하나의 RF 프로브는 PCB 표면으로부터 1 cm 정도위에 무선 채널 상단부에 있기 때문에 신호 전송 시 다중 경로 환경을 만들게 된다.

반원 형태의 보드-와이어 안테나는 칩의 패드와 PCB 위의 패드 사이에 형성되고 안테나 밀면의 대부분의 영역은 접지면이다. 실제 무선 데이터 통신에서의 안테나의 성능을 독립형 안테나 테스트 결과 [23]와 비교하여 측정하였다. 온 칩 보드-와이어 안테나의 반사손실(RL)은 그림 16에 나타내었다. S_{11} 의 최소값은 43 GHz에서 -12 dB이다.

그림 17은 측정된 안테나의 E-평면 지향선도(Radiation pattern)를 나타낸다. 안테나의 최대 이득은 -1.4 dBi이고, 50.9 %의 방사 효율(Radiation efficiency)을 나타내었다.

$\theta > 60^\circ$ 일 때, 안테나 이득이 감소하는 것을 볼 수 있는데, 이는 수신측 혼 안테나가 프로브와 프로브 홀더 뒤에 위치하기 때문이다. 측정된 안테나의 성능은 독립형 안테나 테스트 결과와 일치한다. H-평면 안테나 지향선도는 측정할 수 없었다. 왜냐하면

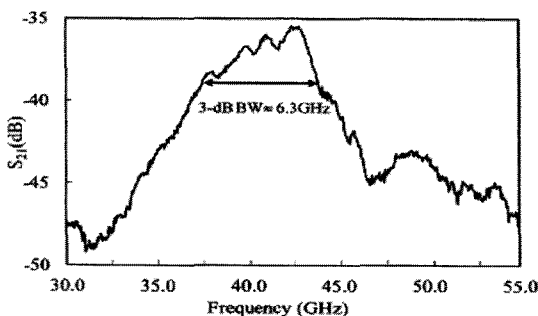


그림 18. 안테나 쌍의 S_{21} (무선 통신 거리 0.5 cm).

표 1. 보드-와이어 안테나를 이용한 무선 데이터 통신 시스템의 특성.

특성	Bond-wire	On-chip Dipole	On-board Dipole
공정	180 nm SiGe	180nm CMOS	90 nm CMOS
반송파[GHz]	43	3	60
데이터 속도[Gbps]	2-6	0.2	2.5
안테나 이득[dBi]	-1.4	N/A	5
거리[cm]	0.5 - 4	0.05	4
비트오류율	4×10^{-13}	N/A	1×10^{-12}
변조 방식	이진 ASK	OOK	OOK
면적[mm ²]	0.62	2.34	1.11
소비전력[mW]	117	43	286
에너지/bit[pj/bit]	17	215	114

프로브가 반사를 줄이기에 적절한 흡수체로 되어 있지 않고 안테나의 입력은 PA의 출력에 연결되어 있다.

무선 통신 거리를 0.5 cm에서 측정된 안테나쌍의 S_{21} 은 그림 18에 나타내었다, 43 GHz일 때 최대 이득은 -36 dB이고, 3-dB 대역폭은 대략 6.3 GHz이었다. 수신기의 입력에서 파워는 0.5 cm일 때, 대략 -45.5 dBm이다. 경로 손실이 거리의 제곱으로 증가한다고 가정할 때, 신호 전력은 4 cm일 때 -63.5 dBm일 것이고, 이것은 수신기가 감지할 수 있는 최소 전력과 밀접한 연관이 있다. 따라서 최대 통신 거리는 4 cm이다. 이 값은 측정된 결과와 잘 들어맞지만, 예측했던 거리보다는 짧다. 자유공간 손실 공식으로 계산된 값보다 안테나 이득은 3.6 dB 낮고, 경로 손실은 23.2 dB 증가했다. 이 여분의 26.8 dB 전력 손실은 동작의 여유를 줄이고 통신 거리를 감소시킨다. 감소한 안테나 이득은 이상적이지 않은 접지면과 채널 조건에 따른 채널 손실에 기인한다.

수신기의 전원은 1.6 V, 송신기의 전원은 1.45 V로 설정하여 트랜시버의 전력소비를 측정하였다. 송신기와 수신기의 소비전력은 입력과 출력의 50 Ω 버퍼의 소비전력 16 mW를 포함하여 각각 57 mW와 60 mW이다. 보드 와이어 안테나 시스템의 비트 에너지 효율은 버퍼의 전력을 제외하고 17 pJ/bit(17 mW/Gb/s)로 광 데이터 통신의 비트 에너지 효율 10 mW/Gb/s[37]와 비슷하나 추가적인 장치나 후처리 과정이 필요로 하지 않다.

표 1에 본드-와이어 안테나를 이용한 무선 데이터 통신 시스템과 다른 안테나 시스템과의 특성을 비교하여 나타내었다. 표에서 보듯이 트랜시버의 비트 에너지 효율은 17 pJ/bit로 다른 무선 통신시스템과 비교하여 싼 값을 나타낸다[33,34]. 온-칩 안테나 시스템[33]과 비교할 때 데이터 전송 속도는 30배 높고 거리는 8배 더 길고 안테나가 차지하는 면적은 27% 정도이다. 또한, 외부안테나를 사용한 것[34]과 비교하여 통신거리와 비트오류율은 유사하나 소비전력은 크게 작음을 알 수 있다.

6. 결론

본고는 무선과 하이브리드 마이크로 멀티-칩 네트워크에 적합한 저비용, 저전력 43 GHz 무선 칩 간 데이터 통신에 관한 것이다. 무선 칩 간 데이터 통신은 저전력, 고효율 본드-와이어 안테나와 비동기식 이진 트랜시버를 사용했다. 칩은 180 nm의 SiGe BiCMOS 공정 기술을 사용하여 제작하였고, 칩 및 본드 와이어 안테나는 FR4 기판위에 표준 칩 온 보드 패키징을 이용하여 제작하였다. 43 GHz의 반송파에서 안테나는 수평으로 좋은 방사 패턴을 가지며 방사 효율은 약 51%이며 안테나 이득 및 반환 손실은 각각 1.4 dBi와 12 dB이다. 구현된 시스템의 무선 데이터 통신 속도는 칩간 거리가 4 cm일 때 6Gb/s의 데이터 속도를 가지며, 비트오류율은 2 cm 이상의 거리에서 약 10-11 값을 가진다. 비트 에너지 효율은 17 pJ/bit이며 칩 면적은 약 0.62 mm²이다. 본 연구는 고속 무선 멀티 칩 통신의 가능성을 보여준다.

참고 문헌

[1] D. A. B. Miller and H. M. Ozaktas, "Limit to the bit-rate capacity of electrical interconnects from the aspect ratio of the system architecture," *J. Parallel Distrib. Comput.*, vol. 41, no. 1, 1997.
 [2] M. Forbes, J. Gourlay, and M. Desmulliez, "Optically interconnected electronic chips: A tutorial and review of the technology," *IEEE*

Electron. Commun. Eng. J., vol. 13, no. 5, pp. 221-232, Oct. 2001.

[3] H. Cho, P. Kapur, and K. C. Saraswat, "Power comparison between high-speed electrical and optical interconnects for interchip communication," *IEEE J. Lightw. Technol.*, vol. 22, no. 9, pp. 2021-2033, Sep. 2004.
 [4] G. Chen et al., "Electrical and optical on-chip interconnects in scaled microprocessors," in *Proc. IEEE Int. Symp. Circuits and Systems*, May 2005, pp. 2514-2517.
 [5] D. V. Plant and A. G. Kirk, "Optical interconnects at the chip and board level: Challenges and solutions," *Proc. IEEE*, vol. 88, pp. 806-818, Jun. 2000.
 [6] B. A. Floyd, C.-M. Hung, and K. K. O, "A 15-GHz wireless interconnect implemented in a 0.18- μ m CMOS technology using integrated transmitters, receivers, and antennas," in *IEEE Symp. VLSI Circuits Dig.*, Jun. 2001, pp. 155-158.
 [7] M.-C. F. Chang, V. P. Roychowdhury, L. Zhang, H. Shin, and Y. Qian, "RF/Wireless interconnect for inter- and intra-chip communications," *Proc. IEEE*, vol. 89, pp. 456-466, Apr. 2001.
 [8] I. Post et al., "A 65 nm CMOS SOC technology featuring strained silicon transistors for RF applications," in *Int. Electron Devices Meeting*, Dec. 2006, pp. 1-3.
 [9] S. Gunnarsson et al., "60 GHz single-chip front-end MMICs and systems for multi-Gb/s wireless communication," *IEEE J. Solid-State Circuits*, vol. 42, no. 5, pp. 1143-1157, May 2007.
 [10] T. Yao et al., "Algorithmic design of CMOS LNAs and PAs for 60-GHz radio," *IEEE J. Solid-State Circuits*, vol. 42, no. 5, pp. 1044-1057, May 2007.
 [11] B. Razavi, "A 60-GHz CMOS receiver front-end," *IEEE J. Solid-State Circuits*, vol. 41, no. 1, pp. 17-22, Jan. 2006.
 [12] A. Tomkins, R. A. Aroca1, T. Yamamoto, S. T. Nicolson, Y. Doi, and S. P. Voinigescu, "A zero-IF 60 GHz transceiver in 65 nm CMOS with 3.5 Gb/s links," in *Proc. IEEE Custom Integrated Circuits Conf.*, 2008, pp. 471-454.
 [13] C. Cao et al., "A 24-GHz transmitter with on-chip dipole antenna in 0.13- μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 43, no. 6, pp. 1394-1402, Jun. 2008.

- [14] P. Popplewell, V. Karam, A. Shamim, J. Rogers, L. Roy, and C. Plett, "A 5.2-GHz BFSK transceiver using injection-locking and an on-chip antenna," *IEEE J. Solid-State Circuits*, vol. 43, no. 4, pp. 981-990, Apr. 2008.
- [15] K. K. O et al., "On-chip antennas in silicon ICs and their application," *IEEE Trans. Electron Devices*, vol. 52, no. 7, pp. 1312-1323, Jul. 2005.
- [16] P.-J. Guo and H.-R. Chuang, "A 60-GHz millimeter-wave CMOS RFIC-on-chip meander-line planar inverted- π antenna for WPAN applications," in *IEEE Antennas Propagat. Soc. Int. Symp.*, Jul. 2008, pp. 1-4.
- [17] A. Babakhani, X. Guan, A. Komijani, A. Natarajan, and A. Hajimiri, "A 77-GHz phased-array transceiver with on-chip antennas in silicon: Receiver and antennas," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2795-2804, Dec. 2006.
- [18] K. T. Chan et al., "Integrated antennas on Si with over 100 GHz performance, fabricated using an optimized proton implantation process," *IEEE Microw. Wireless Compon. Lett.*, vol. 13, no. 11, pp. 487-489, Nov. 2003.
- [19] Y. Koga et al., "Cavity-backed MEMS patch antennas on double-layer silicon wafers," in *IEEE Antennas Propagat. Soc. Int. Symp.*, Jul. 2008, pp. 3935-3938.
- [20] Y. Tsutsumi, M. Nishio, S. Sekine, H. Shoki, and T. Morooka, "A triangular loop antenna mounted adjacent to a lossy Si substrate for millimeter-wave wireless PAN," in *IEEE Antennas Propagat. Soc. Int. Symp.*, Jun. 2007, pp. 1008-1011.
- [21] B. P. Gaucher, D. Liu, U. R. R. Pfeiffer, and T. M. Zwick, "Apparatus and methods for constructing antennas using wire bonds as radiating elements," U.S. 7,295,161, Nov. 13, 2007.
- [22] D. C. Daly and A. P. Chandrakasan, "An energy-efficient OOK transceiver for wireless sensor networks," *IEEE J. Solid-State Circuits*, vol. 42, no. 5, pp. 1003-1011, May 2007.
- [23] R. Willmot, D. Kim, and D. Peroulis, "High efficiency wire bond antennas for on-chip radios," in *IEEE Antennas Propagat. Soc. Int. Symp.*, Dec. 2008.
- [24] Ansoft HFSS FEM.[Online]. Available: <http://www.ansoft.com/products/hf/hfss>
- [25] D. M. Campbell, "Accurate computer controlled on-wafer antenna measurement, data acquisition, and analysis," Master thesis, Sch. Electr. Eng. Technol., Purdue Univ., W. Lafayette, IN, 2008.
- [26] B. Analui and A. Hajimiri, "Bandwidth enhancement for transimpedance amplifiers," *IEEE J. Solid-State Circuits*, vol. 39, no. 8, pp. 1263-1270, Aug. 2004.
- [27] H.-S. Kim, X. Li, and M. Ismail, "A 2.4 GHz CMOS low noise amplifier using an inter-stage matching inductor," in *Proc. IEEE Midwest Symp. Circuits and Systems*, Aug. 1999, vol. 2, pp. 1040-1043.
- [28] S. A. Sanielevici, K. R. Cioffi, B. Ahrari, P. S. Stephenson, D. L. Skoglund, and M. Zargari, "A 900-MHz transceiver chipset for two-way paging applications," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 2160-2168, Dec. 1998.
- [29] C. T. Charles and D. J. Allstot, "A 2-GHz CMOS variable gain amplifier optimized for low noise," in *Proc. IEEE Int. Symp. Circuits and Systems*, 2006, pp. 2305-2308.
- [30] B. A. Floyd, S. K. Reynolds, U. R. Pfeiffer, T. Zwick, T. Beukema, and B. Gaucher, "SiGe bipolar transceiver circuits operating at 60 GHz," *IEEE J. Solid-State Circuits*, vol. 40, no. 1, pp. 156-167, Jan. 2005.
- [31] H. Veenstra, G. A. M. Hurkx, D. van Goor, H. Brekelmans, and J.R. Long, "Analyses and design of bias circuits tolerating output voltages above ψ_{bi} ," *IEEE J. Solid-State Circuits*, vol. 40, no. 10, pp. 2008-2018, Oct. 2005.
- [32] T. Yao et al., "Algorithmic design of CMOS LNAs and PAs for 60-GHz radio," *IEEE J. Solid-State Circuits*, vol. 42, no. 5, pp. 1044-1057, May 2007.
- [33] N. Sasaki, K. Kimoto, W. Moriyama, and T. Kikkawa, "A single-chip ultra-wideband receiver with silicon integrated antennas for inter-chip wireless interconnection," *IEEE J. Solid-State Circuits*, vol. 44, no. 2, pp. 382-393, Feb. 2009.
- [34] J. Lee, Y. Huang, Y. Chen, H. Lu, and C. Chang, "A low-power fully integrated 60 GHz transceiver system with OOK modulation and on-board antenna assembly," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, vol. 52, no. 2, pp. 316-317, Feb. 2009.

저|자|약|력|



성 명 : Wu-Hsin Chen

- ◆ 학 력
 - 1996년 National Taiwan Univ.(대만) 공학사
 - 1998년 National Taiwan Univ.(대만) 공학석사
 - 현재 Purdue Univ., West Lafayette, 박사과정

- ◆ 경 력
 - 2000년 - 2007년 Sunplus Technology, Taiwan



성 명 : Dimitrios Peroulis

- ◆ 학 력
 - 1998년 National Technical Univ. of Athens(그리스), Electrical and computer engineering 공학사
 - 1999년 Univ. of Michigan, Ann Arbo, Electrical engineering 공학석사
 - 2003년 Univ. of Michigan, Ann Arbo, Electrical engineering 공학박사

- ◆ 경 력
 - 2003년 - 현재 Purdue Univ., the School of Electrical and Computer Engineering, 부교수



성 명 : Byunghoo Jung

- ◆ 학 력
 - 1990년 연세대학교 공과대학 금속공학과 공학사
 - 1992년 한국과학기술원(KAIST), National Taiwan University(대만) 공학석사
 - 2005년 The University of Minnesota, Minneapolis 공학박사

- ◆ 경 력
 - 1992년 - 1999년 삼성전자 Sunplus Technology, Taiwan
 - 2005년 - 현재 Purdue University, the School of Electrical and Computer Engineering, 조교수

