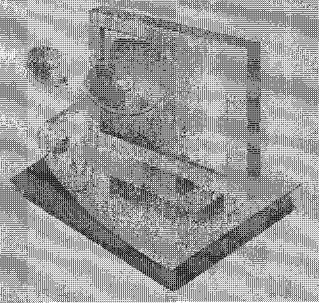


# 시스템 IC용 ESD 보호회로 설계기술



구용서 교수 (단국대학교 전자전기공학부)

## 1. ESD 보호의 기본 개념

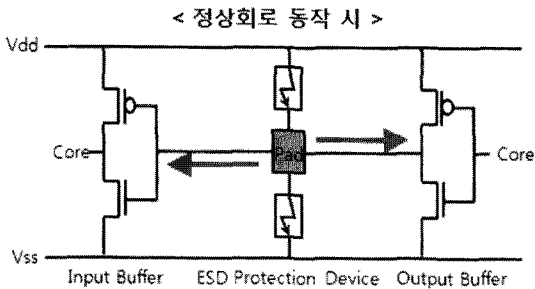
정전기 (ESD : Electrostatic Discharge)는 EOS (Electrical Overstress)의 한 분류로써 일반 가정이나 사무실, 연구소, 실험실 등 어느 장소에서나 일어날 수 있는 현상으로 각각 다른 전위를 갖는 두 물체 사이의 마찰 전기에 의한 전하 이동이다. 따라서 ESD는 매우 빠른 속도 (~ns)로 어떤 상황에서든 발생할 수 있는 현상으로 특히, 사람이나 전자 장비에서 ESD 현상이 쉽게 발생된다. 이러한 ESD가 산업에 심각한 문제로 떠오르기 시작한 것은 한 세기 정도의 시간이 흘렀다. ESD를 방지하기 위한 기술에 대한 최초의 기록은 1860년대라고 보고되었고, 이후 전자산업이 발달하면서 ESD 및 ESD와 관련된 새로운 문제들이 제기되었다. 오늘날 공정 기술의 발전과 더불어 IC의 고 집적화 되면서 ESD는 생산성과

상품의 안정성을 비롯한 전체적인 신뢰성에 영향을 미치는 중요한 요인으로 작용하고 있다. ESD에 의한 소자 파괴현상의 대부분은 크게 세 가지 ESD 모델 (HBM : Human Body Model, MM : Machine Model, CDM : Charge Device Model)에 의한 파괴로 다음과 같다. 접합영역에서 고 전류/전계에 의한 주열 발열과 높은 온도에 의한 2차 항복으로 인한 소자 파괴 (HBM), 공정 기술이 발전함에 따른 게이트 산화막 두께가 얇아짐에 따른 높은 전계에 의한 산화막 파괴 (CDM), 금속 배선에 고 전류가 흘러 취약 부분에 온도 상승으로 인해 배선이 끊어져 발생하는 금속 배선의 파괴 (MM) 등이다. 각각의 모델은 ESD가 발생하는 상황과 ESD의 공급원에 따라 분류된다 (표 1).

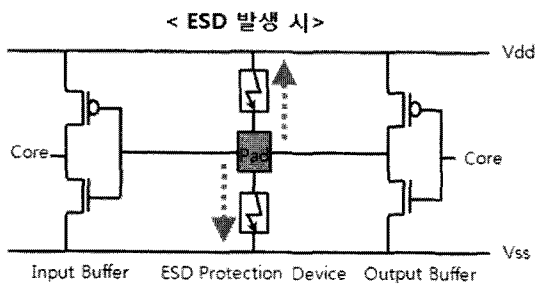
ESD 현상에 의한 반도체 소자의 피해를 막기 위해 IC의 제조환경이나 운반조건 등의 개선도 중요하지만, 가장 중요한 건 칩 내부에 ESD 보호회로를

표 1. ESD Model 분류표.

Model	HBM	MM	CDM
	Human Body Model	Machine Model	Charged Device Model
Origin	US Military Late 1960s	Japan 1976	AT&T 1974
R,L,C	1.5 k $\Omega$ , ~8 uH, 100 pF	0 $\Omega$ , ~750 nH, 200 pF	1 $\Omega$ , ~1 nH, 1~20 pF
Peak Current	1.33 A (@2000 V)	2.8~3.5 A (@200 V)	81 A (@500 V)
Rising Time	2~10 ns	15~30 ns	<1 ns
Basic Spec. for Commercial IC's	+/- 2 kV	+/- 200 V	+/- 1 kV
Cause	Human Body	Electro-statically Charged Machine	IC Charge



(a)



(b)

: ESD 보호소자    : 내부회로 동작 신호    : ESD 전류

그림 1. ESD 보호회로의 개념.

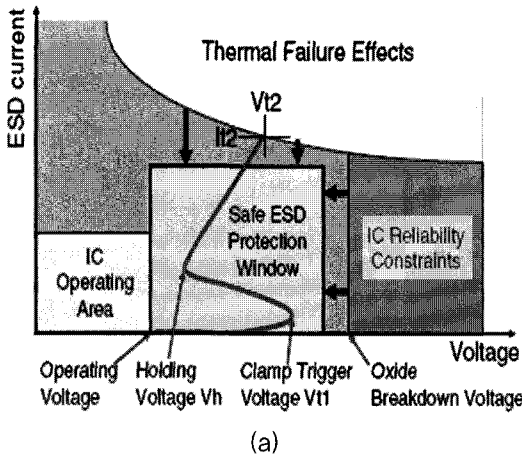
내장하여 ESD 발생 시 ESD 보호회로를 통해 내부 회로로의 유입을 방지하고 외부로 ESD를 방전시킬 수 있어야 한다. ESD 보호회로는 정상적으로 회로가 동작하는 상태와 ESD가 발생하는 상황을 정확히 구분되어 동작해야 한다. 회로의 정상 동작 상태에서는 ESD 보호회로가 OFF 상태를 유지하여 내부 회로 동작에 영향을 미치지 않아야 한다. 반대로 ESD 발생 상황에서는 ESD 보호회로가 ON 상태를 유지하여 ESD전류를 ESD 보호소자를 통하여 외부

로 방출 시켜야 한다. 이때 ESD 보호소자는 설계 영역 (Design Window)이라 불리는 영역 내에서 동작해야 한다. 설계 영역은 내부 회로의 동작 전압에서 반도체 소자의 게이트 산화막 항복전압 (Breakdown Voltage) 이하로 정의된다. 반드시 ESD 보호소자는 설계 영역 내에서 동작해야 하며 이러한 설계 영역을 바탕으로 적절한 ESD 보호회로의 설계가 필요하다.

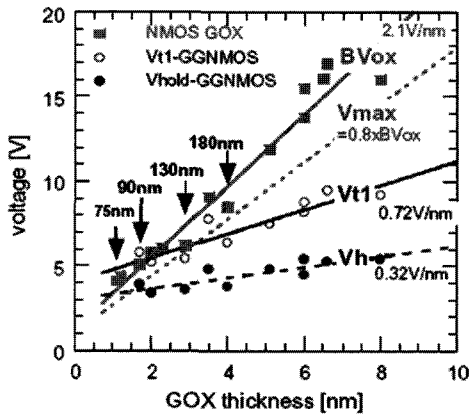
## 2. ESD 보호 기술의 동향

### 2.1 공정기술 발달에 따른 ESD 보호기술

반도체 산업에서 공정기술의 발전과 IC의 소형화 및 고집적화는 회로의 성능 향상을 가져왔지만 ESD 현상에 의한 회로의 오작동 및 파괴는 점점 심각한 문제로 인식되고 있다. 특히 공정기술의 발달은 회로 속도의 증가를 가져왔지만 ESD 보호소자의 감내 특성과 직접적으로 관련된 IT2 (Second Breakdown Current) 및 ESD 성능은 감소하게 된다 (표 2). 또한 공정 기술이 나노 급으로 발전 할수록 게이트 산화막과 메탈은 더욱 얇아지게 되어 나노급 회로에서의 ESD 민감도는 더욱 높아지게 된다. 얇은 두께의 산화막은 CDM 성능을 낮추게 되고 얇은 메탈은 Heating 효과를 더욱 유발하게 되어 IO 패드에 HBM과 CDM의 성능을 최적화하여 적용시키기가 굉장히 어려워지게 된다. 그림 2는 공정기술의 발전으로 게이트 산화막의 감소에 따른 ESD 설계 영역과 산화막 항복전압의 감소를 나타내고 있다. 산화막 항복전압 (BVox)은 ESD 보호소자의 파라미터 (트리거 전압 Vt1, 홀딩 전압 Vhold)와 비교되었다. 산화막 항복전압은 ESD 보호소자의 파라미터 감소보다 더 빠르게 감소한다. 그 결과 게이트 산화막 두께가 2 nm 이하일 때 트리거 전압은 게이트 산화막 항복전압보다 커지게 되어 ESD 보호소자의 설계는 더욱 어려워지게 된다. 이러한 이슈에 맞춰 최근 개발되고 있는 ESD 보호소자는 기존에 사용되는 ESD 보호소자에서 추가적인 회로를 연결하거나 구조적인 변경을 통하여 게이트 산화막보다 낮은 트리거 전압을 갖는 소자, 빠른 턴-온 속도를 갖는 소자, RF



(a)



(b)

그림 2. 공정 기술 발전에 따른 (a) 설계 영역, (b) 게이트 산화막 항복전압의 감소.

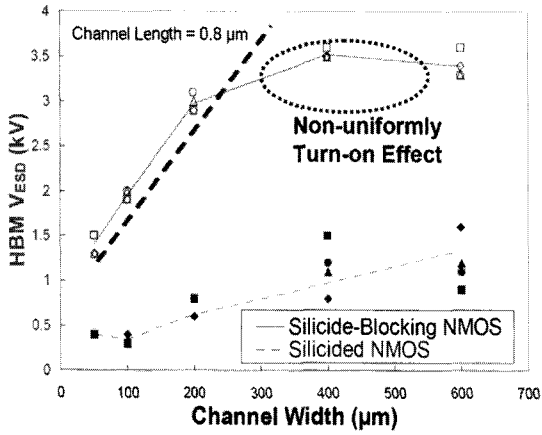
표 2. 공정기술 발전에 따른 ESD 효과.

Feature Size	Process Advance	Impact on ESD	Factor degrading intrinsic ESD performance
3 um	Junction Scaling	NPN Robustness	Current Density
2 um	Graded Junction	NPN Robustness	Power Dissipation
1 um	Silicide, Epi Substrate	NPN Robustness	Ballasting Effects and Avalanche Process
0.5 um	STI	SCR Trigger	Decreased Parasitic Bipolar Efficiency
0.35 um	Bulk substrate	Parasitic Interactions	Increased Bipolar Effect
0.18 um	Short Channel Length	Lower IT2	Localized Heating
0.090 um	Ultra Thin Gate Oxide	Lower CDM	Ineffective Clamp
0.065 um	Thinner Metal Layers	Lower HBM, MM, CDM	Metal Heating
0.045 um	Insulating Substrates	Lower Overall ESD	Increased Power Dissipation

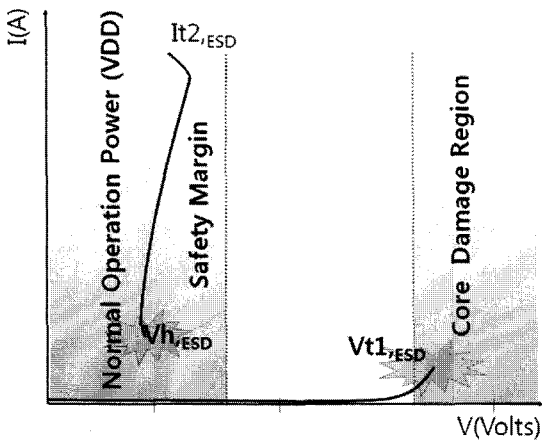
회로에 적용 가능한 작은 커패시턴스 성분을 갖는 소자가 연구 개발되고 있다.

## 2.2 저 전압용 ESD 보호회로 기술

집적회로의 집적도가 높아짐에 따라서 회로를 구성하는 반도체 소자의 크기가 작아지고 반도체 소자가 작아짐에 따라 특히 ESD에 대한 회로의 피해는 더욱 심각해지고 있다. 이러한 ESD로부터의 영향을 보호하기 위한 노력이 끊임없이 이루어지는 가운데 일반적인 MOS구조를 이용한 GGNMOSFET (Gate Grounded MOSFET)이 입출력 패드와 파워클램프 단에 사용되는 ESD 보호소자로서 널리 사용되고 있다. 그러나 GGNMOSFET은 CMOS 공정 기술이 발달하면서 ESD 성능은 감소하게 되고, 낮은 전류구동 능력과 GGNMOS의 드레인 단의 Ballast 저항을 높이기 위한 설계 변수 DCGS (Drain Contact to Gate Space) 때문에 소자의 크기는 커져야 한다. 또한 GCNMOS (Gate Coupled NMOS)는 R-C 회로가 게이트에 연결되어 ESD 펄스 유입 시 MOS의 채널을 통하여 ESD 전류를 방전시키는 ESD 보호소자로서 저 전압 회로의 파워 클램프 단에 많이 사용된다. 그러나 MOS 동작을 통한 ESD 방전이기 때문에 MOSFET의 크기는 굉장히 커지게 되고, 캡 면적 또한 크기 때문에 저 면적을 요구하는 회로에 적용하기 힘들어진다. 저 면적과 높은 ESD 감내특성을 위한 GGNMOS의 설계 기술은 많이 개발되고 있으며 마디 트리거 방식의 GGNMOS뿐만 아니라 DCGS의 길이를 레이아웃의 변경으로 극복하여 저 면적과



(a)



(b)

그림 3. (a) GGNMOSFET의 불균일한 트리거 효과에 따른 ESD 감내특성 감소 특성, (b) SCR의 높은 트리거 전압과 낮은 홀딩 전압 특성.

높은 ESD 감내특성을 얻기 위한 노력이 계속되고 있다. 한편, SCR은 좋은 스위칭 특성과 높은 전류 구동 능력으로 저 면적, 저 전력 회로에 ESD 보호소자로 적용되고, 효과적인 ESD 보호 기능을 수행할 수 있는 소자로 큰 이슈가 되고 있다. 그러나 SCR은 높은 트리거 전압과 낮은 홀딩 전압 특성으로 ESD 설계 영역을 최적화하기 힘들다. 이러한 이유로 SCR에 대한 많은 연구가 이루어지고 있으며, 그 중 트리거 전압을 낮춘 대표적인 소자로 LVTSCR (Low Voltage Trigger SCR)이 있다. 또한, 낮은 홀딩 전압에 의한 래치업 문제를 해결하기 위한 소자들이 많이 개발되고 있다. 대표적인 소자로 HHISCR (High Holding Current SCR)과 DHVSCR (Dynamic Holding Voltage SCR)이 있다. 현재 개발되는 SCR 기반 ESD 보호소자의 경우 대부분 게이트 구조를 삽입하여 트리거 전압을 낮추는 경향을 비롯하여 래치업 문제와 빠른 턴-온 속도를 고려한 SCR 소자들이 많이 개발되고 있다.

### 2.3 고 전압용 ESD 보호회로 기술

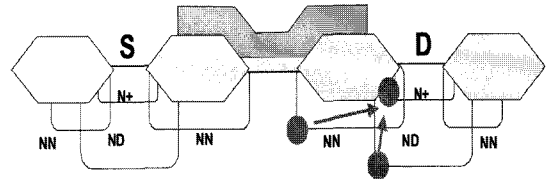
일반적으로 고전압 소자가 요구되는 회로들이 많이 개발됨으로써 고전압 소자에 대한 관심이 커지게 되어 저 전압 공정 기술뿐만 아니라 고전압 공정 기술 또한 많이 개발되고 있다. 저 전압 기술에서 고전압 기술로의 전환은 고전압 소자를 위한 몇 가지 선택적 기술만 필요하여 고전압 소자를 요하는 회로, 이를 테면 디스플레이 구동 회로 또는 자동차 전장 기술에서 경제적인 이득 효과를 거둘 수 있다. 고전압 기술로의 전환은 소자의 고내압을 위한 낮은 도핑 레벨을 갖는 Implant와 두꺼운 (Thick) 게이트 산

표 3. Advanced 공정의 GGNMOS의 ESD 성능 악화 요인.

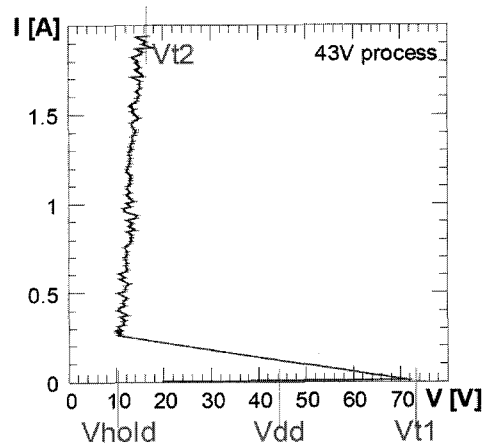
Change	Reason for Implementation	Impact on ESD
Shallower Junction	Allows Short Channel Length Transistor	Higher Current Density During an ESD Event
LDD	Reduce Hot Carrier Transistor Degradation	Degraded Performance of Parasitic Bipolar Transistor which Provides Intrinsic High Current Capability
Silicide	Reduced Transistor Series Resistance	Removes Ballast Resistance in nMOS Drains, Degrading High Current Carrying Capability of Parasitic Bipolar Transistor
Thin Gate Oxide	Improved Transistor Performance	Reduced Voltage at Which Oxide Damage Occurs

화막을 갖추면 된다. 또한 고 신뢰성을 위한 고 전압 회로에서의 ESD 보호소자는 고 내압을 위하여 고 전압 용 Implant와 게이트 산화막을 사용한다. 그러나 고 내압을 위해 적용된 낮은 도핑 레벨의 Implant는 일반적인 ESD 보호소자 (GGNMOS)의 ESD 감내특성뿐만 아니라 고 전류 상황에서의 동작을 감소시키게 된다. 그림 4는 고 전압 MOSFET의 단면도와 IV 특성을 나타내고 있다. 고 내압을 위해 사용되는 낮은 도핑 Implant (그림 4에서 NN, ND)는 고 전류 바이폴라 동작모드에서 Kirk Effect의 효과로 강한 Snapback 동작 효과가 있다. 그 이유는 초기 Avalanche 영역 (Hot Spot 영역)이 낮은 도핑으로 된 NN과 ND의 끝에 있다가 바이폴라의 고 전류 모드에서 이 Avalanche 영역이 높은 도핑으로 된 N+쪽으로 이동하여 (그림 4에서 빨간점) 낮은 홀딩 전압을 갖게 되었기 때문이다.

이러한 특성으로 회로의 정상 동작 상태에서의 래치업 문제가 발생하게 된다. 또한 위에서 나타낸 고 전류 바이폴라 동작 모드는 심각한 신뢰성 이슈가 발생하게 되는데 N+ 근처로 이동한 Hot Spot 영역은 FOX의 Bird's Beak 근처에 나타나게 된다. 이는 핫캐리어 (Hot Carrier)를 유발하여 산화막으로 주입될 수 있다 (Charge Trapping). 이러한 현상은 누설 전류의 원인일 뿐만 아니라 소자의 항복전압과 감내특성 또한 낮아져 회로의 신뢰성에 문제가 발생할 수 있다. 이러한 원인으로 MOS 기반 고전압 ESD 보호소자인 고전압 MOSFET과 LDMOSFET은 래치업 면역성이 떨어져 전체 시스템의 신뢰성이 약화될 수 있다. 또한, Non-Snapback 동작을 하는 GC-LDMOSFET이 낮은 홀딩 전압을 갖는 고전압 MOSFET을 대신하여 많이 사용된다. GC-LDMOSFET의 경우 저 전압의 GC-LDMOSFET과 동일하게 게이트에 R-C 회로를 이용하여 게이트 바이어싱하는 소자로 Snapback동작을 하지 않기 때문에 높은 래치업 면역 특성을 갖는다. 그러나 고전압 GC-LDMOSFET의 커패시턴스는 고 전압을 위한 커패시터가 필요하게 되고 이 면적은 굉장히 크기 때문에 커패시터 성분을 줄이기 위한 또 다른 회로가 필요하게 된다. 이러한 기존의 고 전압용 MOSFET 기반 ESD 보호소자의 특성을 개선하기 위한 연구가



(a)



(b)

그림 4. 고전압 MOSFET의 단면도 및 IV 특성.

많이 이루어지고 있으며, 특히 래치업 특성과 높은 감내특성을 갖는 고 전압 용 ESD 보호소자들이 연구 개발되고 있다.

### 3. 시스템 IC를 위한 ESD 보호회로 설계 대책

일반적인 시스템 IC의 내부회로를 ESD로부터 보호하기 위한 ESD 보호회로는 적은 면적과 고 신뢰성을 바탕으로 설계되어야 하며, ESD 보호회로 자체의 누설 전류 (Leakage Current) 또한 작아져야 한다. 시스템 IC의 구동회로에서 요구되는 일반적인



ESD 감내특성은 HBM 2 kV, MM 200 V, CDM 500 V이며 각 회로마다 적절한 ESD 보호회로의 설계가 필요하다.

### 3.1 I/O ESD Clamp의 설계 대책 (저 전압)

시스템 IC의 구동 회로는 많은 드라이버 I/O핀이 필요하며 각 핀을 통하여 들어오는 노이즈 및 ESD 펄스에 대한 보호회로가 필요하다. 구동 회로의 고신뢰성 및 저 면적을 이루기 위하여 많은 입출력 핀에 ESD 보호회로가 내장되어야 하며, ESD 보호소자

의 크기는 작아져야 함과 동시에 높은 감내특성으로 많은 I/O 핀에서 ESD에 대한 신뢰성을 높여야 한다. 그림 5에 나타난 구조는 일반적인 GGNMOS의 Non-Uniform한 트리거 특성으로 인한 낮은 감내특성을 개선하기 위하여 게이트 (Gate) 및 바디 (Body) 트리거 기술을 사용한 ESD 보호회로이다.

게이트 및 바디 트리거 방식을 사용한 ESD 보호소자는 MOS의 각 핑거 (Finger)가 Uniform 하게 트리거 되어 일반적인 GGNMOS보다 높은 감내특성을 갖게 되고, 빠른 턴-온 특성으로 ESD Stress 상황에서 빠르게 ESD 전류를 외부로 방전시킬 수 있다. 게이트 및 바디 트리거 방식을 사용한 GGNMOS는 일반적인 GGNMOS보다 트리거 전압 낮아 공정 기술이 발달하면서 더욱 얇아지는 게이트 산화막을 효과적으로 보호할 수 있다. 그리고 시스템 IC의 I/O 핀은 높은 감내특성뿐만 아니라 크기 또한 작아져야 하는데, 그림 6은 GGNMOS의 레이아웃을 변경하여 적은 면적으로 높은 감내특성을 갖는 GGNMOS를 나타내었다.

GGNMOS는 중요한 설계 변수 중 하나인 DCGS (일반적으로 2 um~3 um로 설계)로 인해 전체 면적이 커지게 되는데, 그림 6에서 보인 BEB GGNMOS와 AAS GGNMOS는 레이아웃 설계 시 작은 DCGS 위하여 Poly 저항을 드레인단에 삽입하거나 GGNMOS의 Active 영역을 분할하여 Ballast 저항을 높이는 기술로 적은 면적과 높은 감내특성을 이루었다. 위와 같이 GGNMOS를 사용하여 높은 감내특성과 면적 최소화를 이루어 I/O 핀에 내장하려는 노력이 이루어지는 가운데 SCR을 이용한 ESD 보호소자 또한 저 면적과 높은 감내특성을 이루기에 효과적인 소자이다. 그림 7에서 일반적인 SCR의 구조적인 변경을 통하여 적은 면적과 높은 감내특성을 이룬 SCR 기반 ESD 보호소자를 나타내었다.

PTSCR은 GGNMOS와 SCR이 결합된 소자이며 GGNMOS의 트리거 전류를 이용하여 SCR의 트리거를 유도하는 동작 방식의 소자로 낮은 트리거 전압과 높은 홀딩 전압/전류 특성으로 I/O 클램프와 저 전압 전원 클램프에 사용될 수 있다. 그림 8에 나타난 소자 또한 낮은 트리거 전압과 높은 홀딩전압 특성을 나타내는 소자로 적은 면적과 높은 감내특성

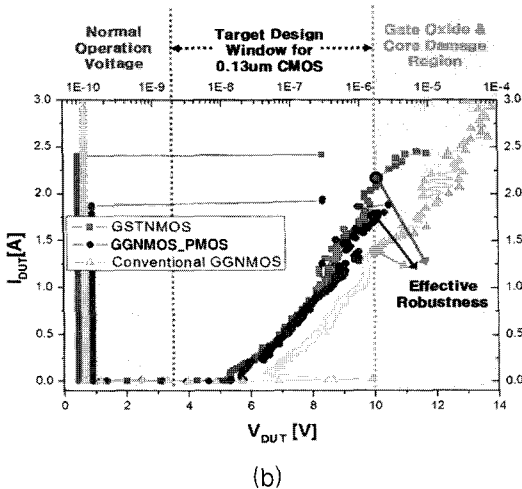
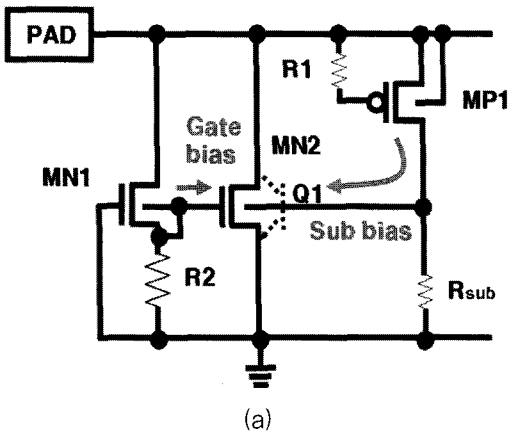


그림 5. (a) 게이트 및 바디 트리거 방식을 사용한 GGNMOS의 회로도 [1], (b) TLP-IV 특성.

을 갖는 ESD 보호소자이다.

그림 7과 그림 8에서 언급한 SCR 기반 ESD 보호 소자는 일반적인 GGNMOS와 비교하여 약 6배 이상의 면적 이득을 얻을 수 있고 5V 이상의 높은 홀딩전압으로 시스템 IC의 구동 회로에서 사용하는 저 전압 전원 3.3V, 5V 시스템에 사용될 수 있을뿐더러 HBM 4kV 이상의 높은 감내특성으로 많은 I/O 핀에 내장되어 높은 신뢰성을 이룰 수 있다.

I/O 핀의 ESD 보호소자의 저 면적뿐만 아니라 Bonding PAD 또한 작게 설계 되어야 한다. 그림 9는 Bonding PAD를 Under PAD로 사용하여 ESD 보호소자를 PAD 밑으로 설계한 기술을 나타낸다. Bonding PAD로 I/O ESD Clamp 설계 시 활용 면적이 20% 이상 증가하여 많은 면적 이득 및 비용 절감을 이룰 수 있다.

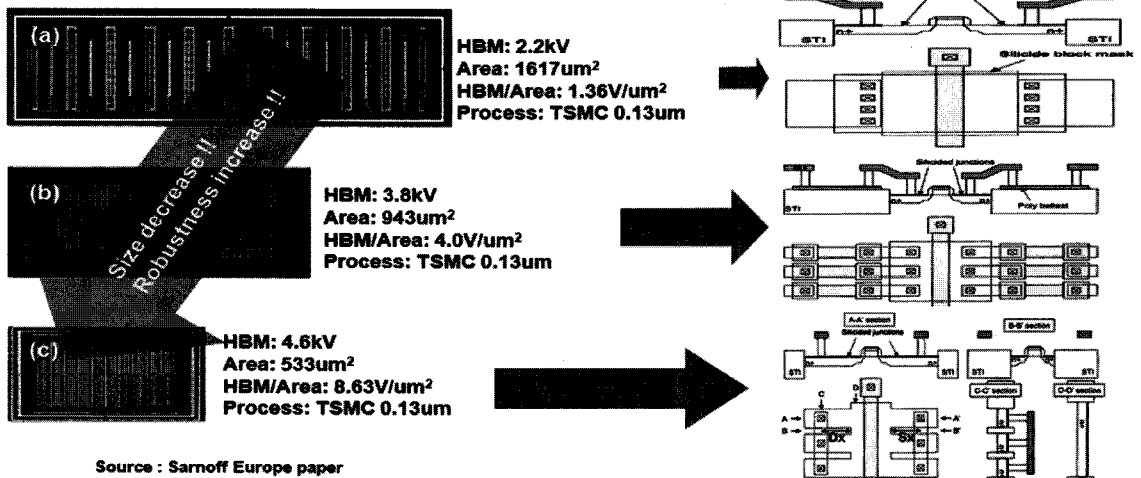


그림 6. (a) 일반적인 GGNMOS, (b) BEB(Back-End-Ballast) GGNMOS, (c) AAS (Active Area Segmentation) GGNMOS [2].

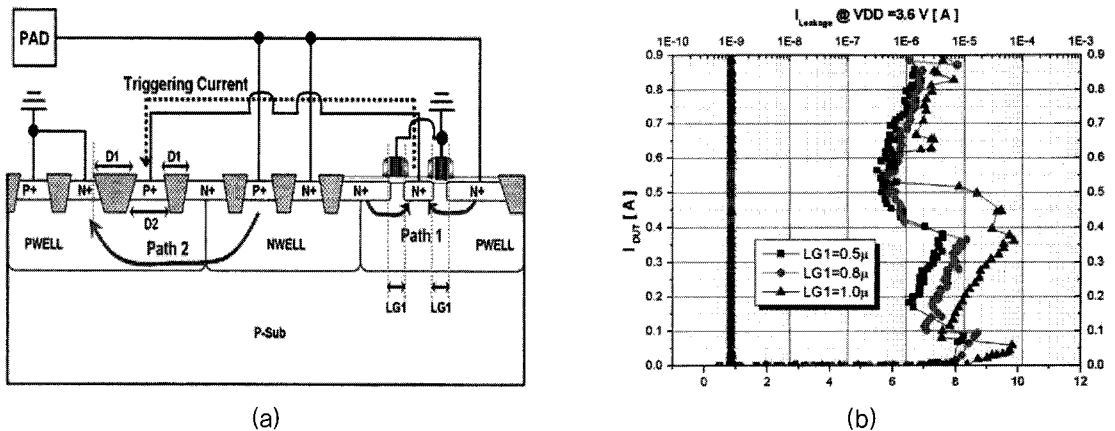


그림 7. PTSCR (P Substrate- Triggered-SCR)의 단면도 및 TLP-IV 특성 [3].

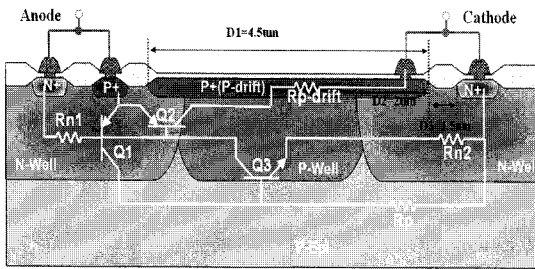


### 3.2 Power Clamp의 설계 대책 (고 전압)

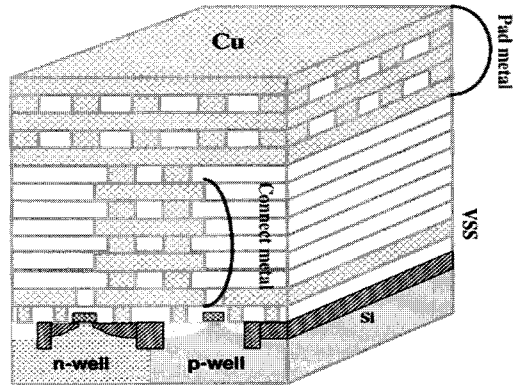
시스템 IC에 사용되는 고 전압 소자는 일반적으로 12 V, 20 V, 40 V의 전원 전압을 사용하는데 고 전압 소자 또한 ESD에 대한 보호가 필요하다. 고 전압 클램프 단에 ESD 보호소자가 내장되어야 하며 ESD 보호 소자는 높은 신뢰성을 위하여 우수한 ESD 감내특성을 갖는 소자로 설계 되어야 하고, 고 전압 VDD와 VSS 사이의 파워 클램프 단에 위치하기 때문에 회로의 정상 동작 상태에서 래치업 면역 특성이 좋은 높은 홀딩전압과 홀딩 전류를 갖는 ESD 보호소자로

회로가 설계되어야 한다. 그림 10에서 높은 래치업 면역 특성을 갖는 PMOS Triggered SCR Power Clamp의 회로도 및 TLP-IV 특성을 나타내었다.

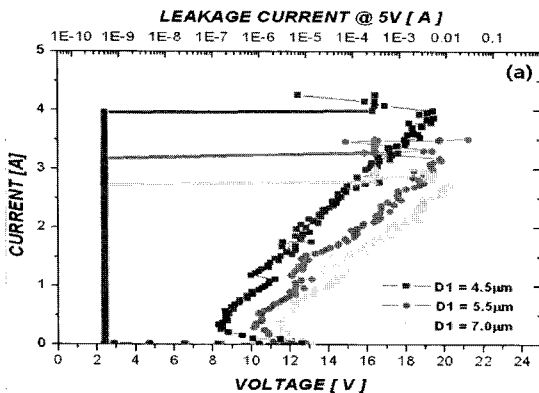
그림 10의 소자는 높은 감내특성을 나타내는 SCR 소자를 기반으로 설계 되었으며, 정상 동작 상태에서의 래치업 방지를 위하여 홀딩 전류를 높인 소자이다 [6]. 일반적인 고 전압 SCR에 트리거 소자로 PMOS가 사용되었다. 고 전압 SCR은 약 150 V 이상의 높은 항복 전압 (PMOS Drain과 HV-Nwell)으로 회로에 적용하기 어렵다. 그러나 그림 10의 소자는 고전압 PMOS를 사용하여 트리거 전압을 낮추었다. 트리거 소자로 고 전압 NMOS 대신 PMOS가 사용



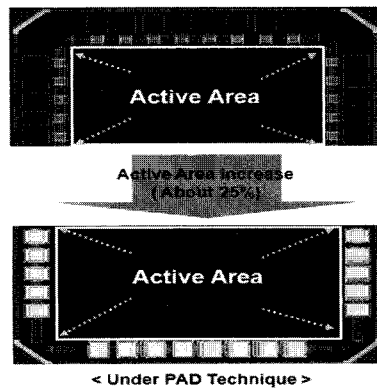
(a)



(a)



(b)



(b)

그림 8. HHVSCR (High Holding Voltage SCR)의 단면도 및 TLP-IV 특성 [4].

그림 9. Under PAD.



된 것은 고 전압 NMOS의 강한 Snapback 특성으로 래치업 위험이 있고, 소자 신뢰성이 낮기 때문에 사용되었다. PMOS가 트리거된 후 트리거 전류는 증가하게 되어 G2 (PNP의 베이스)노드의 전위를 높여 트리거 전류가 300 mA 되었을 때 SCR이 동작하여 ESD 전류를 방전시키게 된다. PMOS의 의한 트리거 전류의 증가로 홀딩 전류 또한 증가하게 되어 정상 동작 상태에서의 래치업 면역 특성을 증가 시켰다. 또한 홀딩 전류의 증가뿐 아니라 홀딩 전압을 전원 전압보다 높게 하여 래치업 특성을 향상 시킨 기술

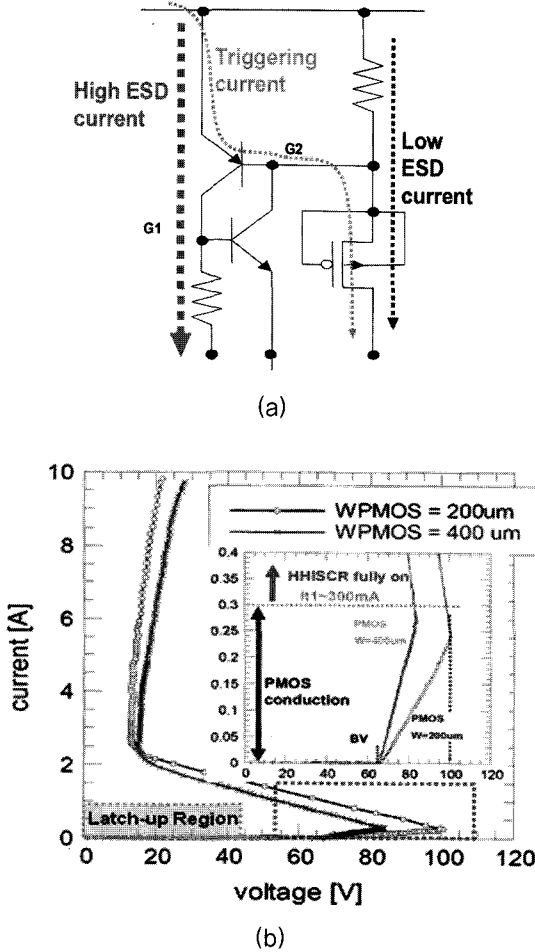


그림 10. (a) PMOS Triggered SCR Power Clamp의 회로도, (b) TLP-IV 특성 [5].

도 있다. 대표적인 기술로 저 전압 소자를 쌓아 올리는 방법 중 일반적으로 사용되는 소자로는 GGNMOS Stack 구조와 FOD (Field Oxide Device) Stack 구조이다. GGNMOS Stack 구조는 저 전압에 사용되는 GGNMOS를 하나씩 쌓아 올려 트리거 전압과 홀딩 전압을 쌓아 올린 개수만큼 높이는 기술이다. 그림 11은 GGNMOS Stack 회로의 TLP IV 특

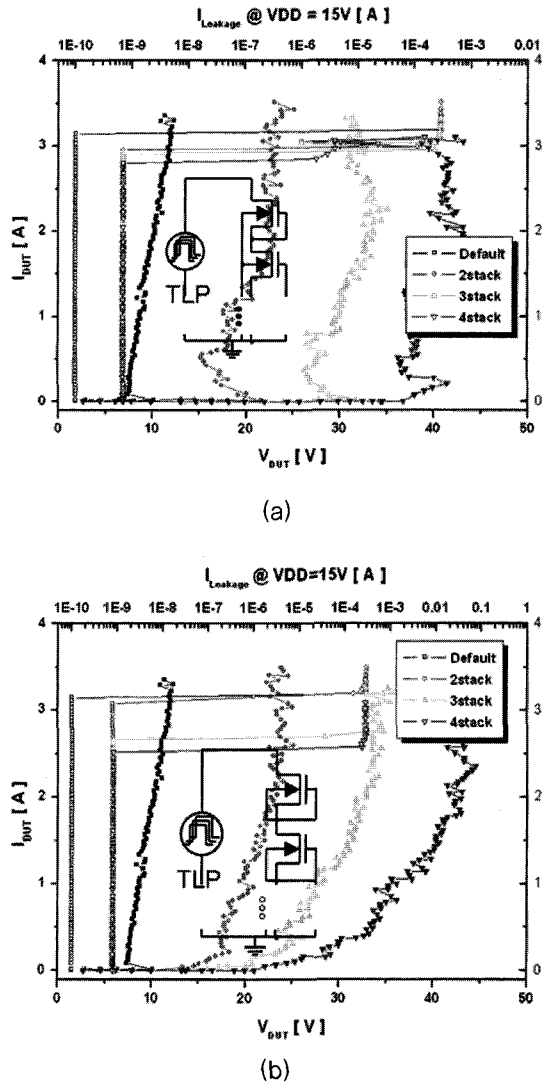


그림 11. GGNMOS Stack의 TLP-IV 특성.

성을 보여준다.

GGNMOS Stack 구조는 패드와 직접적으로 맞닿아 있는 소자부터 트리거 되어 트리거 된 소자로부터 트리거 전류를 받아 순차적으로 MOS가 동작한다. 그림 12는 FOD Stack 구조와 TLU (Transient Latch-Up) 테스트된 전압 파형을 나타낸다.

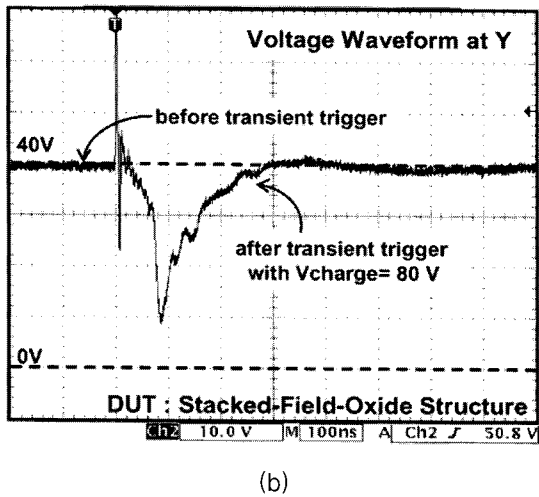
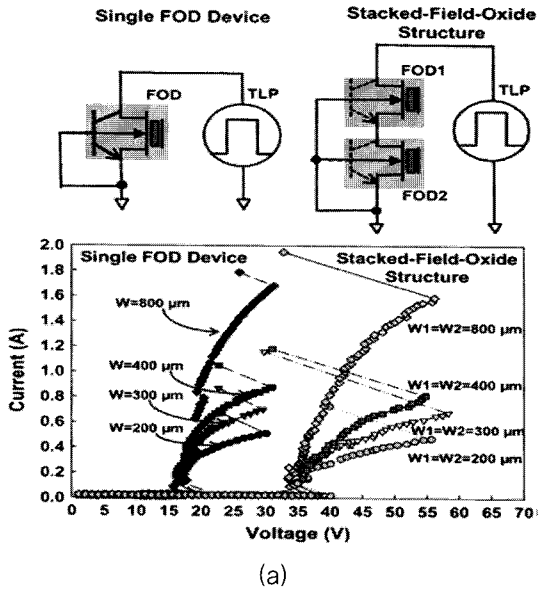


그림 12. FOD Stack의 (a) TLP-IV 특성, (b) TLU 특성 [6].

FOD Stack 구조는 FOD를 하나만 사용했을 때보다 트리거 전압과 홀딩 전압이 약 두 배 정도 증가했다. 이는 GGNMOS Stack과 동일한 특성이며, TLU 테스트된 결과는 FOD Stack 구조는 트리거 되기 전 40 V의 전압 (VDD)이 걸려 있다가 순간적인 ESD Stress에 의해 소자는 트리거 되고 ESD 전류를 방전시킨 후 래치 상태 없이 바로 트리거되기 전의 전압 (40V)으로 돌아오는 것을 확인할 수 있다. 또한 레이아웃의 변경을 통하여 홀딩 전압을 조절하는 기술도 있다. 그림 13은 일반적인 SCR 구조를 애노드 단의 P+와 캐소드 단의 N+를 분할하여 홀딩 전압을 높인

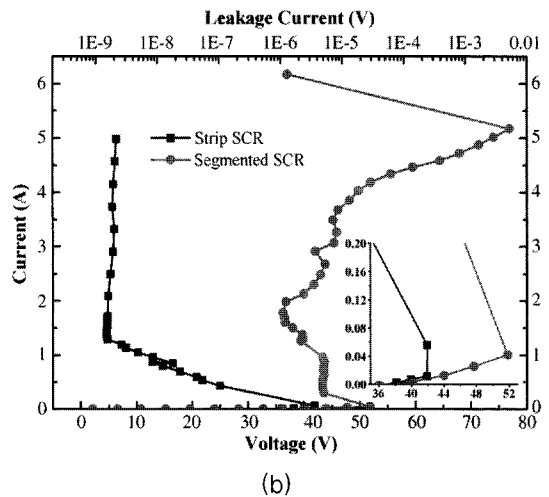
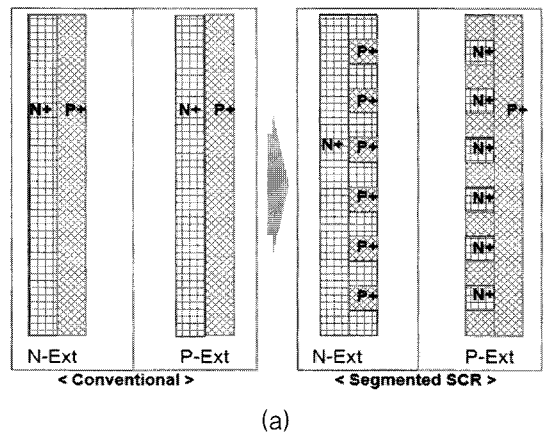


그림 13. Segmented SCR의 (a) 레이아웃, (b) TLP-IV 특성 [7].

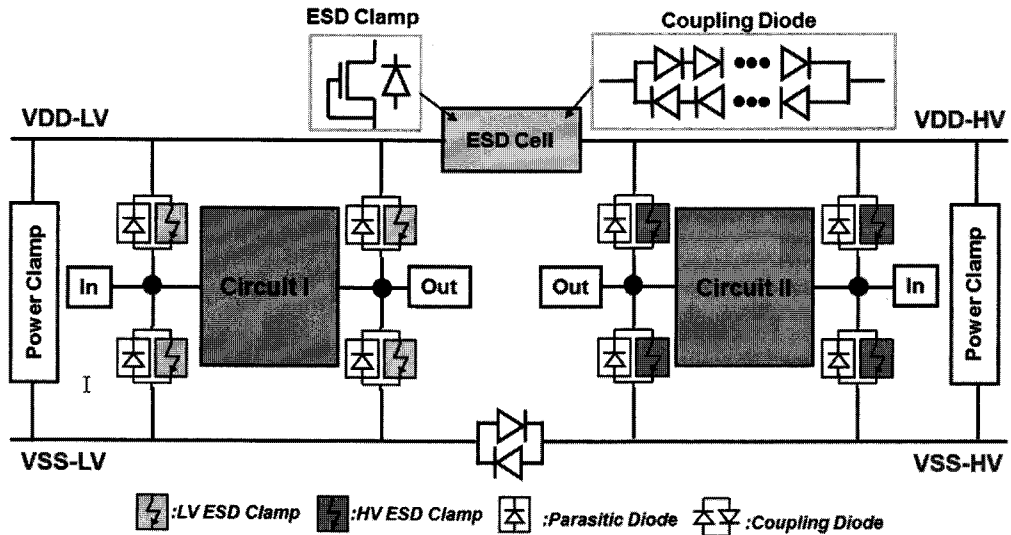


그림 14. 두 전원 전압이 사용되는 회로의 ESD 보호회로.

구조에 대한 그림이다.

일반적인 SCR의 홀딩전압은 1.5 V~2 V이지만 애노드 단의 P+와 캐소드 단의 N+ (기생 NPN/PNP의 이미터) 분할을 통하여 SCR의 기생 바이폴라의 이미터 주입 효율을 낮춰 홀딩 전압을 높였다. 40 V 이상의 홀딩 전압과 높은 감내특성으로 내부회로를 ESD로부터 보호할 수 있으며 정상상태에서의 높은 래치업 특성으로 회로의 신뢰성이 보장 된다.

### 3.3 ON-Chip Design의 ESD 보호회로 설계 대책

앞서 언급한 바와 같이 적절한 I/O와 파워 클램프가 설계되었다면 두 클램프 단을 적절히 ESD 보호회로로 연결되어야 한다. 그림 14는 각 회로에 ESD 클램프 또는 Coupling Diode를 연결해 준 회로이다.

VDD-LV와 VDD-HV 사이에 ESD 클램프 또는 양방향 Coupling 다이오드를 연결하여 각각의 전원전압을 효과적으로 격리할 뿐만 아니라 ESD 펄스 및 노이즈에 대하여 적절하게 방전 시킬 수 있다. 각 전원전압 사이에 들어가는 ESD Clamp와 양방향 Coupling 다이오드는 두 전원 전압의 전압 레벨과 노이즈 레벨에 의존하여 설계해야 하며 신호의 혼선 (Cross-talk)을 위해 VSS 라인은 Coupling 다이오드

로 격리시켜야 한다. 따라서 각 전원전압 라인과 신호 라인에 적절한 ESD 보호회로로 설계된다면 시스템 IC에 대한 높은 신뢰성을 갖게 될 것이다.

## 4. 결론

반도체 산업에서 공정 기술의 발전과 집적회로의 소형화 및 고 집적화는 회로의 성능과 속도 향상을 가져왔지만 ESD 현상에 의한 회로의 오작동 및 파괴는 점점 심각한 문제로 인식되면서 면적 대비 높은 감내특성, 빠른 트리거 속도, 높은 래치업 면역 특성을 갖는 ESD 보호회로의 중요성이 커지고 있으며, 이러한 특성을 갖는 ESD 보호회로가 연구 개발되고 있다. 특히 시스템 IC에서의 ESD로 인한 피해를 막기 위한 저 면적 고 신뢰성이 더욱 요구되고 있다. 높은 래치업 면역 특성과 면적 대비 높은 감내특성을 갖는 ESD 보호소자를 사용하여 ESD 보호회로를 구성한다면 시스템 IC에서 요구하는 저 면적, 고 신뢰성을 효과적으로 이룰 수 있을 것이다.



## 참고 문헌

- [1] Yong-Seo Koo et al., Design of GGNMOS based ESD protection circuits with low trigger voltage, low leakage current and fast turn-on, ETRI Journal Vol 31, Number 6 (2009), pp 725-731
- [2] B. Keppens et al., Active-Area-Segmentation (AAS) technique for compact, ESD robust, fully silicided NMOS Design, EOS/ESD Symp Proc (2003), pp. 250-258.
- [3] Yong-Seo Koo et al., Design of SCR-based ESD Protection Device for Deep-Submicron CMOS Technology, Microelectronics Reliability(2009)
- [4] Yong-Seo Koo et al., The SCR-Based ESD Protection Device with High Holding Voltage, Microelectronics Reliability (2009)
- [5] Bart Keppens , Markus P.J. Mergens et al., ESD Protection Solutions for High Voltage Technologies, Microelectronics Reliability(2005), vol. 46, pp 677-688
- [6] Ming-Dou Ker et al., The Impact of Low-Holding-Voltage Issue in High-Voltage CMOS Technology and the Design of Latch up-Free Power-Rail ESD Clamp Circuit for LCD Driver ICs, Journal of Solid-State Circuits(2005), VOL. 40, NO. 8, pp. 1751-1759
- [7] Zhiwei Liu, Juin J. Liou et al., Novel Silicon-Controlled Rectifier (SCR) for High-Voltage Electrostatic Discharge (ESD) Applications, Electron Device Letters(2008), Vol. 29, No. 7, pp. 753-755

## 저|자|약|력



성 명 : 구용서

◆ 학 력

- 1981년 서강대학교 전자공학과 공학학사
- 1983년 서강대학교 대학원 전자공학과 공학석사
- 1992년 서강대학교 대학원 전자공학과 공학박사

◆ 경 력

- 1983년 - 1993년 한국전자통신연구원 (ETRI) 선임 연구원
- 1993년 - 2009년 서경대학교 전자공학과 교수
- 2009년 - 현재 단국대학교 전자전기공학부 교수

