논문 2010-47SD-1-9

청각신경신호 검출 장치용 다중채널 아나로그 프론트엔드

(Multi-Channel Analog Front-End for Auditory Nerve Signal Detection)

천 지 민*, 임 승 현*, 이 동 명*, 장 은 수*, 한 건 희**

(Jimin Cheon, Seunghyun Lim, Dongmyung Lee, Eunsoo Chang, and Gunhee Han)

요 약

청신경의 이상으로 발생하는 감각신경성 난청의 경우, 달팽이관이나 청각신경에 전극을 이식하여 전기자극을 가함으로써 청각을 살릴 수 있다. 이를 위해 우선적으로, 각 청각신경들이 담당하여 인지할 수 있는 소리의 주파수 분포를 표시한 음계소지도를 파악해야 한다. 본 논문에서는 청각신경신호 검출 장치용 다중채널 아나로그 프론트엔드 회로를 제안한다. 제안된 아나로그 프론트엔드의 각 채널은 AC 커플링 회로, 저 전력 4차 *Gm*-C LPF와 단일 기울기 ADC로 이루어진다. AC 커플링 회로는 청각신호의 불확실한 DC 전압 레벨을 제거하고 AC 신호만 전달한다. *Gm*-C LPF는 청각신호의 대역폭을 고려하여 설계되었으며, 플로팅-게이트 기법이 적용된 OTA를 사용하였다. 채널별 ADC를 구현하기 위해서, 최소의 면적으로 구현할 수 있는 단일 기울기 ADC 구조를 사용하였다. 측정 결과, AC 커플링 회로와 4차 *Gm*-C LPF는 100 Hz - 6.95 kHz의 대역폭을 가지며, 단일 기울기 ADC는 7.7 비트의 유효 해상도를 가진다. 그리고, 채널 당 12 μW의 전력이 소모 되었다. 전원 전압은 3.0 V가 공급되었고, 코어는 2.6 mm × 3.7 mm 의 실리콘 면적을 차지한다. 제안된 아나로그 프론트엔드는 1-poly 4-metal 0.35-μm CMOS 공정에서 제작 되었다.

Abstract

In case of sensorineural hearing loss, auditory perception can be activated by electrical stimulation of the nervous system via electrode implanted into the cochlea or auditory nerve. Since the tonotopic map of the human auditory nerve has not been definitively identified, the recording of auditory nerve signal with microelectrode is desirable for determining the tonotopic map. This paper proposes the multi-channel analog front-end for auditory nerve signal detection. A channel of the proposed analog front-end consists of an AC coupling circuit, a low-power 4th-order *Gm*-C LPF, and a single-slope ADC. The AC coupling circuit transfers only AC signal while it blocks DC signal level. Considering the bandwidth of the auditory signal, the *Gm*-C LPF is designed with OTAs adopting floating-gate technique. For the channel-parallel ADC structure, the single-slope ADC is used because it occupies the small silicon area. Experimental results shows that the AC coupling circuit and LPF have the bandwidth of 100 Hz - 6.95 kHz and the ADC has the effective resolution of 7.7 bits. The power consumption per a channel is 12 μW, the power supply is 3.0 V, and the core area is 2.6 mm × 3.7 mm. The proposed analog front-end was fabricated in a 1-poly 4-metal 0.35-μm CMOS process.

Keywords: Analog front-end, auditory nerve, electrode, floating-gate, Gm-C filter.

I. 서 론

청각 장애 (hearing impairments)의 형태는 크게 외이, 고막, 중이 등 소리를 전달해주는 기관의 장애로 인하여 음파의 전달이 정상적으로 이루어지지 않는 상태로 발생하는 전음성 난청 (conductive hearing loss)와 달팽이관의 소리를 감지하는 기능에 이상이 생기거나 소리에 의한 자극을 뇌로 전달하는 청신경 또는 중추신경계의 이상으로 발생하는 감각신경성 난청 (sensorineural hearing loss)로 구분된다. 현재 전음성 난청의 경우는 대부분 수술적으로 교정이 가능해지면서 [1] 감각신경성 난청의 해결이 더욱 중요해지고 있다.

* 학생회원, ** 평생회원, 연세대학교 전기전자공학과
(Department of Electrical and Electronic Eng., Yonsei University)

※ 본 연구는 한국연구재단을 통해 교육과학기술부의 미래유망 융합기술 파이오니어사업으로부터 지원받아 수행되었습니다 (2009-008-1530).

접수일자: 2009년10월5일, 수정완료일: 2009년12월22일

지난 수십 년 동안, 전기회로 (electrical circuit)를 이용하여 손상된 내이의 청각 신경로 (auditory pathways)를 대체하여 청각 능력을 되살리려는 인공청각 (auditory prosthesis)에 대한 연구가 진행되어 오고 있다. 달팽이관 (cochlea)에 이식한 전극 (electrode)을 통해서 신경계에 전기 자극 (electrical stimulation)을 가해 청지각 (auditory perception)을 성공적으로 살릴 수 있기 때문에, 농 환자 (profoundly deaf patient)를 위한 인공청각은 쉽게 구현이 가능한 상황이다[2~3]. 반면에 달팽이관이 아닌 청각신경 (auditory nerve)에 이식한 전극으로 직접 전기 자극을 가하는 방법은 달팽이관 이식 방법에 비해서, 향상된 스펙트럼 분해능 (spectral resolution)과 저 전력 (low power consumption)의 특성을 가지는 장점이 있다[3]. 또한, 청각신경에 직접 전기 자극을 가하는 방법은 달팽이관마

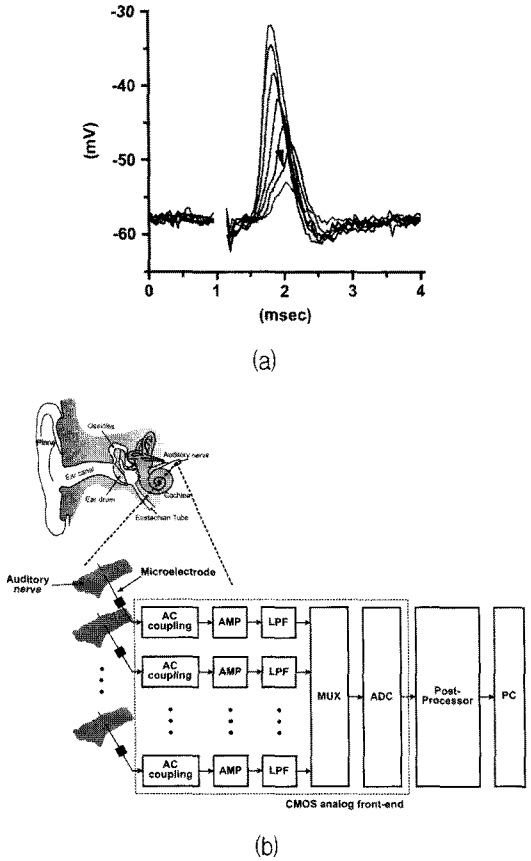


그림 1. (a) 쥐의 청각신경의 활동전위 그래프[6]와 (b) 일반적인 다중채널 청각신경신호 계측 시스템의 블록 다이어그램

Fig. 1. (a) Action potential graph of the auditory nerve for a mouse[6] and (b) block diagram of the conventional multichannel measurement system for the auditory nerve signal.

저 손상된 환자와 달팽이관과 뇌로 연결되는 청각신경이 끊어진 환자인 경우에도 청지각을 살릴 수 있다. 그러나, 각 청각신경들이 담당하여 인지할 수 있는 소리의 주파수 분포를 표시한 음계소 지도 (tonotopic map)는 아직 완전하게 규명되지 않고 있다. 따라서, 청각신경에 직접 전기 자극을 가하는 방법으로 더 좋은 스펙트럼 분해능을 가지도록 청지각을 살리려면, 우선 적으로 음계소 지도를 규명하는 작업이 선행되어야 한다. 이를 위하여, 전극 배열 (electrode array)을 이용하여 뇌신경, 청각신경과 같은 다양한 신경의 전기적인 활동을 검출할 수 있는 뉴럴 레코딩 시스템 (neural recording system)에 대한 연구가 최근 활발히 진행되고 있다[4~5]. 이러한 최근의 신경신호 계측 시스템은 신경조직의 여러 부분에서 일어나는 정보를 동시에 획득하기 위한 다중채널 (multi-channel) 미세 전극 배열 (microelectrode array)과 획득된 신경신호를 처리하기 위한 씨모스 공정을 이용하여 구현한 아나로그 프론트엔드 analog front-end) 블록과 디지털 데이터를 처리하는 후처리기 (post-processor) 블록으로 구현된다. 이때 후처리기 블록은 아나로그 프론트엔드 블록과 함께 한 칩안에 에스오씨 (SoC) 형태로 구현되기도 하고, 아나로그 프론트엔드에서 처리된 후 외부로 읽어낸 디지털 데이터를 가지고 FPGA 보드를 이용하여 구현되기도 한다.

그림 1은 사람과 생리적인 특성이 비슷한 쥐의 청각신경에서 검출되는 청각신경의 활동 전위 (action potential)의 시간에 따른 그래프[6]와 일반적인 청각신경신호 검출을 위한 다중채널 신경신호 계측 시스템의 블록 다이어그램을 보여준다. 그림 1 (a)로 부터 청각신경신호는 수 mV - 수십 mV 수준의 크기와 약 100 Hz - 7 kHz 정도의 대역폭 (bandwidth)[7]을 가지는 것을 알 수 있다. 이러한 청각신경신호를 검출하기 위한 다중채널 계측 시스템을 이루고 있는 하나의 채널은 그림 1 (b)에서 보듯이 미세 전극, AC 커플링 (coupling) 회로, 신호 증폭기 (amplifier), 저대역 통과 필터 (LPF)로 구성된다. 그림 1 (a)에서 청각신경의 활동 전위의 DC 전압 레벨은 음의 값을 가지는 것을 알 수 있으며, 또한 이러한 활동 전위를 검출하는 미세 전극을 금속으로 만드는 경우에는 계면의 DC 전압의 레벨을 더더욱 예상할 수 없게 된다[8]. 따라서, DC 전압의 영향을 제거하기 위하여 고대역 통과 필터 (HPF)를 의미하는 AC 커플링 회로를 이용한다[8]. 그리고, 신호 증폭기는 수 mV -

수십 mV의 미세한 신경신호를 ADC의 입력범위 내의 큰 신호로 증폭하는 역할을 수행하며, 신호 증폭기에 의해서 증폭된 신호는 LPF를 통과하면서 대역폭 이상의 신호는 잡음으로 간주되어 제거된다. 다중채널 회로에 의해서 동시에 검출된 신경신호의 아나로그 출력은 멀티플렉서 (MUX)에 의해 아나로그-디지털 변환기 (ADC)로 순차적으로 전달되어 디지털 신호로 변환된다. 최종적으로 변환된 디지털 신호는 후처리기에 의해서 처리되어 실시간으로 컴퓨터를 통해 모니터링 되고 분석된다. 그림 1 (b)에서 청각신경신호 계측 시스템의 주요 전력 소모원인 각 채널의 LPF는 처리해야하는 신호가 저주파대역 (100 Hz - 7 kHz)이므로 집적회로로 설계하기 위해서는 큰 시상수 (time constant)가 필요하다. 따라서 작은 값을 가지는 트랜스컨덕턴스 (transconductance)와 큰 캐패시턴스 (capacitance)가 집적회로 설계에 주된 제약 요소가 된다. 더더욱 다중채널 시스템의 경우는 집적된 채널의 개수가 늘어날수록 전체 전력소모는 증가하게 되므로 각 채널의 전력소모를 최대한 작게 설계되어야 하며, 제한된 면적에 더 많은 채널을 집적해야 하기 때문에 최대한 작은 캐패시턴스를 갖도록 설계해야 한다. 이를 극복하기 위한 방법으로 스위치드-캐패시터 (switched-capacitor) 기술[9~10]이 보고되었으나, 이 방법은 스위치용 트랜지스터 (transistor)의 누설 전류 (leakage current) 및 스위치 구동을 위한 높은 전압 사용 등의 한계를 가진다. 이 밖에도 밀러 (miller) 효과를 이용한 임피던스 스케일러[11] 및 선형 영역에서 동작 특성을 갖는 로그-도메인 (log-domain) 필터[12] 등으로 구현하는 방법들이 있으나, 열 잡음 (thermal noise) 수준이 증가되는 문제점을 가진다. 그리고, 기존의 청각신경신호 계측 시스템의 경우는 그림 1 (b)에서와 같이 ADC를 MUX를 이용해서 각 채널이 한 개의 ADC를 공유하는 형태로 설계되기 때문에 채널의 개수가 증가할수록 더 높은 ADC의 샘플링 레이트 (sampling rate)가 필요한 단점을 갖는다.

본 논문에서는 플로팅 게이트[13] (floating gate)의 기법을 적용한 트랜스컨덕턴스 증폭기를 이용한 청각신경신호를 처리하는 4차 *Gm*-C LPF와 채널별 (channel-parallel) ADC 구조를 가지는 청각신경신호 검출 장치용 16 채널 아나로그 프론트엔드를 제안한다. 제안된 LPF는 신호 증폭기를 내장함으로써 일반적인 구조에서 개별 블록으로 구성되어 발생되는 전력 소모를 최소화 하였다. 또한, 채널별 (channel-parallel) ADC 구조를 채용함으로써 ADC의 동작 속도의 제약이 있는 기존 구조의 문제점을 해결을 하였다. 이는 각 채널별로 ADC를 두어 각 채널의 디지털 변환이 동시에 일어나기 때문에 채널의 개수가 증가하더라도 ADC의 샘플링 레이트를 증가시킬 필요가 없어 설계 관점에 있어서 유연성을 제공한다. 앞으로 Ⅱ장에서는 설계된 아나로그 프론트엔드의 구조 및 내부 회로에 대해 설명을 보여 줄 것이다. Ⅲ장에서는 구현된 칩의 측정결과를 보여줄 것이며, Ⅳ장에서는 결론을 맺는다.

Ⅱ. 본 론

1. 제안된 아나로그 프론트엔드의 구조

그림 2는 제안된 청각신경신호 검출 장치용 16채널 아나로그 프론트엔드의 구조를 보여준다. 16개의 채널로 구성된 전극 배열을 이용하여 청각신경으로부터 신경신호를 검출한다. 검출된 신경신호는 커패시터와 PMOS 트랜지스터로 구성된 AC 커플링 회로를 거쳐 불확실한 DC 전압의 영향을 제거되고 신경신호의 시간에 대한 변화량만이 LPF에 전달된다. 제안된 LPF는 컷오프 (cut-off) 주파수가 7 kHz가 되도록 *Gm*-C 필터구조로 설계되었으며, 통과대역의 전압이득이 20 dB가 되도록 신호 증폭기를 *Gm*-C 필터에 내장함으로써 신호 증폭기를 개별 블록으로 구성할 때에 비하여 발생되는 전력 소모를 최소화 하였다. 이렇게 필터링이 된 16 채널의 신경신호들은 각 채널별로 있는 ADC에 의해서

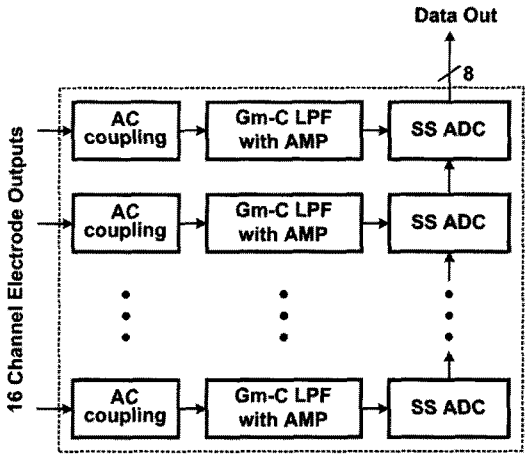


그림 2. 제안된 청각신경신호 검출 장치용 16 채널 아나로그 프론트엔드의 블록다이어그램

Fig. 2. Block diagram of the proposed 16-channel analog front-end for auditory nerve signal detection.

동시에 디지털 변환된다. 채널별 ADC는 청각신경신호 검출에 40 kS/s의 샘플링 레이트 및 8 비트 해상도가 필요하다고 고려되어 설계가 간편하면서도 적은 공간을 차지할 수 있는 단일 기울기 (single slope) ADC 구조로 설계되었다. 또한 변환된 디지털 데이터는 외부로의 전송선 수를 최소화하기 위하여 시리얼라이저 (serializer)를 이용하여 직렬 전송된다.

2. 회로설계

가. AC 커플링 회로

전극으로부터 전달된 청각신경신호는 안정적인 접지가 없는 플로팅 (floating) 상태이기 때문에 이 신호를 LPF의 동작을 위한 공통 전압에 실어 주기 위해서는 그림 3과 같은 AC 커플링 회로가 필요하다. 일반적인 AC 커플링 회로는 칩 밖에서 큰 값의 커패시터와 저항으로 구현되지만, 집적회로로 구현해야 하는 특성상 제안된 AC 커플링 회로는 작은 값의 커패시터 C_{ac}와 트랜지스터 M_{ac}의 바이어스 전압 V_b에 따른 큰 저항 특성을 이용하여 구현 하였다.

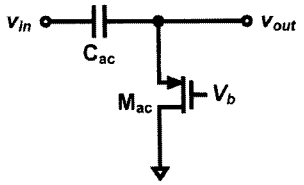


그림 3. AC 커플링 회로
Fig. 3. AC coupling circuit.

나. *Gm*-C LPF

(1) 제안된 *Gm*-C LPF의 구조

그림 4는 제안된 4차 *Gm*-C LPF의 블록도를 보여준다. 제안된 4차 *Gm*-C LPF는 2개의 2차 *Gm*-C LPF가 캐스캐이드 (cascade) 형태로 연결된 구조를 갖는다. 또

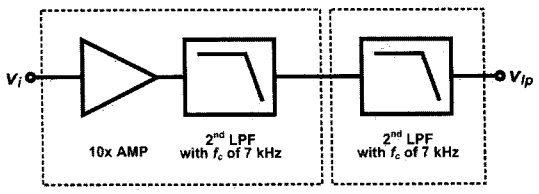


그림 4. 제안된 4차 *Gm*-C LPF의 블록도
Fig. 4. Block diagram of the proposed 4th *Gm*-C LPF with a 10x amplifier.

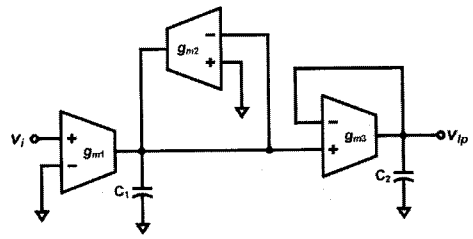
한 첫 번째 2차 LPF에는 작은 전기적 신호 범위를 갖는 청각신경신호를 증폭하기 위한 10배, 즉 20 dB의 전압이득을 갖는 신호 증폭기가 필터의 한 부분으로 공유된 구조로 내장됨으로써 개별 블록으로 구성될 때 발생할 수 있는 불필요한 전력 소모 및 실리콘 면적 소모를 최소화 하도록 했다.

(2) 2차 *Gm*-C LPF

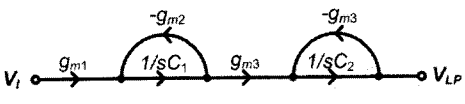
그림 5는 4차 *Gm*-C LPF의 기능블록인 2차 *Gm*-C LPF의 회로도 및 신호선도를 보여준다. 2차 *Gm*-C LPF는 3개의 트랜스컨덕턴스를 갖는 operational transconductance amplifier (OTA) 셀들로 이루어 진 구조로 되어있다. 만약에 $g_{m2} = g_{m3} = g_m$이고 $C_1 = C_2 = C$의 관계를 만족할 때, 제시된 신호선도로부터 구해진 2차 LPF의 전달 함수는 수식 (1)과 같다.

$$\frac{V_{LP}(s)}{V_I(s)} = \frac{\frac{g_{m1}g_m}{C^2}}{s^2 + \frac{2g_m}{C}s + \frac{g_m^2}{C^2}} \tag{1}$$

여기서, 2차 LPF의 통과대역 전압이득은 $A_v = g_{m1} / g_m$으로 구해지고, 컷오프 주파수는 $f_c = g_m / (2\pi C)$ Hz 로 구해진다.



(a)



(b)

그림 5. 구현된 2차 *Gm*-C LPF의 (a) 회로도 와 (b) 신호선도
Fig. 5. (a) Schematic diagram and (b) signal flow graph of the 2nd *Gm*-C LPF.

(3) 4차 *Gm*-C LPF 구현

그림 6은 본 논문에 사용된 4차 *Gm*-C LPF의 전체 회로도를 나타낸 것이다. 4차 필터는 앞에서 언급한 2차 *Gm*-C LPF 두 개를 캐스캐이드로 연결하여 구현하

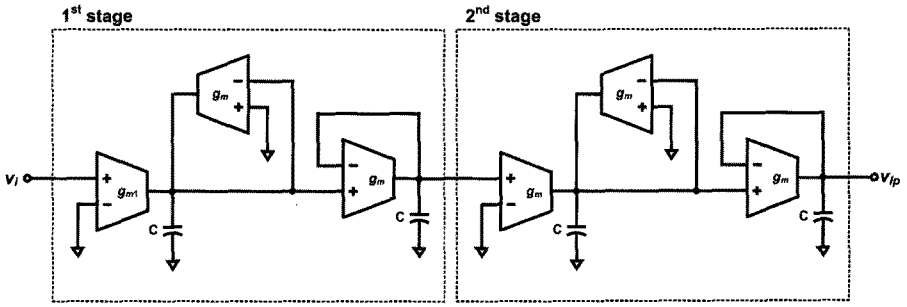


그림 6. 구현된 4차 *Gm*-C LPF의 회로도

Fig. 6. Schematic diagram of the 4th *Gm*-C LPF.

표 1. 4차 *Gm*-C LPF의 파라미터

Table 1. Parameters of the 4th *Gm*-C LPF.

Trans-conductance	g_{m1}	682 nA/V
	g_m	68.1 nA/V
Capacitance	C	1.55 pF

였으며, 첫 번째 단의 2차 LPF에서 첫 번째 OTA의 트랜스컨덕턴스 g_{m1}과 나머지 두 OTA들의 트랜스컨덕턴스 g_m과의 비율을 조절하여 통과대역의 전압이득 20 dB를 맞춘다. 두 번째 단의 2차 LPF의 모든 OTA들은 같은 트랜스컨덕턴스를 갖도록 하여, 전압이득은 0 dB가 된다. 각 이 전달 함수로부터 통과대역 전압이득이 20 dB이고, 컷오프 주파수가 7 kHz가 되도록 하는 각 OTA의 트랜스컨덕턴스 및 커패시턴스 등의 파라미터는 표 1과 같다.

(4) OTA

본 논문에서는 기존 OTA의 트랜스컨덕턴스보다 작은 트랜스컨덕턴스를 갖는 OTA를 구현하기 위한 방법으로 기존 OTA의 입력 구동 단에 플로팅 게이트 기법을 적용하였다. 그림 7 (a)는 플로팅 게이트 PMOS 트랜지스터를 이용한 증폭기의 입력 구동 단 이다. 하나의 입력 트랜지스터는 V_i와 V_{cm}을 두 개의 입력으로 갖기 때문에 플로팅 게이트에 의해서 형성된 두 입력 커패시터에 의해 전압 분배가 이루어져 트랜스컨덕턴스를 줄일 수 있다. 이 기법은 더블-폴리 (double poly)가 지원되지 않는 공정에서도 그림 7 (b) 와 같이 일반적인 커패시터를 이용하여 구현 가능하다. 플로팅 게이트 기법을 통한 유효 트랜스컨덕턴스 (effective transconductance) G_m은 수식 (2)와 같이 감소된다.

$$G_m = \frac{C_A}{C_A + C_B} g_m \tag{2}$$

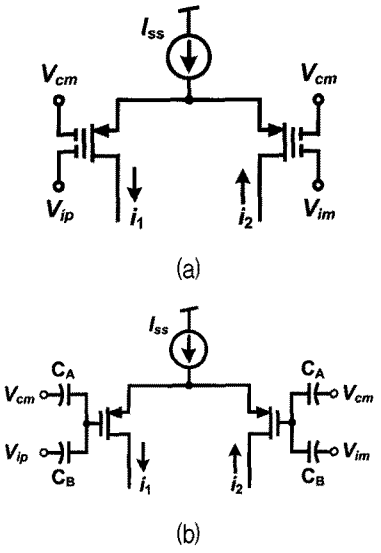


그림 7. 플로팅 게이트를 이용한 트랜스컨덕턴스 감소 기법

Fig. 7. Transconductance reduction technique with floating gate.

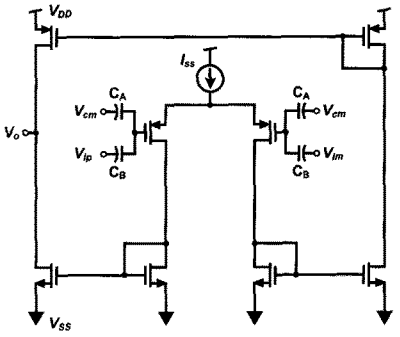


그림 8. 플로팅 게이트 기법을 적용한 OTA의 회로도

Fig. 8. Schematic of the OTA using floating gate technique.

여기서 g_m은 입력 트랜지스터의 트랜스컨덕턴스를 의미한다. 그림 8은 플로팅 게이트 기법이 적용된 OTA의 회로도를 보여준다. g_{m1} = 2.050 μA/V의 트랜스컨덕

턴스를 갖는 OTA의 경우는 비교적 큰 트랜스컨덕턴스를 갖기 때문에 굳이 플로팅 게이트 기법을 적용하지 않고, 그림 8에서 입력부분의 커패시터가 없이 OTA를 설계한 반면, 상대적으로 작은 크기인 g_m = 0.204 μA/V의 트랜스컨덕턴스를 얻기 위해서 구현된 OTA에서는 전류원 I_{ss}는 200 nA, 입력 커패시턴스 비 C_A / C_B 는 1/3로 설정하여 설계하였다.

다. 단일 기울기 ADC

그림 9는 채널별 단일 기울기 ADC의 블록 다이어그램을 보여준다. LPF의 출력을 스위치와 샘플링 커패시터 C_{sh}가 샘플링/홀드를 수행한다. 그 뒤에 8비트 카운가 카운팅을 시작하고, 동시에 램프 (ramp) 신호도 증가하기 시작한다. 램프 신호가 C_{sh}에 샘플링된 신호를 넘어서게 되는 순간에 비교기 (comparator)의 출력이 로직 '1'에서 로직 '0'으로 변하게 된다. 이 순간에 8비트 레지스터 (register)는 카운터의 값을 래칭 (latching)하게 되고, 이때의 8비트 디지털 코드가 샘플링된 LPF 아나로그 출력의 AD 변환 결과이다. 각 채널의 ADC의 출력은 칩 외부로 읽어낼 때, 전송선을 줄이기 위해서 시리얼라이저를 통해서 직렬전송을 하도록 설계되었다.

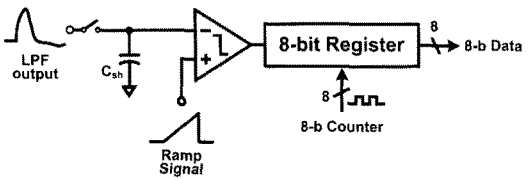


그림 9. 플로팅 게이트 기법을 적용한 OTA의 회로도
Fig. 9. Schematic of the OTA using floating gate technique.

III. 실 험

그림 10은 0.35-μm 1-poly 4-metal CMOS 공정에서 제작된 제안된 아나로그 프론트엔드의 프로토타입 칩의 레이아웃과 사진이다. 패드를 제외한 코어 (core) 의 크기는 2.6 mm × 3.7 mm이다. 커패시터 매칭을 위해 단위 커패시터를 통한 common-centroid 구조를 사용함으로써 커패시터 간에 발생할 수 있는 공정상의 미스매치를 최소로 하여 *Gm*-C LPF가 정확한 주파수 응답을 가질 수 있게 하였다. 제안된 아나로그 프론트엔드는 3.0 V의 전원 전압에서 동작한다. AC 커플링 회로와 *Gm*-C LPF는 1.5 V의 공통 모드 전압을 가지며,

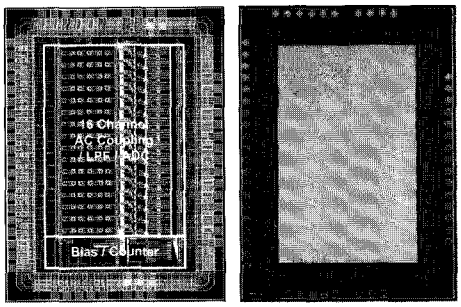


그림 10. 제안된 아나로그 프론트엔드의 프로토타입 칩의 레이아웃과 사진
Fig. 10. Layout and microphotograph of the prototype chip for the proposed analog front-end.

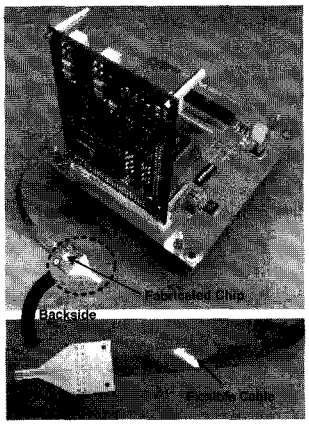


그림 11. 프로토타입 칩의 테스트를 위한 보드 사진
Fig. 11. Photograph of the test board for the prototype chip.

Gm-C LPF의 입력 신호 범위는 100 mV 이다. 단일 기울기 ADC는 1 V의 입력 신호 범위와 40 kS/s의 샘플링 레이트를 가진다.

그림 11은 프로토타입 칩의 테스트를 위한 측정용 보드 사진을 보여준다. 제작된 칩은 나노 와이어를 이용한 미세 전극을 세우기 위한 탭이 부착된 작은 보드에 부착되게 된다. 이는 청각신경신호가 미세 전극을 통해 칩에 도달하는 거리를 줄이기 위함이다. 칩 내부로 인가되는 전원전압, 전류, 기준전압 및 타이밍 신호 등과 칩에서 디지털 변환된 데이터는 플렉서블 케이블 (flexible cable)에 의해 테스트를 위한 마더보드와 주고받게 된다.

그림 12는 80 mV의 정현파가 AC 커플링 회로와 4차 *Gm*-C LPF를 거치고난 출력의 주파수 응답의 시뮬레이션 결과와 측정결과를 보여준다. AC 커플링 회로에 의해서 100 Hz 이하의 주파수를 가지는 DC에 가까운 신호는 감쇄되는 결과를 얻을 수 있었다. 그리고 측

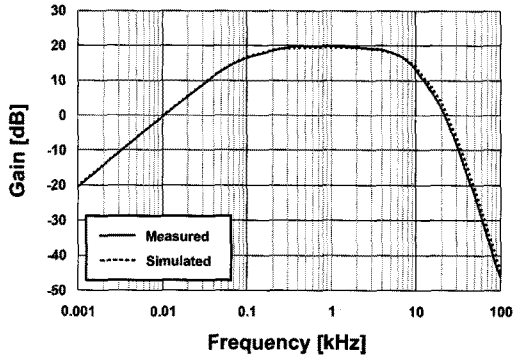


그림 12. 80 mV의 크기를 가지는 정현파 입력에 대한 주파수 응답

Fig. 12. Frequency response for the sinusoidal input signal with the magnitude of 80 mV.

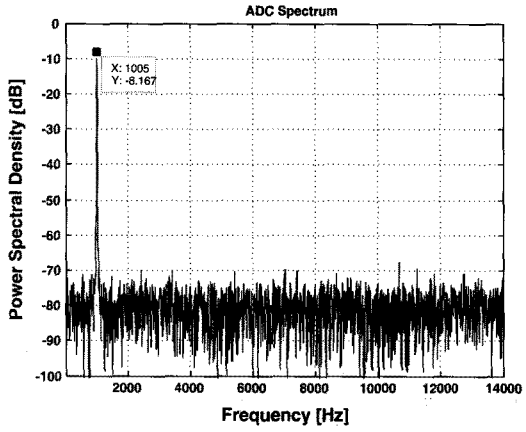


그림 13. -8 dB_{FS}, 1 kHz 정현파 입력에 대한 ADC의 측정된 출력 스펙트럼

Fig. 13. Measured output spectrum of ADC for -8 dB_{FS}, 1 kHz sinusoidal input.

표 2. 성능 요약

Table 2. Performance summary.

Technology	0.35-μm 1P4M
Supply voltage	3.0 V
Gm-C LPF cutoff freq.	6.95 kHz
Gm-C LPF gain	19.9 dB
ADC sampling rate	40 kS/s
Effective Resolution	7.7 bits
ADC INL/DNL	< ±0.5 LSB
Power consumption per a channel	12 μW

정된 LPF에 의한 컷오프 주파수는 6.95 kHz로 시뮬레이션 결과인 7 kHz와 거의 일치하였다. 통과대역의 전압이득은 19.9 dB로 측정되었다.

그림 13은 -8 dB_{FS}, 1 kHz 정현파 입력에 대한 ADC의 측정된 출력 스펙트럼을 보여준다. 측정된 SNDR은 48 dB이고, 유효 해상도 (effective resolution)는 7.7 비트이다.

AC 커플링 회로, *Gm*-C LPF, 단일 기울기 ADC로 이루어진 채널에서 소모되는 전력은 12 μW 로 측정 되었다. 표 2는 측정된 프로토타입 칩의 성능 요약을 보여준다.

Ⅳ. 결 론

본 논문에서는 청각신경신호를 검출하기 위한 16 채널 아나로그 프론트엔드를 제안하였다. 제안된 아나로그 프론트엔드는 AC 커플링 회로, 4차 *Gm*-C LPF와 단일 기울기 ADC로 구성되었다. AC 커플링 회로는 전극으로 신경신호를 검출할 때, 불확실한 DC 전압 레벨을 제거하고 신경신호의 전압 레벨을 뒷 단의 LPF의 공통모드 전압에 맞추는 역할을 수행한다. 집적회로로 구현하기 위하여, 커패시터와 트랜지스터의 저항을 이용하였다. 제안된 4차 *Gm*-C LPF는 저주파 대역의 필터를 구현하기 위해 플로팅 게이트 기법을 이용하여 트랜스컨덕턴스를 줄여서 구현하였다. 또한 신호 증폭기를 LPF와 공유함으로써 청각신경에서 나오는 작은 레벨의 신호를 증폭 할 수 있게 하였고, 그 결과 일반적인 구조와 비교 하였을 때 전력 소모를 보다 개선 할 수 있었다. LPF의 아나로그 출력은 단일 기울기 ADC를 이용하여 변환하였고, 설계된 ADC는 샘플링 레이트는 40 kS/s이고, 유효 해상도는 7.7 비트의 성능을 보였다. 채널 당 소모되는 전력은 12 μW로 측정되었다. 최종적으로는 생체실험을 할 때 배터리를 사용하여 실험을 진행하는데 시스템을 동작시키기 무리가 없는 전력소모이고, 배터리 사용기간도 상당히 향상시킬 수 있을 것으로 보인다. 또한 제안된 아나로그 프론트엔드는 청각신경신호 뿐만 아니라 여러 신경신호를 처리하는 다른 의료용 기기에서도 유용하게 활용될 것으로 기대된다. 현재, 실제로 쥐의 청각신경에 미세 전극을 이식하기 위한 나노 와이어 제작과 생체실험을 위한 테스트 환경 구축이 진행되고 있다.

참 고 문 헌

[1] 박기현, 정연훈, "전음성 난청의 치료," *Journal of Clinical Otolaryngol*, 제14권, 제2호, pp. 188-197, 2003

[2] F. -G. Zeng, A. Popper, and R. Fay, *Cochlear*

implants: electric hearing and auditory prostheses, New York, NY: Springer-Verlag, 2004.

[3] D. J. Anderson, "Penetrating multichannel stimulation and recording electrodes in auditory prosthesis research," *Hearing Research*, vol. 242, no. 1-2, pp. 31-41, January 2008.

[4] J. Wu, W. -F. Feng, and W. C. Tang, "A multi-channel low-power circuit for implantable auditory neural recording microsystems," in Proc. International Conference of Biomedical Engineering, Paper #4B1-05, CD-ROM, Singapore, December, 2005.

[5] R. R. Harrison *et al.*, "A Low-Power Integrated Circuit for a Wireless 100-Electrode Neural Recording System," *IEEE J. Solid-State Circuits*, vol. 42, no. 1, pp. 123-133, January 2007.

[6] D. Oertel, R. Bal, S. M. Gardner, P. H. Smith, and P. X. Joris, "Detection of synchrony in the activity of auditory nerve fibers by octopus cells of the mammalian cochlear nucleus," *Proceedings of the National Academy of Sciences of the United States of America*, vol. 97, no. 22, pp. 11773-11779, October, 2004.

[7] K. Najafi and K. D. Wise, "An implantable multielectrode array with on-chip signal processing," *IEEE J. Solid-State Circuits*, vol. 21, no. 6, pp. 1035-1044, December 1986.

[8] T. Jochum, T. Denison, and P. Wolf, "Integrated circuit amplifiers for multi-electrode intracortical recording," *Journal of Neural Engineering*, vol. 6, no. 1, pp. 1-26, January 2009.

[9] A. Bashirotto, D. Bijno, R. Castello, and F. Montecchi, "A 1V 1.2μW 4th order bandpass switched-opamp SC filter for a cardiac pacer sensing stage," in Proc. ISCAS, vol. 3, pp. 173-176, Geneva, May 2000.

[10] B. Kim, Y. Chae, and G. Han, "A 1-V 0.4-uW SC Band-Pass Filter for Implantable Cardiac Pacemaker Applications," in Proc. Int. SoC Design Conf., pp. 11-14, Seoul, Korea, October 2006.

[11] S. Solis-Bustos, J. Silva-Martinez, F. Maloberti, and E. Sanchez-Sinencio, "A 60-dB dynamic-range CMOS sixth-order 2.4-Hz low-pass filter for medical applications," *IEEE Trans. Circuits Syst.-II*, vol. 47, no. 12, pp. 1391-1398, December 2000.

[12] A. Gerosa, A. Maniero, and A. Neviani, "A fully integrated Dual-channel Log-Domain Programmable Preamplifier and Filter for an Implantable Cardiac Pacemaker," *IEEE Trans. Circuits Syst.-I*, vol. 51, no. 10, pp. 1916-1925, October 2004.

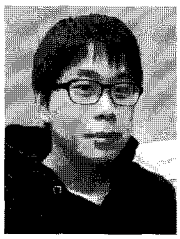
[13] P. Garde, "Transconductance cancellation for operational amplifiers," *IEEE J. Solid-State Circuits*, vol. SC-12, pp. 310-311, June 1977.

저 자 소 개

천 지 민(학생회원)

2003년 연세대학교 전자공학과 학사졸업.
2005년 연세대학교 전자공학과 석사졸업.
2009년 현재 연세대학교 전자공학과 박사과정.

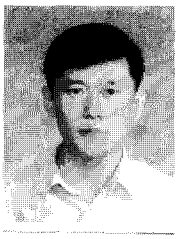
<주관심분야 : CMOS Image Sensor, Range Finder, 아나로그 회로 설계>



이 동 명(학생회원)

2003년 연세대학교 전자공학과 학사졸업.
2005년 연세대학교 전자공학과 석사졸업.
2009년 현재 연세대학교 전자공학과 박사과정.

<주관심분야 : 초고속 시리얼 인터페이스용 아나로그 회로 설계, 이퀄라이저, CDR>



한 건 희(평생회원)

1990년 연세대학교 전자공학과 학사졸업.
1997년 텍사스 A&M 전자공학과 박사졸업.
1998년 연세대학교 전자공학과 조교수.
2009년 현재 연세대학교 전자공학과 교수.

<주관심분야 : CMOS Image Sensor, 초고속 아날로그 회로설계, 초저전력 Δ-Σ 모듈레이터>

임 승 현(학생회원)

2003년 연세대학교 전자공학과 학사졸업.
2005년 연세대학교 전자공학과 석사졸업.
2009년 현재 연세대학교 전자공학과 박사과정.

<주관심분야 : CMOS Image Sensor, 초고속 아나로그 회로 설계>

장 은 수(학생회원)

2008년 연세대학교 전자공학과 학사졸업.
2009년 현재 연세대학교 전자공학과 석사과정.

<주관심분야 : CMOS Image Sensor, WDR 픽셀 디바이스>