

논문 2010-47SD-1-8

# 컬럼 레벨 사이클릭 아날로그-디지털 변환기를 사용한 고속 프레임 레이트 씨모스 이미지 센서

(High Frame Rate CMOS Image Sensor with Column-wise Cyclic  
ADC)

임승현\*, 천지민\*, 이동명\*, 채영철\*, 장은수\*, 한건희\*\*

(Seunghyun Lim, Jimin Cheon, Dongmyung Lee, Youngcheol Chae, Eunsoo Chang, and Gunhee Han)

## 요약

본 논문에서는 고해상도 및 고속 카메라용 column-wise Cyclic ADC 기반의 이미지 센서를 제안한다. 제안된 센서는 면적 및 전력 소모를 최소화 하기 위해 내부 블록에 사용되는 operational transconductance amplifier (OTA) 및 capacitor를 공유하는 기법을 사용하였다. 제안된 ADC는 QVGA급 화소의 이미지 센서로 프로토타입 칩을 제작하여 검증되었다. 측정결과, 최대 프레임 레이트는 120 fps 이며, 전력소모는 130 mW 이다. 전원 전압은 3.3 V가 공급되었고, 프로토타입은 4.8 mm × 3.5 mm 의 실리콘 면적을 차지한다.

## Abstract

This paper proposes a high-resolution and high-frame rate CMOS image sensor with column-wise cyclic ADC. The proposed ADC uses the sharing techniques of OTAs and capacitors for low-power consumption and small silicon area. The proposed ADC was verified implementing the prototype chip as QVGA image sensor. The measured maximum frame rate is 120 fps, and the power consumption is 130 mW. The power supply is 3.3 V, and the die size is 4.8 mm × 3.5 mm. The prototype chip was fabricated in a 2-poly 3-metal 0.35- $\mu$ m CMOS process.

**Keywords :** Analog-to-digital converter, CMOS image sensor, cyclic ADC, high-definition TV, operational transconductance amplifier.

## I. 서론

디지털 카메라 시스템에서 CMOS 이미지 센서는 우수한 집적성과 PD 성능 개선 등으로 인해 mobile-phone application에서부터 디지털 스틸 카메라에 이르기 까지 그 시장 영역을 넓혔으며, 점차 HDTV 및 UDTV등의 비디오 영역까지 응용 범위를 확장해 나가고 있는 추세이다. 따라서 이미지 센서의 해상도가 VGA급에서 수 백만 화소에 이르기 까지 급속히 고해

상도화 되고 있다. 특히, 비디오 application에서는 화소수에 못지 않게 프레임 레이트가 센서의 중요한 평가 기준이 되고 있다. 그림 1은 비디오용 이미지 센서의 응용 범위에 따른 포맷을 보여주고 있다<sup>[1~2]</sup>. HDTV급 이미지 센서는 5-mega 화소의 해상도에 30 fps 정도의 프레임 레이트가 요구되며, UDTV급에서는 10-mega 화소, 60 fps 의 프레임 레이트가 필요하다. 이러한 조건을 만족시키기 위해서는 HDTV와 UDTV에서 각각 150 Mega-pixel/sec 와 600 Mega-pixel/sec 의 높은 data rate 이 필요하다. 일반적으로 높은 data rate를 갖는 고해상도의 이미지 센서는 컬럼마다 ADC를 두는 column-wise 구조를 사용하여 ADC의 속도에

\* 학생회원, \*\* 평생회원, 연세대학교 전기전자공학과  
(Department of Electrical and Electronic Eng.,  
Yonsei University)  
접수일자: 2009년8월12일, 수정완료일: 2009년12월21일

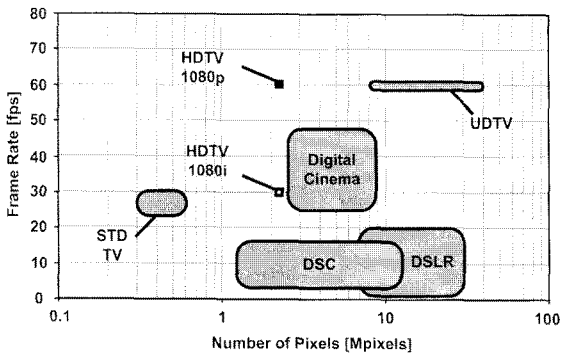


그림 1. 비디오용 이미지센서 포맷  
Fig. 1. Image sensor formats for video application.

대한 부담을 줄인다. 면적이 작은 Single-slop ADC가 column-wise 구조에 보편적으로 사용되고 있다<sup>[3-4]</sup>. 하지만, 5-mega 화소 30 fps 이상의 프레임 레이트를 요구하는 이미지 센서에서는 Single-slope ADC 역시 속도의 한계가 있기 때문에 대안적인 리드아웃 회로에 대한 연구가 반드시 필요하다.

고화소의 이미지 센서를 화면의 끊김 현상이 없는 프레임 레이트로 동작시키기 위해서는 data conversion rate ( $f_{CON}$ ) 이 충분히 높아야 된다. Column-wise ADC 구조의 이미지 센서에서 data conversion rate 과 프레임 레이트 ( $FR$ ) 및 화소 수 ( $N_{ROW} \times N_{COL}$ ) 간의 관계는 수식 (1)과 같이 근사화 될 수 있다.

$$f_{CON} = FR \times N_{ROW} \text{ [sample/s]} \quad (1)$$

또한 data conversion rate를 통해 ADC의 유형에 따른 ADC의 마스터 클럭 주파수 ( $f_{CK}$ )를 계산할 수 있는데 N-bit의 해상도를 가정하면 Single-slop ADC와 Cyclic ADC의 클럭 주파수는 각각 수식 (2), (3)과 같다.

$$f_{CK:SS} = 2^N \cdot f_{CON} \text{ [Hz]} \quad (2)$$

$$f_{CK:CY} = N_p \cdot N \cdot f_{CON} \text{ [Hz]} \quad (3)$$

수식 (3)에서  $N_p$ 는 cyclic 변환에서 비트당 소요되는 phase의 수를 의미한다. 예를 들어, 30 fps로 동작하는 5-Mpixel CIS ( $N_{ROW} \times N_{COL} = 2000 \times 2500$ )의 data conversion rate를 수식 (1)로부터 구하면  $f_{con} = 60$  K sample/s 이다. 이 센서에 single-slop ADC를 사용하였을 때와 cyclic ADC를 사용하였을 때의 마스터 클럭 주파수를 비교하기 위해 10-bit 급 ADC를 가정하면 식 (2)로부터 single-slop ADC의  $f_{CLK}$ 은 약 61.4 MHz가

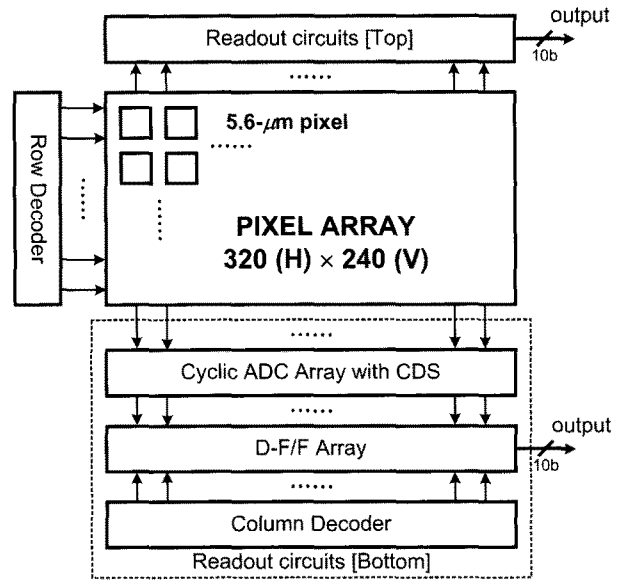


그림 2. 제안된 이미지 센서의 전체 구조  
Fig. 2. Overall architecture of the proposed image sensor.

요구된다. 한편, cyclic ADC에서는 1 비트 값을 결정하기 위해 샘플-홀드 동작과 증폭 동작 및 오프셋 제거 동작 등 3 phase가 필요하므로  $f_{CLK}$ 이 1.8 MHz가 요구되기 때문에 single-slop ADC에 비해 약 34배 만큼의 저속으로도 동작 가능하다. 바꾸어 말하면, 마스터 클럭 주파수가 고정되어 있을 경우 cyclic ADC가 single-slop ADC에 비해 data conversion rate가 34배 빠르다는 것을 의미한다. 현재 single-slop ADC를 사용한 고화소의 이미지 센서에서 데이터를 빠른 속도로 읽어내면 램프 제너레이터의 전류 구동 능력의 한계로 인해 고조도의 이미지 손상 및 SHBN (Smear-like Horizontal Band Noise) 등 문제점이 노출되고 있으므로 이러한 문제를 극복하기 위한 방법으로 cyclic ADC 기반의 이미지 센서가 보고되었다<sup>[5-8]</sup>.

기존의 보고된 싸이클릭 ADC는 operational transconductance amplifier (OTA) 및 capacitor를 공유하여 면적 소모를 상당 부분 감소시켰으나, fully-differential 구조를 사용하여 컬럼 피치가 40 um로 상당히 넓은 단점을 지니고 있어서 그 응용 분야가 저화소 이미지센서로 제약된다. 또한 기존의 싸이클릭 ADC는 OTA의 오프셋으로 인해 컬럼 FPN이 심각한 잡음 수준을 가지는 문제점을 노출하고 있다.

본 논문에서는 고해상도 및 고속 카메라용 컬럼 레벨 싸이클릭 ADC 기반 이미지 센서를 제안한다. 면적 및 전력 소모를 최소화 하기 위해서 제안된 ADC는 내부

블록에 사용되는 OTA 및 capacitor를 공유하였으며 single-ended 구조를 사용 하였다. 또한 제안된 ADC는 OTA의 오프셋을 제거하기 위한 오토제로 기법을 적용하여 기존의 싸이클릭 ADC 기반 이미지 센서에서 문제가 되었던 컬럼 FPN을 제거하였다. 제안된 센서는 QVGA급 화소의 이미지 센서로 프로토타입 칩을 제작하여 검증하였다.

## II. 본 론

### 1. 제안된 싸이클릭 ADC 기반 이미지 센서

제안된 CMOS 이미지 센서는 컬럼 레벨 싸이클릭 ADC 구조의 리드아웃 회로를 기반으로 하며, 전체 구조는 그림 2와 같다. 전체 회로는 320 × 240의 픽셀 어레이, CDS 내장형 싸이클릭 ADC, 10-bit D-F/F, row decoder 및 column decoder로 구성되어 있다. 각 픽셀은 pinned-PD 4-TR active pixel sensor로 구현되었고, 픽셀 피치는 5.6 μm이다. 픽셀 피치가 작기 때문에 컬럼 리드아웃 회로의 레이아웃을 효율적으로 진행하기 위해 홀수 컬럼과 짝수 컬럼을 분리하여 리드아웃 회로를 상하 대칭으로 배치하였다.

컬럼 레벨 싸이클릭 ADC 설계 시 가장 고려되어야 할 사항은 ADC의 면적과 전력 소모이다. 좁은 컬럼 피치(pitch)로 ADC의 레이아웃 면적이 한정되기 때문에 ADC의 내부 블록들은 가능한 공유하여 compact하게 만들어야 한다. 그림 3은 제안된 cyclic ADC의 블록도를 나타낸다. Fixed pattern noise (FPN) 제거를 위한 correlated double sampler (CDS) 블록과 샘플-홀드 및 2배 증폭기 등에 사용되는 OTA를 1개만을 사용하여

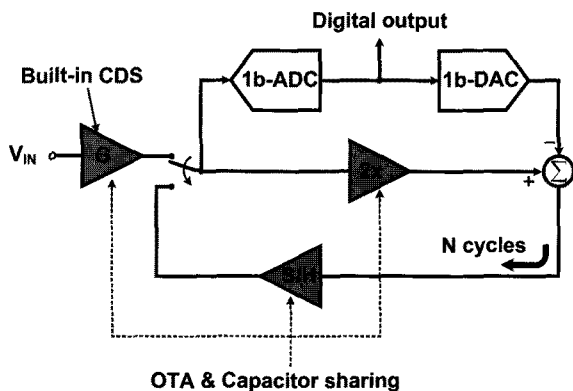


그림 3. 제안된 cyclic ADC의 블록도  
Fig. 3. Block diagram of the proposed cyclic ADC.

공유하였다. 그 결과로 2개의 OTA를 줄일 수 있기 때문에 면적 소모는 물론 전력 소모도 줄이는 효과를 얻을 수 있다. 특히 각 블록에 사용되는 capacitor들의 공유는 실리콘 면적을 상당히 절약하는 효과가 있다.

### 2. 회로 및 동작 원리

그림 4는 제안된 CDS 내장형 cyclic ADC의 전체 회로도 및 시간 도이다. 제안된 ADC는 1개의 OTA와 3개의 capacitor 및 비교기로 구성되어 있다.

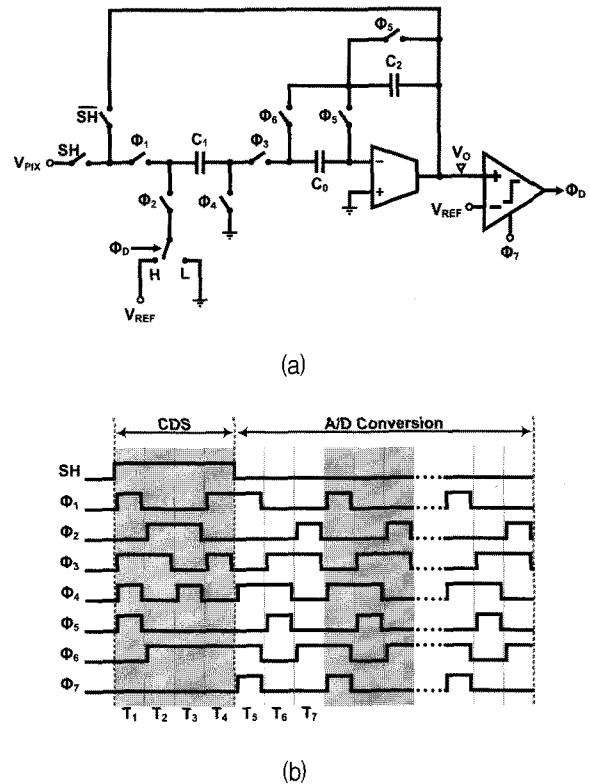


그림 4. CDS를 내장한 cyclic ADC.

(a) 회로도, (b) 시간도.

Fig. 4. Proposed cyclic ADC with built-in CDS.

(a) Schematic diagram, (b) Timing diagram.

#### 가. Correlated double sampling

그림 5는 CDS 동작을 위한 회로 구성을 보여준다. 제안된 회로는 오토-제로 기법을 적용하여 OTA의 오프셋을 제거하여 컬럼 FPN을 최소화하고, 적분기의 증폭비를 2배로 하여 ADC의 입력 신호 범위를 2배로 확장한다. A/D 변환에 앞서 이루어지는 CDS는 T<sub>1</sub> - T<sub>4</sub>의 4개의 phase를 가진다. T<sub>1</sub> phase에서는 OTA의 오프셋 전압을 C<sub>0</sub>에 저장하고, 픽셀의 리셋 전압 V<sub>RST</sub>를 C<sub>1</sub>에 저장한다. T<sub>2</sub> phase에서는 C<sub>1</sub>에 저장되었

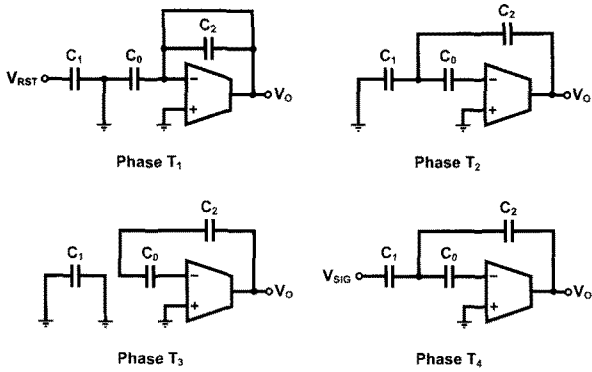


그림 5. CDS 동작을 위한 회로 구성.  
Fig. 5 Circuit configuration for CDS.

던  $V_{RST}$ 를  $C_2$ 에 비 반전으로 적분하여 다음의 출력 전압을 생성한다.

$$V_{O,T_2} = 2 V_{RST} \quad (4)$$

T3 phase에서는  $C_1$ 의 전하를 비워내고,  $C_2$ 의 양단의 전압을 홀드 (hold) 한다. T4 phase에서는 픽셀의 신호 전압  $V_{SIG}$ 를  $C_2$ 에 반전으로 적분한다. 따라서  $C_2$ 에 저장된 출력 전압은 다음과 같다.

$$V_{O,T_4} = 2(V_{RST} - V_{SIG}) \quad (5)$$

수식 (5)로부터 CDS가 끝난 후 출력 전압은 2 배 증폭되기 때문에 ADC의 입력 신호가 늘어나는 장점을 가진다.

나. Cyclic A/D 변환

제안된 cyclic ADC의 동작은 그림 6과 같이 3개의 phase로 이루어져 있다. T5 phase에서는 CDS가 끝난 후의 신호 전압  $V_O$ 를  $C_1$ 에 샘플링하고, 그 전압을 비교기를 통해 비교하여 식 (6)의 결과에 따라 D-F/F에 저장한다.

$$\Phi_D = \begin{cases} H, & V_O > V_{REF} \\ L, & V_O < V_{REF} \end{cases} \quad (6)$$

T6 phase에서는 OTA의 오프셋을 제거하기 위해  $C_0$ 에 샘플한다. T7 phase에서는  $C_1$ 의 한쪽 노드가 비교기의 출력에 따라  $V_{REF}$  또는 접지로 연결되어  $C_1$ 에 저장되어 있던 전하를  $C_2$ 로 이동시킨다. 이때  $C_1$ 과  $C_2$ 의 비율 때문에 증폭기 출력은 2배 증폭되어 식 (7)과 같다.

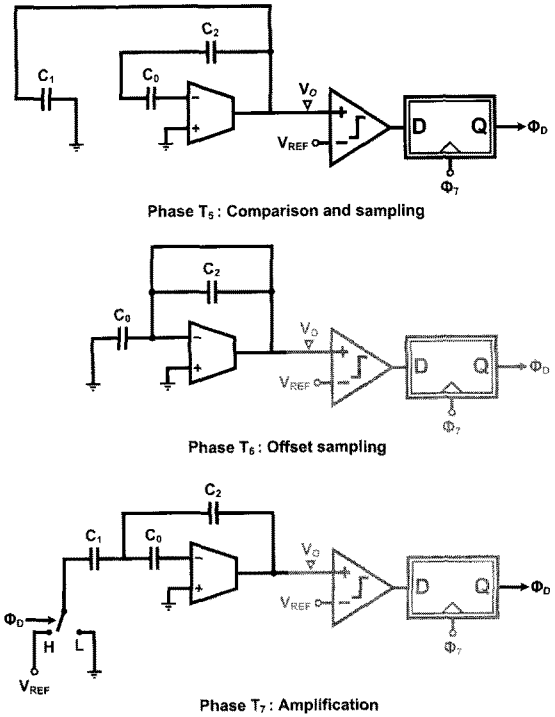


그림 6. A/D 변환을 위한 회로 구성.  
Fig. 6. Circuit configuration for A/D conversion.

$$V_{O(n+1)} = 2 [V_{O(n)} - \Phi_D \cdot V_{REF}] \quad (7)$$

나머지 비트에 대해서도 위의 과정을 반복하여 최종의 변환된 디지털 값을 얻는다.

다. OTA

Cyclic ADC의 내부 블록 중 OTA는 가장 핵심적인 부분이다. 그림 7은 제작된 이미지 센서에 사용된 mirrored OTA를 나타낸다. 그림 8의 모의 실험 결과, 오픈-루프 이득은 81 dB 이고, GBW는 135 MHz 이며,

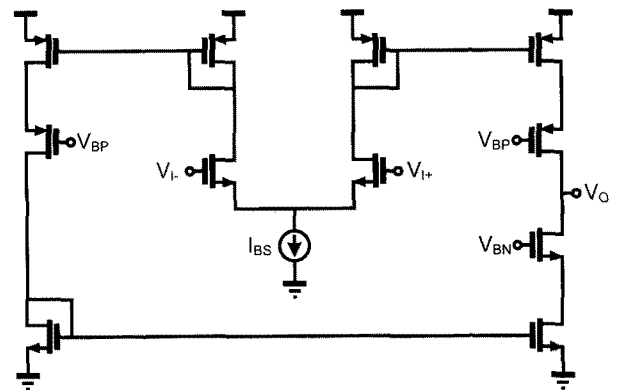


그림 7. 설계된 OTA의 회로도.  
Fig. 7. Schematic of the designed OTA.

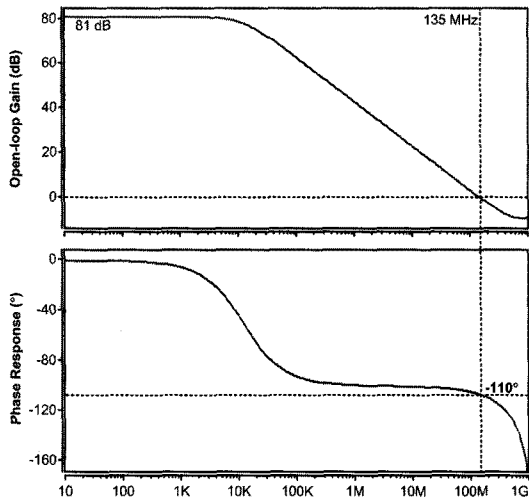
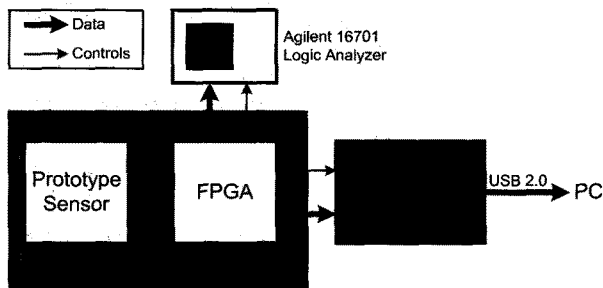


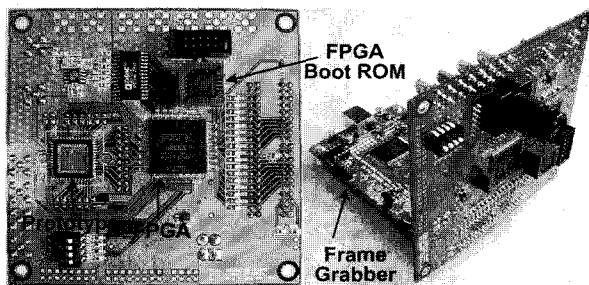
그림 8. 설계된 OTA의 모의실험 결과.  
Fig. 8. Simulation results of the designed OTA.

표 1. 설계된 OTA의 사양  
Table 1. Specification of the designed OTA.

Supply voltage	3.3 V
Open-loop gain	81 dB
GBW	135 MHz
Phase margin	70°
Slew rate	15.3 V/ $\mu$ s
Output swing	0.5 - 2.8 V
Tail current ( $I_{BS}$ )	10 $\mu$ A



(a)



(b)

그림 9. 측정용 PCB 회로와 테스트 셋업.  
(a) 블록 도. (b) PCB 회로의 사진  
Fig. 9. Test PCB circuits and test setup.  
(a) Block diagram. (b) Photography of test PCB.

Phase margin은 70°를 가진다. 나머지 사양은 표 1에 제시 되었다.

### III. 측정 환경 및 측정 결과

#### 1. 측정 환경

프로토타입 센서는 픽셀과 CDS 및 ADC를 포함하는 아날로그 회로와 메모리 블록의 동작에 필요한 모든 컨트롤 신호를 칩의 외부에서 공급 받도록 구성하였다. 이러한 설계 방식은 회로의 레이아웃이 간단해지고, 개별 블록의 동작을 확인 하는데 유용하며, 특히 다양하고 정밀한 제어가 가능하므로 test coverage를 높이는 장점을 가진다. 그림 9.(a)는 프로토타입 센서를 측정하기 위한 셋업 환경을 나타내는 블록 도이다. 모든 컨트롤 신호는 FPGA(field programmable gate array)에서 생성되고, 프로토타입 센서에서 A/D 변환을 거쳐 리드아웃 된 데이터는 다시 FPGA에서 버퍼링 과정을 거쳐 상용 frame grabber에 전달된다. 이때 frame grabber는 센서의 출력 영상을 PC에서 실시간으로 관찰할 수 있도록 USB 단자를 이용하여 PC에 연결된다. 한편 로직 분석기 (logic analyzer)는 칩 안에 내장된 테스트용 ADC의 정밀한 성능 분석을 위해 사용된다. 그림 9.(b)는 측정용 PCB 기판과 HyVision에서 제공되는 상용 frame grabber의 연결된 사진을 보여준다. 프로토타입 이미지 센서는 밝기가 2.4 (F-number: 2.4)

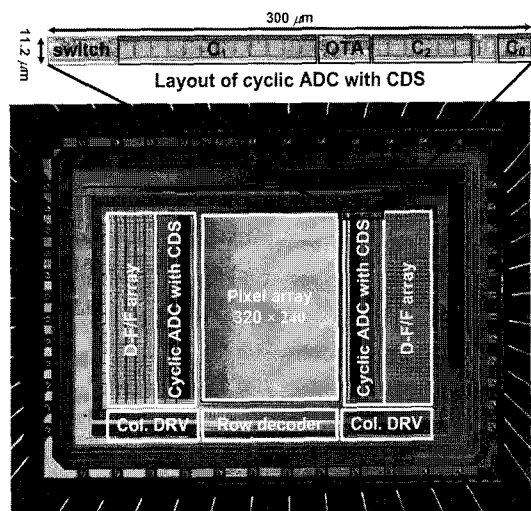


그림 10. 제안된 cyclic ADC 기반 이미지 센서의 칩 사진.  
Fig. 10. Chip microphotograph of the CMOS image sensor with the proposed cyclic ADC.

인 렌즈가 장착된 경통 아래에 위치해 수광 하도록 되어 있다.

2. 측정 결과

그림 9는 0.35- $\mu\text{m}$  2-Poly 3-Metal CMOS 공정에서 제작된 프로토타입 센서의 칩 사진이다. 칩 크기는 4.8 mm  $\times$  3.5 mm 이다. 픽셀 어레이의 크기는 QVGA 급으로 구성되었다. 각 픽셀은 pinned-PD 4-TR active pixel sensor로 구현 되었고, 픽셀 피치는 5.6  $\mu\text{m}$  이다. 리드아웃 회로의 레이아웃 면적 제약을 극복하기 위해 even-odd column을 분리하여 리드아웃 회로를 좌우 대칭으로 배치하였다. 그림 9에 포함된 컬럼 ADC의 레이아웃 결과는 ADC의 컬럼 피치는 11.2  $\mu\text{m}$ 이고, 컬럼 길이는 300  $\mu\text{m}$  임을 보여주고 있다. 컬럼 ADC의 아날로그 회로 중에서 커패시터가 레이아웃의 절대 다수의 면적을 차지하기 때문에 커패시터는 기생 성분을 작게 하기 위해서 아날로그 회로의 배선 길이가 가장 짧은 방향으로 배치하였다. 이미지 센서에서 컬럼 메모리는 일반적으로 실리콘 면적을 적게 차지하는 SRAM 어레이 형태로 구현되지만, 센스 앰프 (Sense Amp) 등의 회로 및 복잡한 컨트롤 신호가 요구되는 단점을 가지게 된다. 따라서 프로토타입 센서에서는 테스트의 간결성을 고려하여 D-F/F (D-Flip Flop) 어레이 형태로 컬럼 메모리를 구현하였다. 컬럼 디코더 역시 테스트의 간결성을 고려하여 쉬프트 레지스터로 구현되었다.

그림 11은 60 frames/s 의 프레임 레이트에서 측정된 픽셀의 광-전기 변환 특성을 보여준다. 선형적인 픽셀의 신호 범위는 약 0.77 V이고, 측정된 픽셀의 감도

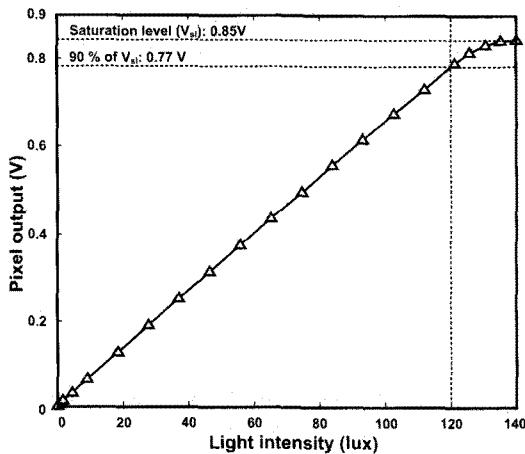
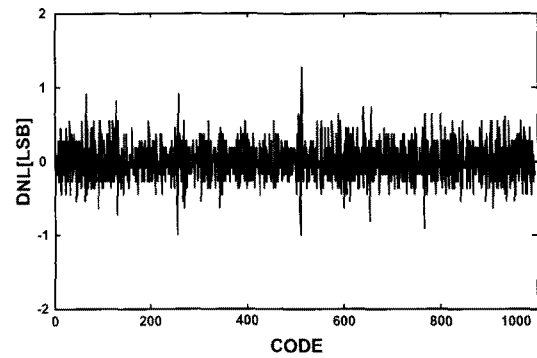
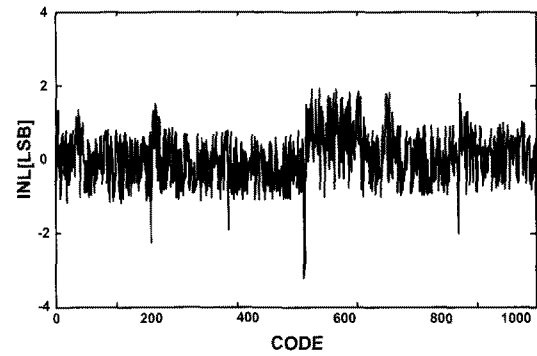


그림 11. 측정된 광-전기 변환 특성.  
Fig. 11. Measured photo-electric conversion characteristics.



(a)



(b)

그림 12. 측정된 DNL 과 INL. (a) DNL. (b) INL.  
Fig. 12. Measured DNL and INL. (a) DNL. (b) INL.

(sensitivity)는 0.39 V/lux/s 이다. ADC의 정밀한 성능 분석을 위해 전기 신호를 입력으로 받는 테스트 컬럼이 각 컬럼 어레이의 한 측면에 배치되었다. 그림 12는 측정된 ADC의 DNL (differential nonlinearity)과 INL (integral nonlinearity)을 보여준다. 테스트용 ADC는 +1.2/-1.0 LSB의 DNL 과 +1.93/-3.23 LSB 의 INL을 가진다. Temporal noise 및 FPN 등의 제안된 이미지 세서의 잡음 특성을 분석하기 위해 100 프레임의 영상을 연속으로 촬영하여 데이터를 분석하였다. SHBN 잡음을 측정하기 위해 Row FPN 성분은 모두 제거 하였으며 그 결과는 그림 13과 같다. SHBN 잡음은 +0.163/-0.183 LSB 이다. 측정된 temporal noise 는 0.04 % 이고, column FPN은 0.035 %, Row FPN은 0.02 % 이다. 그림 14 는 60 frames/s에서 측정된 샘플 이미지 이다. 12 MHz의 주파수를 갖는 clock이 프로토타입 센서의 master clock으로 사용 되었다. 한 row 의 픽셀 신호를 읽어내는데 소요되는 row time은 34.5  $\mu\text{s}$  이다. Row time 중 CDS 시간은 6  $\mu\text{s}$ , A/D 변환 시간은 2.5  $\mu\text{s}$  이고, A/D 변환이 완료된 후 컬럼 메모리에 저장된 데이터를 읽어내는 컬럼-스캔 시간은 약 26  $\mu\text{s}$ 이다. 프레임

표 2. 성능요약

Table 2. Performance summary.

Process	0.35- $\mu$ m CMOS
Die size	3.46 mm $\times$ 4.86 mm
Pixel array	320 $\times$ 240
Pixel size	5.6 $\mu$ m $\times$ 5.6 $\mu$ m
ADC resolution	10 bit
ADC DNL	+1.2/-1.0 LSB
ADC INL	+1.93/-3.23 LSB
Temporal noise	0.04 %
Column FPN	0.035 %
Row FPN	0.023 %
SHBN	0.004 %
ADC sampling rate	400 KS/s
Max. frame rate	120 fps
Power supply	3.3 V
Power consumption	130 mW @ 60 fps

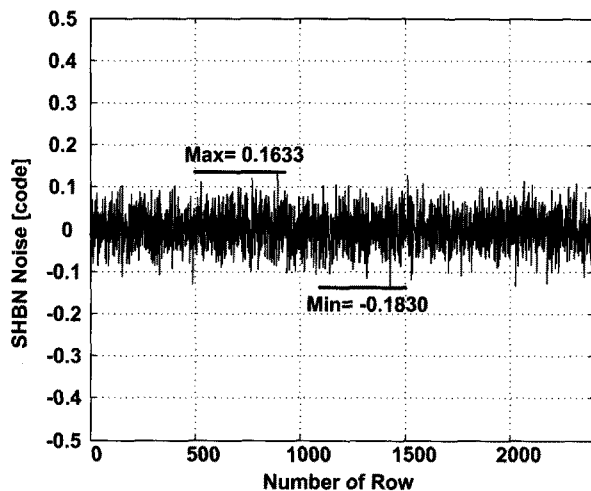


그림 13. 측정된 SHBN 잡음.

Fig. 13. Measured SHBN noise.

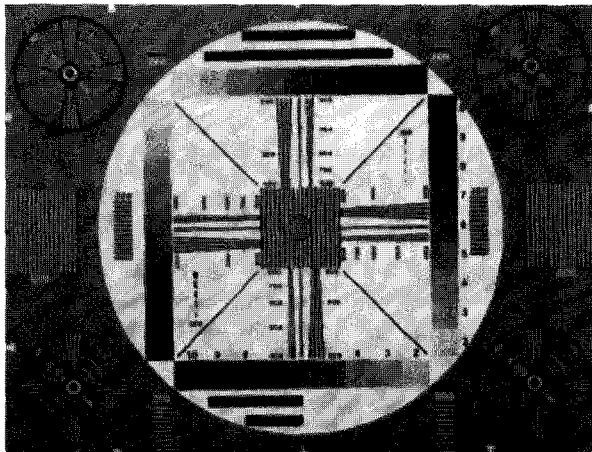


그림 14. 60 frames/s에서 측정된 샘플 이미지.

Fig. 14. Sample image captured from the prototype sensor at 60 frames/s.

레이트를 높이기 위해 각 컬럼에 메모리를 추가하여 pipe-line 방식으로 컬럼-스캔을 하는 리드아웃 방식을 사용하게 되면 프로토타입 센서의 최대 프레임 레이트는 490 frames/s로 개선될 수 있다. 반면 single-slope 구조의 경우, 86  $\mu$ s의 A/D 변환 시간이 요구되고, 최대 프레임 레이트는 약 45 frames/s로 제약된다. 따라서 제안된 구조가 기존 single-slope 방식의 리드아웃 구조 대비 약 11 배 빠른 프레임 레이트를 가질 수 있다. 전원 전압은 3.3 V 이고, 총 전력 소모는 극 저조도 환경에서 130 mW이다. 나머지 측정 결과는 표 2에 요약 및 정리되었다.

#### IV. 결론

본 논문에서는 고해상도 및 고속 카메라용 이미지 센서의 구현을 위한 column-wise Cyclic ADC를 제안하였다. 제안된 cyclic ADC는 OTA 와 capacitor 공유 기법을 통해 저전력 및 적은 면적 소모를 달성하였다. 제안된 리드아웃 방식은 QVGA 화소급 이미지 센서를 기준으로 하였을 때 기존 single-slope 방식 대비 약 11배의 프레임 레이트 개선 효과가 있다. 제안된 구조는 고속 고화소 이미지 센서 및 machine vision 등에 응용 가능하다.

#### 참고 문헌

- [1] A. Gerosa, A. Maniero, and A. Neviani, "A fully integrated two-channel A/D interface for the acquisition of cardiac signals in implantable pacemakers," *IEEE J. Solid-State Circuits*, vol. 39, no. 7, pp. 1083-1093, July 2004.
- [2] L. S. Y. Wong, S. Hossain, A. Ta, J. Edvinsson, H. H. Rivas, and H. Nääs, "A Very Low-Power CMOS Mixed-Signal IC for Implantable Pacemaker Applications," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2446-2456, Dec. 2004.
- [3] A. Bashiroto, D. Bijno, R. Castello, and F. Montecchi, "A 1V 1.2 $\mu$ W 4th order bandpass switched-opamp SC filter for a cardiac pacer sensing stage," in *Proc. ISCAS*, Geneva, May 2000, vol. 3, pp. 173-176.
- [4] A. E. Zadeh, "Nano-power switched-capacitor bandpass filters for medical implantable pacemakers and defibrillators," in *Proc.*

MWSCAS, Aug. 2008, pp. 29-32.

[5] S. Decker, R. D. McGrath, K. Brehmer, and C. G. Sodini, "A 256 × 256 CMOS Imaging Array with Wide Dynamic Range Pixels and Column-Parallel Digital Output," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 2081-2091, Dec. 1998.

[6] M. Mase, S. Kawahito, M. Sasaki, Y. Wakamori, and M. Furuta, "A Wide Dynamic Range CMOS Image Sensor With Multiple Exposure-Time Signal Outputs and 12-bit Column-Parallel Cyclic A/D Converters," *IEEE J. Solid-State Circuits*, vol. 40, no. 12, pp. 2787-2795, Dec. 2005.

[7] M. Furuta, Y. Nishikawa, T. Inoue, and S. Kawahito, "A High-Speed, High-Sensitivity Digital CMOS Image Sensor With a Global Shutter and 12-bit Column-Parallel Cyclic A/D Converters," *IEEE J. Solid-State Circuits*, vol. 42, no. 4, pp. 766-774, Apr. 2007.

[8] S. Kawahito, J. Park, K. Isobe, S. Shafie, T. Iida, and T. Mizota, "A CMOS Image Sensor Integrating Column-Parallel Cyclic ADCs with On-Chip Digital Error Correction Circuits," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2008, pp. 56-595.

저 자 소 개



임 승 현(학생회원)  
 2003년 연세대학교 전자공학과  
 학사졸업.  
 2005년 연세대학교 전자공학과  
 석사졸업.  
 2009년 현재 연세대학교  
 전자공학과 박사과정.

<주관심분야 : CMOS Image Sensor, 초고속 아나로그 회로 설계>



천 지 민(학생회원)  
 2003년 연세대학교 전자공학과  
 학사졸업.  
 2005년 연세대학교 전자공학과  
 석사졸업.  
 2009년 현재 연세대학교  
 전자공학과 박사과정.

<주관심분야 : CMOS Image Sensor, Range Finder, 아나로그 회로 설계>



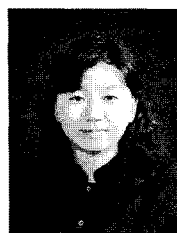
이 동 명(학생회원)  
 2003년 연세대학교 전자공학과  
 학사졸업.  
 2005년 연세대학교 전자공학과  
 석사졸업.  
 2009년 현재 연세대학교  
 전자공학과 박사과정.

<주관심분야 : 초고속 시리얼 인터페이스용 아나로그 회로 설계, 이퀄라이저, CDR>

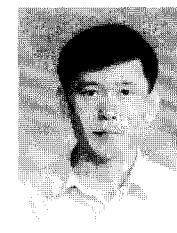


채 영 철(학생회원)  
 2003년 연세대학교 전자공학과  
 학사졸업.  
 2005년 연세대학교 전자공학과  
 석사졸업.  
 2009년 현재 연세대학교  
 전자공학과 박사졸업.

<주관심분야 : 씨그마-델타 ADC용 아나로그 회로 설계, CMOS Image Sensor>



장 은 수(학생회원)  
 2008년 연세대학교 전자공학과  
 학사졸업.  
 2009년 현재 연세대학교  
 전자공학과 석사과정.  
 <주관심분야 : CMOS Image  
 Sensor, WDR 픽셀 디바이스>



한 건 희(평생회원)  
 1990년 연세대학교 전자공학과  
 학사졸업.  
 1997년 텍사스 A&M 전자공학과  
 박사졸업.  
 1998년 연세대학교 전자공학과  
 조교수.

2009년 현재 연세대학교 전자공학과 교수.  
<주관심분야 : CMOS Image Sensor, 초고속 아나로그 회로설계, 초저전력 Δ-Σ 모듈레이터>