

논문 2010-47SD-1-5

FPGA를 이용한 다채널 비동기 통신용 IC 설계

(The Design of Multi-channel Asynchronous Communication IC Using FPGA)

옥 승 규*, 양 오**

(Seungkyu Ock and Oh Yang)

요 약

본 논문에서는 FPGA와 VHDL을 이용하여 다채널 비동기 통신용 IC를 설계하였다. 기존에 상용되고 있는 대부분의 비동기 통신용 IC들은 최대 1~2채널(Channel)로 구성되어 있다. 따라서 2채널 이상의 통신 시스템을 구성할 때 원가가 높아지고 구현하기도 복잡해진다. 그리고 매우 적은 송수신 버퍼(Buffer)를 가지고 있으므로 고속으로 대용량의 데이터를 전송할 경우 마이크로프로세서에 걸리는 부하가 많아지게 된다. 이러한 문제를 해결하기 위해 본 논문에서는 비동기 통신 채널 8개를 단 한 개의 IC로 설계하여 원가 절감 및 기능과 성능을 향상 시키도록 설계하였으며, 송수신 버퍼의 크기를 각각 256 바이트로 설계함으로써 고속의 통신을 가능하게 하였다. 또한 통신시 오동작을 방지하기 위해 디지털(Digital) 필터 및 체크섬(Check-sum) 로직을 설계하여 신뢰성을 향상시켰으며, 채널 믹스 로직을 설계하여 각 채널별 입/출력을 자유롭게 선택하도록 하여 통신 채널에 대한 입/출력 포트를 유연하게 사용할 수 있도록 설계하였다. 이와 같이 설계된 다채널 비동기 통신 IC를 ALTERA사의 Cyclone II Series EP2C35F672C8과 QuartusII V8.1을 이용하여 로직을 합성 및 시뮬레이션 하였다. QuartusII 시뮬레이션과 실험에서 성공적으로 수행되었으며, 설계된 IC의 우수성을 보이기 위해 비동기 통신 칩으로 많이 사용되고 있는 TI(Texas Instruments)사의 TL16C550A, ATMEL사의 ATmega128 범용 마이크로 컨트롤러와 수행시간 및 성능을 비교하여 본 논문에서 설계된 다채널 비동기 통신용 IC의 우수함을 확인하였다.

Abstract

In this paper, the IC (Integrated Circuit) for multi-channel asynchronous communication was designed by using FPGA and VHDL language. The existing chips for asynchronous communication that has been used commercially are composed of one to two channels. Therefore, when communication system with two channels or more is made, the cost becomes high and it becomes complicated for communication system to be realized and also has very little buffer, load that is placed into Microprocessor increases heavily in case of high speed communication or transmission of high-capacity data. The designed IC was improved the function and performance of communication system and reduced costs by designing 8 asynchronous communication channels with only one IC, and it has the size of transmitter/receiver buffer with 256 bytes respectively and consequently high speed communication became possible. To detect errors between communications, it was designed with digital filter and check-sum logic and channel MUX logic so that the malfunction can be prevented and errors can be detected more easily and input/output port regarding each communication channel can be used flexibly and consequently the reliability of system was improved. It was composed and simulated logic of VHDL described by using Cyclone II Series EP2C35F672C8 and QuartusII V8.1 of ALTERA company. In order to show the performance of designed IC, the test was conducted successfully in QuartusII simulation and experiment and the excellency was compared with TL16C550A of TI (Texas Instrument) company and ATmega128 general-purpose micro controller of ATMEL company that are used widely as chips for asynchronous communication.

Keywords : FPGA, Asynchronous communication, Multi channel, VHDL.

* 학생회원, ** 정회원, 청주대학교 전자정보공학부

(School of Electronics and Information Engineering, Cheonju University)

접수일자: 2009년7월29일, 수정완료일: 2009년12월23일

I. 서 론

최근 반도체 기술이 급속도로 향상됨에 따라 IC(Integrated Circuit : 집적회로)의 성능도 향상되고 있다. IC 성능의 향상에 비례하여 이를 설계하는 환경이 복잡해지고 있으나 컴퓨터 기능의 향상과 고급 컴퓨터 언어를 사용하여 프로그래밍을 할 수 있도록 해주는 표준 하드웨어 기술 언어인 VHDL의 출현으로 하드웨어 설계 분야에 새로운 장을 여는 획기적인 계기가 되었다^[1~2]. 현재 비동기 통신 시스템들은 수많은 제어장치들 간의 여러 가지 정보들은 비동기 통신에 의해서 이루어지며 각 기기의 특성마다 다양한 통신으로 정보를 송수신 한다. 이러한 다양한 통신방식을 구현하기 위해서는 통신 시스템에 맞는 여러 가지 디바이스들로 구현하게 되는데, 여러 가지 통신상황에 맞는 칩으로 모두 대응할 수 있는 통신 시스템을 구축하려면 시스템이 복잡하고 시스템의 유연성이 매우 떨어지게 된다^[3]. 또한 새로운 기술의 발달로 새로운 방식의 통신 디바이스들이 개발되고, 대치됨으로써 기존에 사용되던 이러한 통신 디바이스들은 소량으로 소비만 이루어지기 때문에 칩을 제조·생산하는 회사들은 생산량을 줄이거나 아예 생산을 중단하는 경우가 있다^[4~5]. 비동기 통신용 시스템 디바이스들은 여러 회사에서 생산중이며, 대표적인 회사로서는 ZILOG, National semiconductor, TI, Intel 등이 있으며 비동기 통신 시스템의 구현이 쉽기 때문에 많은 통신방식에서 사용되고 있다^[6]. 하지만 현재 단종 되고 있거나, 이들 통신 시스템들은 1개 또는 2개 채널(Channel)을 가지고 있다^[7]. 또한 버퍼(Buffer)가 없거나 16 바이트 이하의 소용량 버퍼를 가지고 있기 때문에 고속의 통신을 할 경우 MPU(Micro Processor Unit)에 걸리는 부하가 많아지게 되어 송수신 속도의 문제가 발생하고, 디지털 필터, 책섬 로직이 설계가 되어있지 않기 때문에 통신시 노이즈에 취약하거나, 데이터 오류 검출방법에 있어서 한계가 있다^[8~9]. 다양해지고 복잡해지고 있는 통신 분야에 기존의 비동기 통신용 칩들을 적용하여 통신 시스템을 구현하려면 여러개의 칩을 사용해야 하고, 통신 특성에 맞는 칩들을 사용해야 하기 때문에 통신 시스템을 구현하는데 있어서 비용 및 공간(Space Size)을 많이 차지하게 된다. 따라서 본 논문에서는 기존에 상용되고 있는 비동기 통신용 칩들의 한계성을 극복하기 위해서 통신 채널의 수를 최대 8 채널로 설계하였고, 통신 속도를 2,400bps에서

115,200bps로 설계하여 저속 및 고속의 다양한 통신 시스템에서 적용가능 하도록 설계하였다. 그리고 기존 통신 시스템과 달리 송수신 입/출력 및 송신 드라이버, 그리고 송수신 상태를 확인할 수 있는 송수신 LED 포트 및 MUX 로직에 의해 자유롭게 채널의 선택이 가능하도록 설계하여 통신 채널의 유연성을 갖도록 설계하였다. 또한 통신 속도의 성능을 향상시키기 위하여 송수신 버퍼의 크기를 256 바이트로 설계하였고, 디지털 필터, 책섬 로직을 통하여 오동작 방지 및 에러를 검출할 수 있도록 설계하였다. 본 논문에서 설계된 다채널 비동기 통신용 IC의 우수성을 보이기 위해 산업용 통신 칩으로 많이 사용되고 있는 ZILOG, TI사의 TL16C550A, ATMEL사의 ATmega128 범용 마이크로컨트롤러와 비동기 통신의 데이터 송수신 수행시간을 비교하여 본 논문에서 설계된 다채널 비동기 통신용 IC의 우수함을 실험을 통해 보이고자 한다.

II. 다채널 비동기 통신용 IC 설계

1. IC(Integrated circuit) 설계사양

본 논문에서 설계한 다채널 비동기 통신용 IC의 설계를 위해 ALTERA사의 FPGA인 Cyclone II Series EP2C35F672C8을 선정하였고 송수신 버퍼의 크기는 기존보다 수십 배 많은 256 바이트로 설계하였다. 전송속도는 2,400bps에서 최대 115,200bps로 설계하였고, 통신 드라이버는 표준적인 통신 방식의 드라이버로 RS232C, RS485/422, Current loop를 사용할 수 있으며, 마이크로프로세서와 인터페이스를 위한 데이터 버스(Data Bus)

표 1. 다채널 비동기 통신용 IC의 설계사양
Table 1. The specification of multi-channel asynchronous communication IC.

항 목	내 용	
사용하는 FPGA	Cyclone II Series EP2C35F672C8	
채널 수	8채널	
버퍼 크기	송수신 각각 256 바이트	
전송속도	2,400bps, 4,800bps, 9,600bps, 19,200bps, 38,400bps, 57,600bps, 115,200bps	
적용 가능한 통신 드라이버	RS232C, RS485, RS422, Current-loop	
마이크로프로세서 인터페이스	Data Bus	8 비트
	Address Bus	14 비트
	Control Signal	\overline{RD} , \overline{WR} , \overline{CS} , \overline{RST} , CLK
	인터럽트 Signal	\overline{INT}
특수 기능	Digital 필터, Check-sum, Parity bit error, Over run error Multi-channel MUX Selection, Frame error, Echo back	
동작 주파수	18.432MHz	

8비트, 어드레스 버스(Address bus) 14비트, 제어 신호(Control Signal), 인터럽트 신호(Interrupt Signal) 라인 등을 갖는다. 아울러 통신 속도에 적합한 분주를 위해 동작 주파수는 18.432MHz로 설계 하였다. 표 1에 다채널 비동기 통신용 IC의 설계 사양을 나타내었다.

2. 다채널 비동기 통신용 IC의 구성

본 논문에서는 FPGA를 이용한 다채널 비동기 통신용 IC를 설계하기 위해 그림 1과 같이 구성하였다. 그림 1은 다채널 비동기 통신용 IC의 구조이며 기존의 통신 방식에서 1바이트 형태로 데이터를 전송하는 것과 달리 256 바이트 용량의 버퍼를 가지고 있어 저속의 MPU를 사용하더라도 고속의 통신을 구현할 수 있도록 하였다.

즉 데이터를 주고받을 경우 통신의 버퍼가 크기 때문에 통신을 관여하는 부분에 프로그램의 부하가 적게 걸리게 된다. 또한 버스 인터페이스 유닛(Bus I/F Unit)을 통해 MPU의 어드레스(Address) 버스 라인과 연결되어 있으며, 어드레스 버스 라인을 통해 통신 시스템 설정

레지스터나 버퍼의 데이터 위치를 설정한다. 데이터(Data)와 제어 버스(Control Bus)라인이 있는데 각각 MPU의 데이터 버스라인으로서 어드레스에서 디코딩되어 위치가 설정되면 데이터를 읽거나 쓰고, 제어 버스는 CS(Chip Select), Write, Read로 구성된다. 통신 칩 설정 레지스터(Configuration Registers)는 통신 속도, 디지털(Digital) 필터, 패리티(Parity) 검사방법 등을 설정하는 레지스터들로 구성된다.

3. 메모리 맵(Memory Maps)

그림 2에서는 본 논문에서 설계한 다채널 비동기 통신용 IC의 설정 레지스터 및 송신 및 수신 버퍼에 대한 전체 메모리 맵을 나타내고 있다. 메모리 맵 주소 0x0000에서 0x0017까지는 Base address로 비동기 8채널에 대한 인터럽트 요구를 나타내는 레지스터(0x0001) 8비트, 송신 및 수신 출력을 선택할 수 있는 채널 MUX SEL 레지스터(0x0010~0x0017) 8비트, 송신 및 수신을 허가하는 송수신 인터럽트 인에이블 레지스터(0x0101) 8비트, 송신 데이터 길이, 패리티 비트 체크 허가, 프레임 에러 등 각종 에러를 허가하고, 정지(Stop) 비트의 개수를 설정하는 시리얼 모드 레지스터(0x0102) 8비트, 체크섬 인에이블 및 에코백 인에이블 레지스터(0x0103) 8

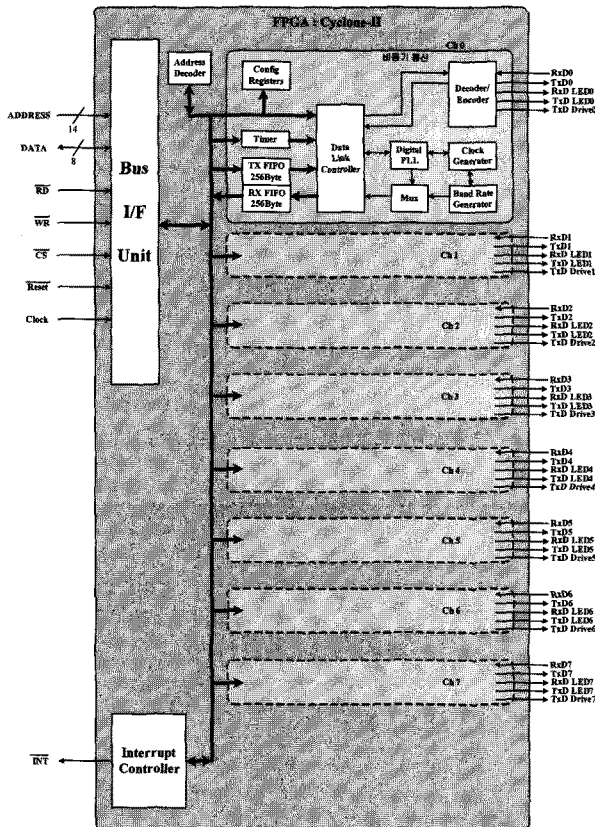


그림 1. 다채널 비동기 통신용 IC의 구조
Fig. 1. The structure of multi-channel asynchronous communication IC.

\$0000	Registers(Base)	\$1100	RXD Buffer (CH0)
\$0017	Registers(Base)	\$11FF	(256 byte)
\$0018	Reserved	\$1200	TXD Buffer (CH0)
\$00FF	Reserved	\$12FF	(256 byte)
\$0100	Registers(CH0)	\$1300	RXD Buffer (CH1)
\$010C	Reserved	\$13FF	(256 byte)
\$010E	Reserved	\$1400	TXD Buffer (CH1)
\$01FF	Reserved	\$14FF	(256 byte)
\$0200	Registers(CH1)	\$1500	RXD Buffer (CH2)
\$020C	Reserved	\$15FF	(256 byte)
\$020E	Reserved	\$1600	TXD Buffer (CH2)
\$02FF	Reserved	\$16FF	(256 byte)
\$0300	Registers(CH2)	\$1700	RXD Buffer (CH3)
\$030C	Reserved	\$17FF	(256 byte)
\$030E	Reserved	\$1800	TXD Buffer (CH3)
\$03FF	Reserved	\$18FF	(256 byte)
\$0400	Registers(CH3)	\$1900	RXD Buffer (CH4)
\$040C	Reserved	\$19FF	(256 byte)
\$040E	Reserved	\$1A00	TXD Buffer (CH4)
\$04FF	Reserved	\$1AFF	(256 byte)
\$0500	Registers(CH4)	\$1B00	RXD Buffer (CH5)
\$050C	Reserved	\$1BFF	(256 byte)
\$050E	Reserved	\$1C00	TXD Buffer (CH5)
\$05FF	Reserved	\$1CFF	(256 byte)
\$0600	Registers(CH5)	\$1D00	RXD Buffer (CH6)
\$060C	Reserved	\$1DFF	(256 byte)
\$060E	Reserved	\$1E00	TXD Buffer (CH6)
\$06FF	Reserved	\$1EFF	(256 byte)
\$0700	Registers(CH6)	\$1F00	RXD Buffer (CH7)
\$070C	Reserved	\$1FFF	(256 byte)
\$070E	Reserved	\$2000	TXD Buffer (CH7)
\$07FF	Reserved	\$20FF	(256 byte)
\$0800	Registers(CH7)		
\$080C	Reserved		
\$08FF	Reserved		

그림 2. 메모리 맵
Fig. 2. Memory Maps.

비트, 2,400bps에서 115,200bps까지 통신 속도를 설정하는 통신 속도 설정 레지스터(0x0104) 8비트, 노이즈에 의한 오동작을 방지해 주는 디지털 필터 설정 레지스터(0x0105) 8비트, 통신간 에러 상태를 확인할 수 있는 상태 레지스터(0x0109) 8비트등 시스템 관련 레지스터들의 영역을 갖고, 0x1100에서 0x20FF 까지는 256 바이트 크기의 송수신 버퍼의 영역으로 구성된다.

4. 설계된 로직 구현

가. 오동작 방지 및 에러검출 로직 구현

통신시 데이터가 전송될 때 전송되는 데이터는 외부 환경에 의해 에러가 발생할 수 있다. 따라서 정확한 데이터 송·수신하기 위해서는 에러를 검출하는 과정이 필수적으로 수반되어야하며 이를 위한 기존 통신 시스템의 대표적인 방법인 패리티 비트가 있는데, 본 논문에서는 추가적으로 체크섬 방법을 설계하였다. 따라서 보완된 에러 검출로 인하여 보다 정확한 데이터 전송을 할 수 있도록 설계하였다. 체크섬은 패키지속의 하나의 필드로 구성하며 데이터를 이진수의 연속으로 간주하여 그 이진수의 합을 계산하는 방법이다. 아울러 노이즈가 심한 환경에서 순간적인 노이즈가 수신쪽에 인가되어 잘못된 데이터를 수신하는 것을 방지하기 위해 디지털 필터가 설계되어 내장되어 있다. 그림 3에서 클럭이 '0'에서 '1'로 이벤트가 발생할 때 마다 수신신호(RXD)가 RXD_Q에 들어오고 RXD_Q신호가 '1'이 들어오면 RXD_

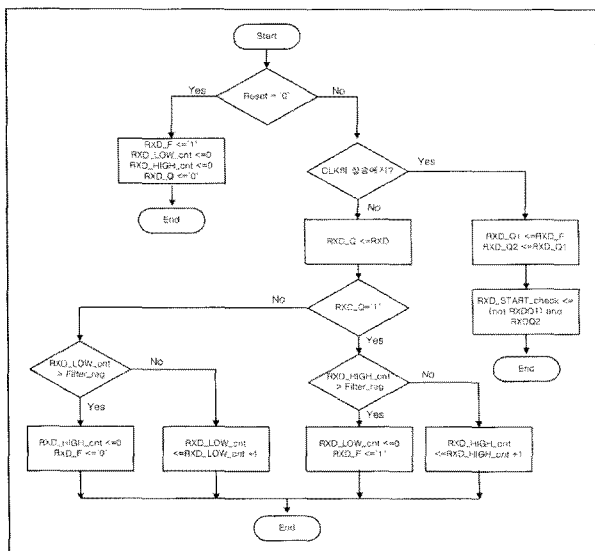


그림 3. Digital 필터 알고리즘
Fig. 3. The algorithm of digital filter.

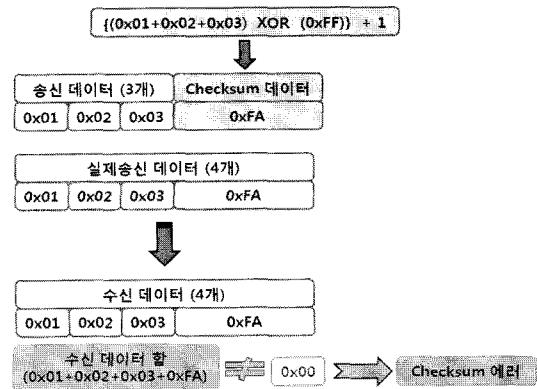


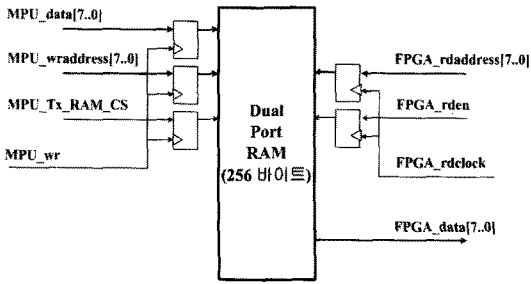
그림 4. Check-sum 로직 연산과정
Fig. 4. The operation process of Check-sum logic.

HIGH_cnt를 1씩 증가시켜 8비트 필터 레지스터 설정 값보다 크게 되면 RXD_F를 '1'로 만들게 된다. 또한 RXD_Q신호가 '0'이 들어오면 RXD_LOW_cnt를 1씩 증가시켜 필터 레지스터 설정 값보다 크면 RXD_HIGH_cnt를 다시 '0'으로 만들고 RXD_F를 '0'로 만들게 된다. 따라서 필터 레지스터 설정 값 범위 내에 노이즈가 수신 신호쪽에 들어오면 그 신호는 필터 처리되어 수신 신호로 받아들이지 않기 때문에 높은 신뢰성을 확보할 수 있다. 그림 4에 체크섬 로직에 대한 연산 과정을 나타내었다.

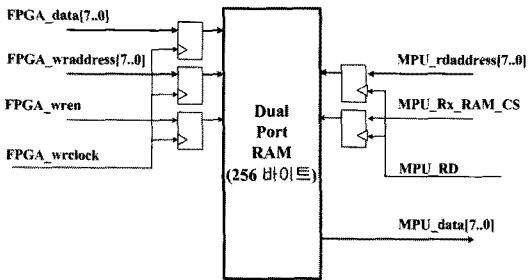
나. DPRAM에 의한 고속처리 로직 구현

기존의 통신 칩과 달리 본 논문에서는 송수신 동시 액세스(Access)가 가능한 듀얼 포트 램을 이용하여 송수신 각각 256 바이트의 대용량을 갖는 버퍼 로직을 설계하였다. 이에 따라 기존의 버퍼가 없는 비동기 통신에서 여러 개의 데이터를 송수신할 때 발생하는 소요 시간들을 보완하여 많은 양의 데이터를 대용량 버퍼를 이용하여 고속으로 데이터 송수신을 처리할 수 있는 로직을 구현하였다. 그림 5는 다채널 비동기 통신용 IC의 듀얼 포트 램의 구조이다.

그림 5의 (a)는 송신부 DPRAM의 구조로써 MPU에 의해 입력되는 MPU_data와 MPU_waddress가 있으며, MPU_Tx_RAM_CS와 MPU_wr에 의해 RAM에 값이 써지고, FPGA에 의해 FPGA_raddress, FPGA_rden과 FPGA_rdclock에 의해 RAM에서 값을 읽어 출력 FPGA_data로 연결된다. 그림 5의 (b)는 수신부 DPRAM의 구조로써 FPGA에 의해 입력되는 FPGA_data와 FPGA_waddress가 있으며, FPGA_wren과 FPGA_wrclock에 의해 RAM에 값이 써지고, MPU에



(a) 송신부 DPRAM 구조



(b) 수신부 DPRAM 구조

그림 5. DPRAM 구조

Fig. 5. The structure of DPRAM.

의해 MPU_raddress, MPU_Rx_RAM_CS와 MPU_RD에 의해 RAM에서 값을 읽어 수신 데이터를 MPU_data로 읽는 구조이다.

다. 채널 MUX SEL(Selection) 로직 구현

기존의 통신 시스템은 각각의 채널이 하드웨어적으로 고정되어 있다. 그러나 통신 시스템을 구현할 때 Baud Rate, RS232C, RS485, Current Loop 등과 같은

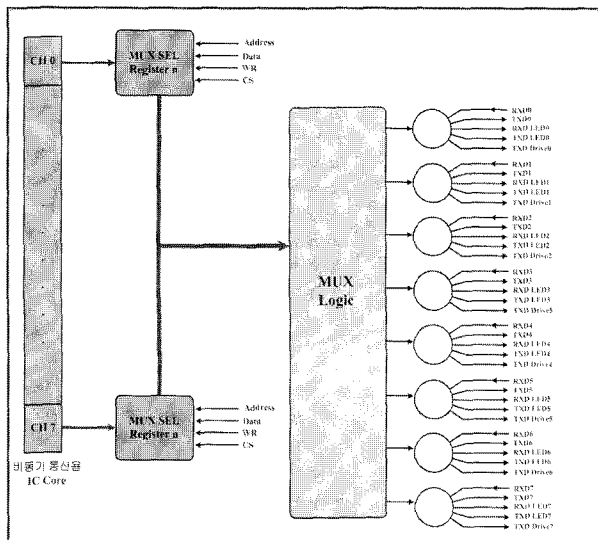


그림 6. MUX 로직의 블럭도

Fig. 6. The block diagram of MUX logic.

하드웨어를 바꾸게 될 경우 회로를 재설계 해야만 한다. 본 논문에서는 이를 해결하기 위해 기존 통신 시스템과 달리 송수신 입/출력 및 송신 드라이버, 그리고 송수신 상태를 확인할 수 있는 송수신 LED 포트가 MUX SEL 레지스터에 의해 자유롭게 선택이 가능하도록 하여 통신 채널에 대한 입/출력 포트를 유연하게 사용할 수 있도록 설계하였다^[10]. 그림 6은 채널 MUX에 대한 구조이며 각 채널별로 3비트 MUX SEL(Selection) 레지스터가 설계되어 있고 Address, Data, WR, CS 신호에 의해 선택된 데이터 값이 MUX Logic으로 전송된다. MUX SEL 레지스터에 값을 입력함으로써 8개의 입/출력 포트를 자유롭게 사용할 수 있도록 설계하여 유연성을 향상시켰다.

III. 다채널 비동기 통신용 IC 검증

1. 시뮬레이션 및 결과

본 논문에서 설계된 다채널 비동기 통신용 IC를 FPGA로 구현하기 위해 대용량 송신 및 수신 버퍼부, 디지털 필터 및 책셈부 등을 각각 설계하여 VHDL로 기술하였다. 이와 같이 기술된 VHDL을 ALTERA사에서 제공되는 QuartusII V8.1을 이용하여 로직을 합성 및 시뮬레이션 하였다. 그림 7에서는 디지털 필터 레지스터에 0x50을 입력하여 4.34µs의 필터 값을 설정한 후 RXD신호에 1.08µs, 2.14µs, 3.05µs, 4.63µs씩 노이즈(Noise)를 증가시키면서 필터링이 되는 것을 시뮬레이션 한 그림이다. 그림 7에서 보는 것처럼 RXD에 필터 설정값 4.34µs보다 작은 값의 신호가 들어오면 모두 노이즈로 판단하여 RXD_F가 '0'으로 유지된다. 결국 수신 이 되지 않는 것을 볼 수 있다. RXD에 필터 설정값

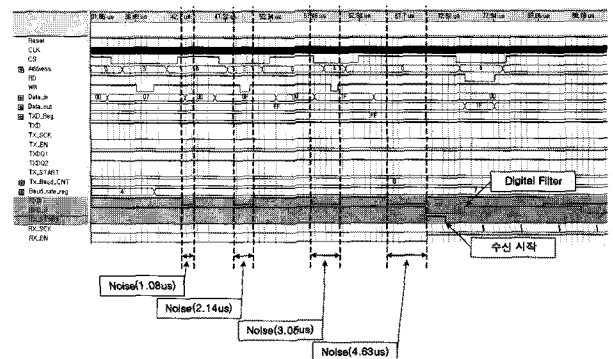


그림 7. Digital 필터 로직 시뮬레이션 결과

Fig. 7. The simulation results of digital filter logic.

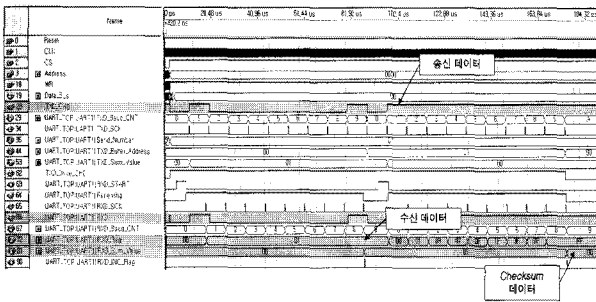


그림 8. Check-sum 로직 시뮬레이션 결과
 Fig. 8. The simulation results of check-sum logic.

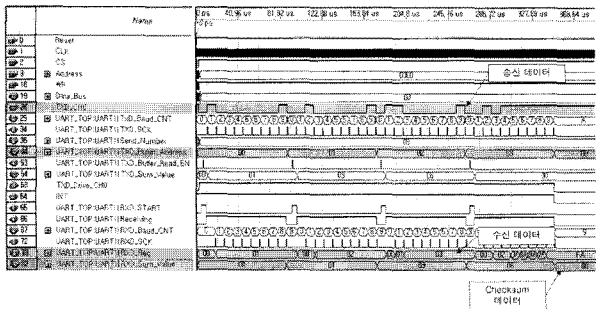


그림 9. DPRAM 로직 시뮬레이션 결과
 Fig. 9. The simulation results of DPRAM.

(4.34μs) 보다 큰 4.63μs의 신호가 들어오면 RXD_F가 '1'로 되면서 수신이 되는 것을 시뮬레이션을 통해 확인할 수 있다.

그림 8에서는 설계된 다채널 비동기 통신용 IC의 칩 선택 로직에 대한 시뮬레이션 결과를 나타내었다. 송신 데이터 1개(0x01)를 보낼 때 통신시 칩 선택 데이터를 확인하기 위한 시뮬레이션 그림이다. 클럭에 의해 송신 데이터(TXD_CH0) 값을 모두 더한 TXD_Sum_Value와 TXD_Sum_Value 값을 0xFF와 XOR(배타적 논리합)를 수행하고 '1'을 더하여 송신하고 수신측에서 수신된 데이터(RXD) 즉, 수신데이터와 칩선택값을 모두 더하여 RXD_Sum_Value를 구하고 마지막으로 수신된 데이터를 모두 더한 RXD_Sum_Value가 0x00이 됨을 시뮬레이션을 통해 확인할 수 있다.

그림 9에서는 Echo back 기능을 이용하여 설계된 다채널 비동기 통신용 IC의 버퍼를 읽고 쓰는 시뮬레이션을 나타내었다. 클럭에 의해 송신 데이터(TXD_CH0)가 버퍼에 쓴 값(0x01, 0x02, 0x03)과 수신된 데이터(RXD_Reg)와 송신한 데이터(0x01, 0x02, 0x03, 0xFA) 값과 일치됨을 확인할 수 있으며, 마지막으로 수신된 데이터를 모두 더한 RXD_Sum_Value가 0x00이 됨을 시뮬레이션을 통해 확인할 수 있다.

2. 실험 및 결과

본 논문에서 설계된 디지털 필터, 칩 선택, 대용량 송신 및 수신 버퍼 로직등 다채널 비동기 통신용 IC의 성능 평가를 위해 비동기 통신용 칩으로 널리 사용되고 있는 TI사의 TL16C550A와 ATMEL사의 범용 마이크로 콘트롤러인 ATmega128을 성능평가 대상으로 선정하였다^[11].

그림 10에서는 비동기 통신용 IC의 성능 평가를 위한 전체 블록 다이어그램을 나타내었다. 비동기 통신 칩으로 널리 사용되고 있는 TI사의 TL16C550A와 ATMEL사의 범용 마이크로 콘트롤러인 ATmega128을 이용하여 기존 비동기 통신칩의 성능을 실험하였고, 본 논문에서 설계한 비동기 IC의 성능을 실험하기 위해 DSP를 사용하여 ATmega128과의 데이터를 송수신함으로써 디지털 필터, 칩 선택, 대용량 송신 및 수신 버퍼 로직 등 다채널 비동기 통신용 IC의 성능을 실험 하여 기존 비동기 통신칩과의 성능을 비교 하였다. 그림 11에서 그림 (a)는 기존 비동기 통신용 칩에서 디지털(Digital) 필터링 기능이 없는 경우에 데이터를 송수신하는 그림으로써 채널 3은 송신 데이터를 관측한 파형으로 시작 비트 1bit와 데이터 8bit, 정지 비트 1bit의 데이터를 송신하는 것을 볼 수 있다. 채널 3에서 보면 0xAA의 데이터를 보낼 때 노이즈(Noise)1과 노이즈 2가 발생한 것을 볼 수 있다. 채널 2는 수신 데이터를 관측한 파형으로 그림 11의 그림 (b)에서 보는 것처럼 노이즈 1과 노이즈 2가 포함되어 데이터를 수신한 것을 볼 수 있다. 그림 11의 그림 (c)는 DSP 프로그램의 다운로드 및 모니터링을 위한 윈도우 프로그램으로 컴파일된 파일을

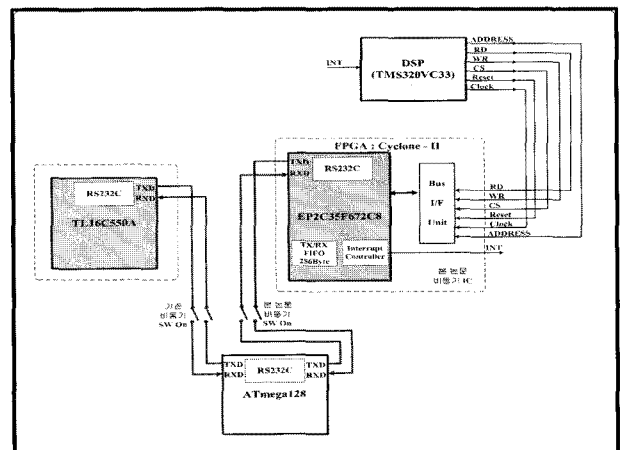
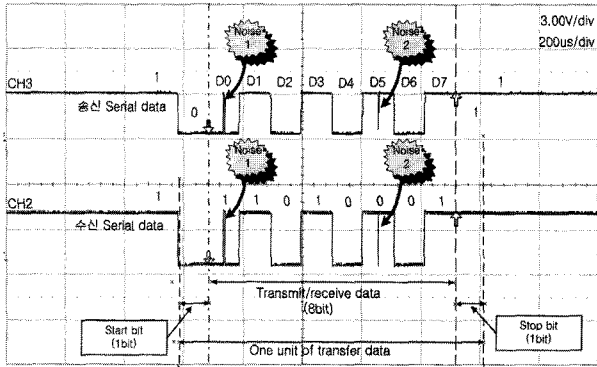
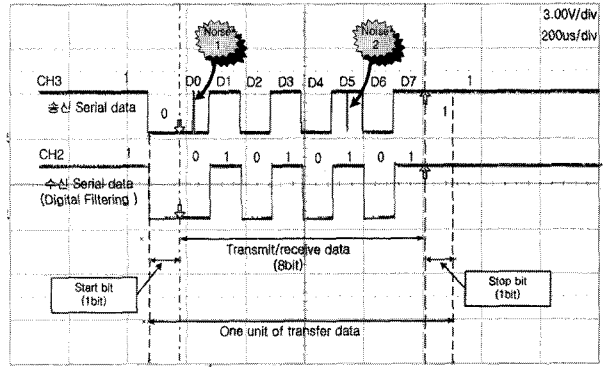


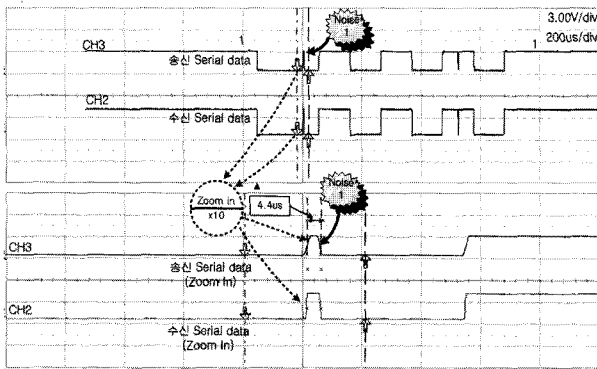
그림 10. 성능 평가를 위한 전체 블록 다이어그램
 Fig. 10. The total block diagram for performance evaluation.



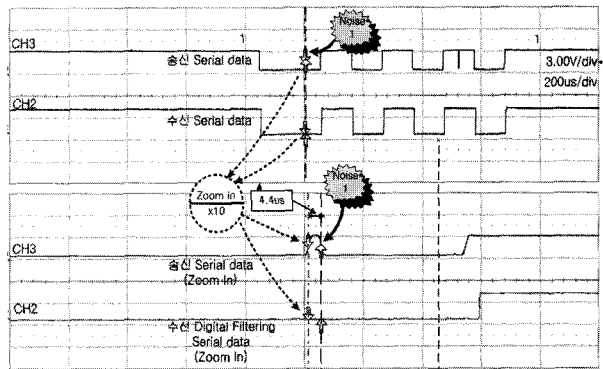
(a) Digital 필터가 없는 경우



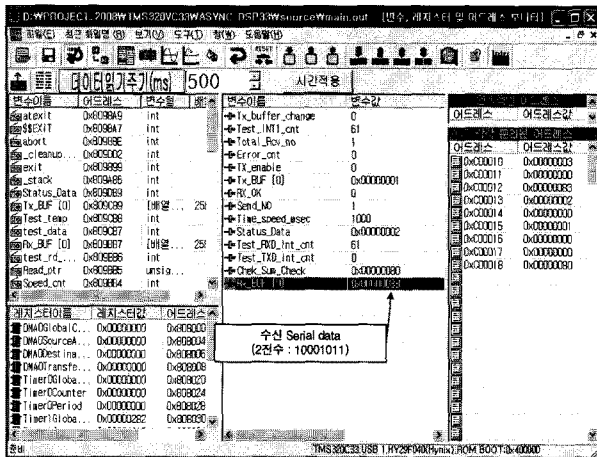
(a) Digital 필터가 있는 경우



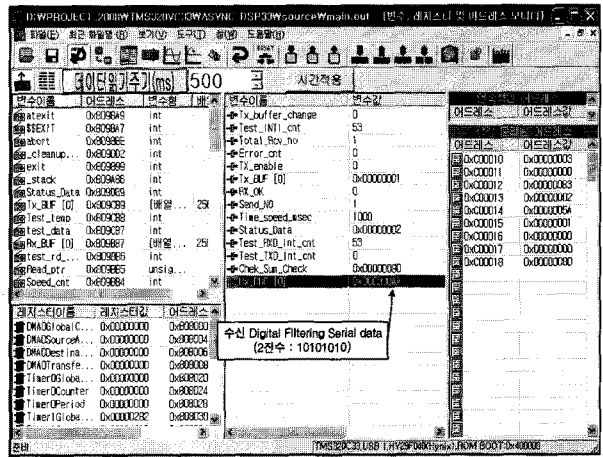
(b) Digital 필터가 없는 경우 확대(x10)



(b) Digital 필터가 있는 경우 확대(x10)



(c) Noise에 의한 오동작(비정상 데이터 수신)



(c) Noise 필터링 된 정상동작(정상 데이터 수신)

그림 11. Digital 필터 실험 결과

Fig. 11. The experimental results of digital filter.

DSP에 다운로드 할 수 있으며, 변수, 레지스터, 메모리를 모니터 할 수 있고, 또한 실시간으로 변수와 레지스터, 메모리의 값을 모니터링 할 수 있다. 임의적으로 노이즈에 의해 오동작을 일으킨 결과 그림 11의 (c)의 모니터링 화면에서 보는 것처럼 수신 버퍼의 수신 데이터 값이 정상 데이터 0xAA가 아니라 노이즈 1과 노이즈 2에 의해 0x8B가 수신 되는 것을 확인할 수 있다. 그림

그림 12. Digital 필터 실험 결과

Fig. 12. The experimental results of digital filter.

12에서 그림 (a)는 디지털 필터링 기능이 있는 경우 데이터를 송수신하는 실험 결과이다. 먼저 디지털 필터 레지스터에 0x5A를 쓰고, 즉 심진수로 90이 되어 4.88μs의 필터 값이 설정한 후 0xAA 데이터를 보낼 때 노이즈 1과 노이즈 2를 4.4μs씩 주었을 때 디지털 필터링 되는 것을 관측하였다. 그림 (b)에서 채널 3은 송신 데이터를 관측한 파형으로 시작 비트 1bit와 데이터 8bit,

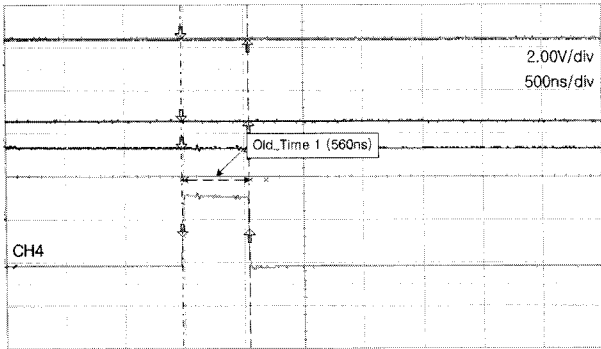


그림 13. 데이터 1개 송신 소요시간 실험결과
Fig. 13. The experimental results of data sending.

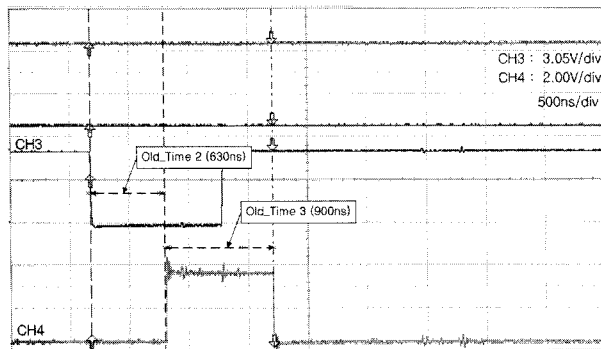


그림 14. 인터럽트 요청 및 수행시간 실험결과
Fig. 14. The experimental results of interrupt request.

정지 비트 1bit의 데이터를 송신하는 것을 볼 수 있다. 채널 3에서 보면 0xAA를 보낼 때 노이즈 1과 노이즈 2가 발생한 것을 볼 수 있다. 채널 2는 수신 데이터를 관측한 파형으로 그림 12의 그림 (b)에서 보는 것처럼 노이즈 1과 노이즈 2가 필터링 되어 데이터를 수신한 것을 볼 수 있다. 디지털 필터링 결과 그림 12의 그림 (c)의 모니터링 화면에서 보는 것처럼 수신 버퍼의 수신 데이터 값이 정상 데이터 0xAA가 수신된 것을 볼 수 있으며, 노이즈 1과 노이즈 2는 필터링 되어 수신되는 것을 확인할 수 있다. 그림 13은 기존 비동기 통신 방식에서 데이터 1개 송신하는데 소요되는 시간에 대한 실험 결과이다. 채널 4는 데이터 1개 송신시 소요시간 (Old_Time1)을 관측한 파형인데 그림 13과 같이 기존 비동기 통신용 칩의 성능을 평가하기 위해 TL16C550A와 ATmega128의 디바이스를 선정하여 데이터를 1개를 송신하는데 소요되는 시간을 실험하였다. 실험한 결과 데이터 1개 송신시 소요시간(Old_Time1)은 560ns의 시간이 소요되는 것을 확인할 수 있다. 그림 14는 기존 비동기 통신 방식에서 데이터 1개 송신 후 인터럽트 요청 (Old_Time2) 및 수행 하는데 소요되는 시간(Old_

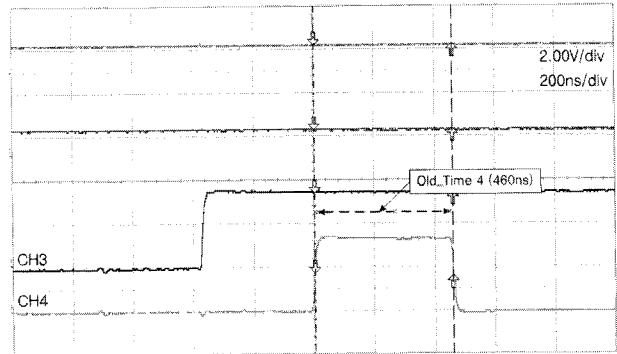


그림 15. 송신 및 수신데이터를 더하는 시간 실험결과
Fig. 15. The experimental results of send data and receive data plus time.

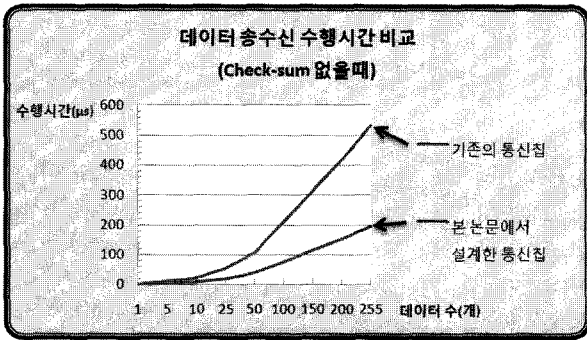
Time3)에 대한 실험 결과이다. 채널 3은 TL16C550A 디바이스의 인터럽트 요청 시작 시점부터 DSP (TMS320VC33)의 핀을 이용하여 수신 인터럽트가 발생하는 시점까지 관측한 파형이다. 채널 4는 DSP (TMS320VC33) 수신 인터럽트의 전체 수행시간(Old_Time3)을 관측한 파형이다. 실험한 결과 데이터 1개 송신 후 인터럽트 요청(Old_Time2) 소요시간은 630ns가 소요되고, 수행 하는데 소요되는 시간(Old_Time3)은 900ns의 시간이 소요되는 것을 확인할 수 있다.

그림 15는 기존 비동기 통신 방식에서 데이터 1개 송신 및 수신시 송신한 데이터와 수신한 데이터를 더하는데 소요되는 시간(Old_Time4)에 대한 실험 결과이다. 채널 4는 DSP(TMS320VC33)의 핀을 이용하여 수신

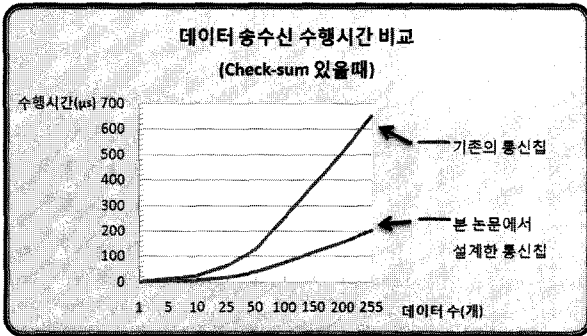
표 2. 본 논문에서 설계된 IC와 TL16C550A의 데이터 송/수신 수행시간 비교

Table 2. The performance time compare of designed IC and TL16C550A.

Check-sum 기능	본 논문에서 설계된 IC		TL16C550A	
	수행시간	데이터 수	수행시간	데이터 수
없을 때	0.768µs	1 바이트	2.09µs	1 바이트
	3.84µs	5 바이트	10.45µs	5 바이트
	7.68µs	10 바이트	20.9µs	10 바이트
	19.2µs	25 바이트	52.25µs	25 바이트
	38.4µs	50 바이트	104.5µs	50 바이트
	76.8µs	100 바이트	209µs	100 바이트
	115.2µs	150 바이트	313.5µs	150 바이트
	153.6µs	200 바이트	418µs	200 바이트
있을 때	0.795µs	1 바이트	2.55µs	1 바이트
	3.89µs	5 바이트	12.75µs	5 바이트
	7.78µs	10 바이트	25.5µs	10 바이트
	19.4µs	25 바이트	63.75µs	25 바이트
	38.8µs	50 바이트	127.5µs	50 바이트
	77.6µs	100 바이트	255µs	100 바이트
	116.8µs	150 바이트	382.5µs	150 바이트
	156.8µs	200 바이트	510µs	200 바이트
202.24µs	255 바이트	650.25µs	255 바이트	



(a) Check-sum 없는 경우



(b) Check-sum 있는 경우

그림 16. 데이터 송수신 수행시간 비교 실험결과
Fig. 16. The performance time compare of data sending and receiving time.

인터럽트 안에서 송신데이터와 수신데이터를 더하는 시간(Old_Time4)을 관측한 파형이다. 실험한 결과 데이터 1개 송신 및 수신시 송신한 데이터와 수신한 데이터를 더하는데 소요되는 시간(Old_Time4)은 460ns의 시간이 소요되는 것을 확인할 수 있다.

본 논문에서 설계된 다채널 비동기 통신용 IC의 고속 통신 로직의 우수성을 보이기 위해 체크섬 기능이 없는 경우와 체크섬 기능이 있는 경우를 ATmega128 범용 마이크로 컨트롤러를 이용하여, TI사의 TL16C550A와 데이터 송/수신 수행시간을 비교한 것을 표 2에 각각 나타내었다.

IV. 결 론

본 논문에서는 FPGA를 이용하여 다채널 비동기 통신용 IC를 설계하였다. 설계시 기존에 상용되고 있는 비동기 통신 칩들의 고속 통신을 구현하기 힘든 점을 해결하기 위해서 송수신 버퍼의 크기를 각각 256 바이트로 다채널 비동기 통신용 IC를 설계함으로써 고속의 통신을 가능하도록 설계하였다. 또한 기존의 1~2개의

비동기 통신 칩의 채널을 최대 8개의 채널로 설계하여 원가 절감 및 기능과 성능을 향상 시키도록 설계하였으며, 디지털 필터 및 체크섬 로직을 설계하여 오동작 방지 및 에러검출 기능을 구현하여 통신 신뢰성을 향상시켰다. 그리고 8개의 채널이 채널 MUX 레지스터에 의해 입/출력 및 송신 드라이버가 자유롭게 선택될 수 있도록 하여 통신 채널에 대한 입/출력 포트를 유연하게 사용할 수 있도록 설계하였다. 이를 구현하기 위해 VHDL을 사용하여 FPGA로 구현하였으며 ALTERA사의 Cyclone II Series EP2C35F672C8 디바이스와 ALTERA사에서 제공되는 QuartusII V8.1 합성 툴을 이용하여 시뮬레이션을 수행하였다.

본 논문에서 설계된 디지털 필터와 체크섬 및 대용량 버퍼를 이용한 고속통신 로직의 성능을 시뮬레이션 및 실험을 통하여 확인하였다. 대용량 버퍼의 고속통신 로직의 우수성을 보이기 위해 비동기 통신 칩으로 많이 사용되고 있는 TI사의 TL16C550A, ATMEGA사의 ATmega128 범용 마이크로 컨트롤러와 비동기 통신의 데이터 송수신 수행시간을 비교한 결과 체크섬이 없는 경우 약 2.7배, 체크섬이 있는 경우 약 3.3배 이상 속도가 빠르게 수행되어 본 논문에서 설계된 다채널 비동기 통신용 IC의 우수성을 확인하였다.

참 고 문 헌

- [1] In-Sik Hong, "Design of a 16 bit Basic Computer Processor using VHDL" Soonchunhyang J. Instit, Indust, Technol, 3(3), pp.615~628, 1997.
- [2] Doo-Youl Park, "A study on the Modeling and design of Parwan CPU using a VHDL", 한국 OA학회 논문지, 제7권 제2호, 2002.6.
- [3] Hee-Don Seo, Moon-Su Kim, Jae-Hoon Kie, Dong-Jin Shin, Young-Tak Kim, "Design of AAL-2 Multimedia Communication Protocol Function Using VHDL", 정보통신연구소 논문집 6 권 1호, 1999.
- [4] 이상덕, "Embedded PCI Local Bus Core의 VHDL 을 이용한 설계", 석사학위논문, 2003.
- [5] 양 오, "FPGA를 이용한 시퀀스 로직 제어용 고속 프로세서 설계", 대한전기학회 논문지 48권 12 호, pp.1554-1563, 1999.
- [6] ZILOG, "Z80C30/Z85C30 CMOS SCC Serial Communications Controller Product Specification", 2002.
- [7] RENESAS, "Renesas 32-Bit CISC Microcomputer

H8SX Family/H8SX/1600 Series, H8SX/1663 Group Hardware Manual”, 2006.

[8] Texas Instruments, “TMS320C3X User’s Guide”, 1993.

[9] XILINX, “Spartan-3 FPGA Family Data Sheet”, 2008.

[10] Sudhakar Yalamanchili, VHDL Starter’s Guide, PRENTICE HALL, 1998.

[11] ATMEL, “8-bit AVR Microcontroller ATmega128 Data Sheet”, 2007.

저 자 소 개



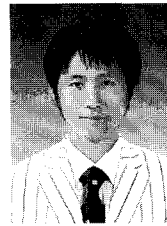
양 오(정회원)
 1983년 한양대학교 전기공학과 학사 졸업.
 1985년 한양대학교 전기공학과 석사 졸업.
 1997년 한양대학교 전기공학과 박사 졸업.

1985년 1월~1997년 8월 LG 산전 연구소 책임연구원

1997년 9월~현재 청주대학교 전자정보공학부 교수

2006년~2007년 Texas A&M University 방문교수

<주관심분야: 디지털 시스템 설계 및 ASIC 설계, DSP 응용제어>



옥 승 규(학생회원)
 2001년 서원대학교 정보통신 공학과 학사 졸업.
 2009년 청주대학교 전자공학과 석사 졸업.
 2009년 청주대학교 전자공학과 박사 과정.

<주관심분야: ASIC 설계, DSP 응용제어, 마이크로프로세서 응용 및 제어 >